1.DDR存储接入：目前示波器和逻辑分析仪模块采样后的存储媒介均选取的是FPGA内部的RAM，对于较低容量的采集是够用的，但是如果要观察更长时间的波形或是基于多个点重建波形，则需要增大存储容量、提高存储速度，因此后续将会接入DDR模块，供示波器和逻辑分析仪使用，由于二者不会同时工作，因此DDR的AXI读写接口逻辑比较清晰，预计在作品后续优化阶段优先实现。

2.板卡级联推进：目前两块FPGA板卡的级联初步用以太网口实现，可以做到板卡1作为发送端配置板卡2的部分仪器参数，但是板卡2向板卡1传输ADC采样数据的通路还在调试和完善中，后续会基于此进一步实现多通道的示波器显示。若以太网测试正确，也可以将逻辑分析仪数据传入PC端用上位机作更丰富的显示和处理，同时可以进一步将级联方案升级为光纤接口，提高传输质量和带宽。

3.时序优化工作：在目前的工程中，HDMI显示像素时钟由于某些过长的路径可能出现违例，目前暂时通过降低帧率或者降低分辨率来解决，后续会考虑借助盘古EDA工具分析最差路径，将复杂的组合逻辑拆分、打拍并对其时序来处理。

4.示波器功能优化：示波器的最大采样频率受到了ADC模块的限制，后续可以考虑实现等效采样（Equivalent-Time Sampling ,ETS)来提高最大频率。并且由于DDR等大容量存储模块的接入，存储数据的点将会大于显示点数，可以借此机会引入波形平移功能等，丰富示波器功能。另一方面，可以通过统计输入信号的平均频率来对小信号进行放大，例如[自动增益控制](https://so.csdn.net/so/search?q=%E8%87%AA%E5%8A%A8%E5%A2%9E%E7%9B%8A%E6%8E%A7%E5%88%B6&spm=1001.2101.3001.7020)（Automatic Gain Control, AGC）等方法。

5.逻辑分析仪优化：（协议、存储等等）