

ESP32 硬件设计指南



Espressif Systems

2018 年 1 月 12 日

关于本手册

《ESP32 硬件设计指南》提供了 ESP32 系列产品的硬件信息，包括 ESP32 芯片，ESP-WROOM-32 模组，ESP32-WROVER 模组，ESP32-DevKitC 开发板以及 ESP-WROVER-KIT 开发板。

相关资源

请登录乐鑫官网：[ESP32 资源](#)，查看有关 ESP32 的其他文档和技术资源。

发布说明

日期	版本	发布说明
2016.12	V1.0	首次发布。
2016.12	V1.1	更新表 UART 接口的管脚定 。
2017.03	V1.2	更新章节概述； 更新 ESP32 功能框图； 更新章节管脚定义； 更新章节电源； 更新章节射频 (RF)； 更新 ESP-WROOM-32 管脚布局； 更新表 ESP-WROOM-32 管脚定义； 更新章节使用注意事项。
2017.03	V1.3	更新表 32 管脚定义的注意事项； 增加关于表 ESP-WROOM-32 管脚定义的说明。
2017.04	V1.4	更新章节 Strapping 管脚； 更新图 ESP32 管脚布局（封装为 QFN 5*5）； 更新图 ESP-WROOM-32 模组外观图 ； 更新图 ESP32-DevKitC 布局图。
2017.04	V1.5	增加 ESP-WROOM-32 模组尺寸的误差值。
2017.05	V1.6	更新图 ESP-WROOM-32 模组外观尺寸图； 增加章节 Strapping 管脚中的说明。
2017.05	V1.7	在章节 ESP-WROOM-32 概述中增加一条说明。
2017.06	V1.8	更新章节 2.1.2.1 上电时序 ； 更新章节 2.1.4.1 外部时钟参考（必选） ； 增加 ESP32 管脚清单 链接； 增加文档变更通知。
2017.06	V1.9	将 CPU/RTC IO 电源输入的范围改为 1.8V ~ 3.6V； 更新章节 2.1.1.1 数字电源 。
2017.08	V2.0	将章节蓝牙中输出功率改为“高达 12 dBm”；NZIF 接收器的 BLE 接收灵敏度改为 -97 dBm； 增加表管脚描述的说明一条； 增加章节 2.2.1.8 触摸传感器 ； 更新第 3 章开发硬件介绍； 更新章节 4.2 ESP32-LyraT 智能音频平台 。

日期	版本	发布说明
2018.01	V2.1	<p>删除章节基础协议，应用，功能框图以及管脚定义，相关内容可参见《ESP32 技术规格书》；</p> <p>更新章节 2 中所有原理图和设计图以及相关说明；</p> <p>增加章节 2.1.7；</p> <p>更新章节 2.2，增加管脚在模组上位置的说明。</p> <p>更新章节 2.2.3.1 关于电流纹波峰峰值的描述。</p>

文档变更通知

用户可以通过[乐鑫官网](#)订阅技术文档变更的电子邮件通知。

证书下载

用户可以通过[乐鑫官网](#)下载产品证书。

免责声明和版权公告

本文中的信息，包括参考的 URL 地址，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。

本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2018 乐鑫所有。保留所有权利。

目录

1 产品概述	7
2 电路图和版图设计	8
2.1 原理图设计	8
2.1.1 电源	9
2.1.1.1 数字电源	9
2.1.1.2 模拟电源	10
2.1.2 上电时序与复位	10
2.1.2.1 上电时序	10
2.1.2.2 复位	11
2.1.3 Flash	11
2.1.4 晶振	11
2.1.4.1 外部时钟参考 (必选)	11
2.1.4.2 RTC 时钟 (可选)	12
2.1.5 射频 (RF)	13
2.1.6 外置阻容	13
2.1.7 UART	14
2.2 版图布局	14
2.2.1 独立的 ESP32 模组的版图设计	15
2.2.1.1 版图设计通用要点	15
2.2.1.2 模组在底板上的位置摆放	15
2.2.1.3 电源	16
2.2.1.4 晶振	17
2.2.1.5 射频	18
2.2.1.6 外置阻容	19
2.2.1.7 UART	19
2.2.1.8 触摸传感器	19
2.2.2 ESP32 作为从设备的版图设计	20
2.2.3 版图设计常见问题	21
2.2.3.1 为什么电源纹波并不大，但射频的 Tx 性能很差？	21
2.2.3.2 为什么芯片发包时，电源纹波很小，但射频的 Tx 性能不好？	21
2.2.3.3 为什么 ESP32 发包时，仪器测试到的 power 值比 target power 值要高或者低很多，且 EVM 比较差？	22
2.2.3.4 为什么芯片的 Tx 性能没有问题，但 Rx 的灵敏度不好？	22
3 开发硬件介绍	23
3.1 ESP-WROOM-32 模组	23
3.2 ESP32-WROVER 模组	23
3.3 模组使用注意事项	24
3.4 ESP32-DevKitC 开发板	25
3.5 ESP-WROVER-KIT 开发板	25
4 典型应用案例	27
4.1 UART 串口转 Wi-Fi 智能硬件	27

表格

2 UART 接口的管脚定义

27

插图

1	ESP32 参考设计原理图	8
2	ESP32 数字电源	9
3	ESP32 模拟电源	10
4	ESP32 Flash	11
5	ESP32 晶振	12
6	ESP32 晶振 (RTC 时钟)	12
7	ESP32 射频匹配电路图	13
8	ESP32 外置电容	13
9	ESP32 串口	14
10	ESP32 版图设计	14
11	ESP32 模组在底板上的位置示意图	15
12	ESP32 天线区域净空示意图	16
13	ESP32 电源设计	17
14	ESP32 晶振设计	18
15	ESP32 射频部分版图设计	18
16	典型的触摸传感器应用	19
17	电极图形要求	19
18	传感器布局布线	20
19	PAD/TV Box 平面位置规划框架	21
20	ESP-WROOM-32 模组外观图	23
21	ESP32-WROVER 模组外观图	24
22	ESP32-DevKitC 尺寸图	25
23	ESP-WROVER-KIT 前视图	26
24	ESP-WROVER-KIT 后视图	26

1. 产品概述

ESP32 是集成 2.4 GHz Wi-Fi 和蓝牙双模的单芯片方案，采用台积电 (TSMC) 超低功耗的 40 纳米工艺，拥有最佳的功耗性能、射频性能、稳定性、通用性和可靠性，适用于各种应用和不同功耗需求。

ESP32 是业内集成度领先的 Wi-Fi + 蓝牙解决方案，外部元器件仅有 20 个，并且集成了天线开关、射频 balun、功率放大器、低噪声放大器、过滤器、电源管理模块和先进的自校准电路，极大减少了印刷电路板 (PCB) 的面积。

ESP32 还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。因此，ESP32 的批量生产不需要昂贵的专用 Wi-Fi 测试设备。

目前 ESP32 系列的产品型号包括 ESP32-D0WDQ6, ESP32-D0WD, ESP32-D2WD 和 ESP32-S0WD。产品型号说明和订购信息请参考文档 [《ESP32 技术规格书》](#)。

2. 电路图和版图设计

ESP32 的核心电路只需要 20 个左右的电阻电容电感、1 个无源晶振及 1 个 SPI Flash 组成。ESP32 集成了完整的发射 / 接收射频功能，包括天线开关，射频 balun，功率放大器，低噪放大器，过滤器，电源管理模块和先进的自校准电路。ESP32 的高度集成使得其外围电路设计比较简单。为了能够更好地保证 ESP32 工作性能，本规范将详细介绍 ESP32 的原理图以及 PCB 布局设计。

2.1 原理图设计

ESP32 的核心电路图如图 1 所示。

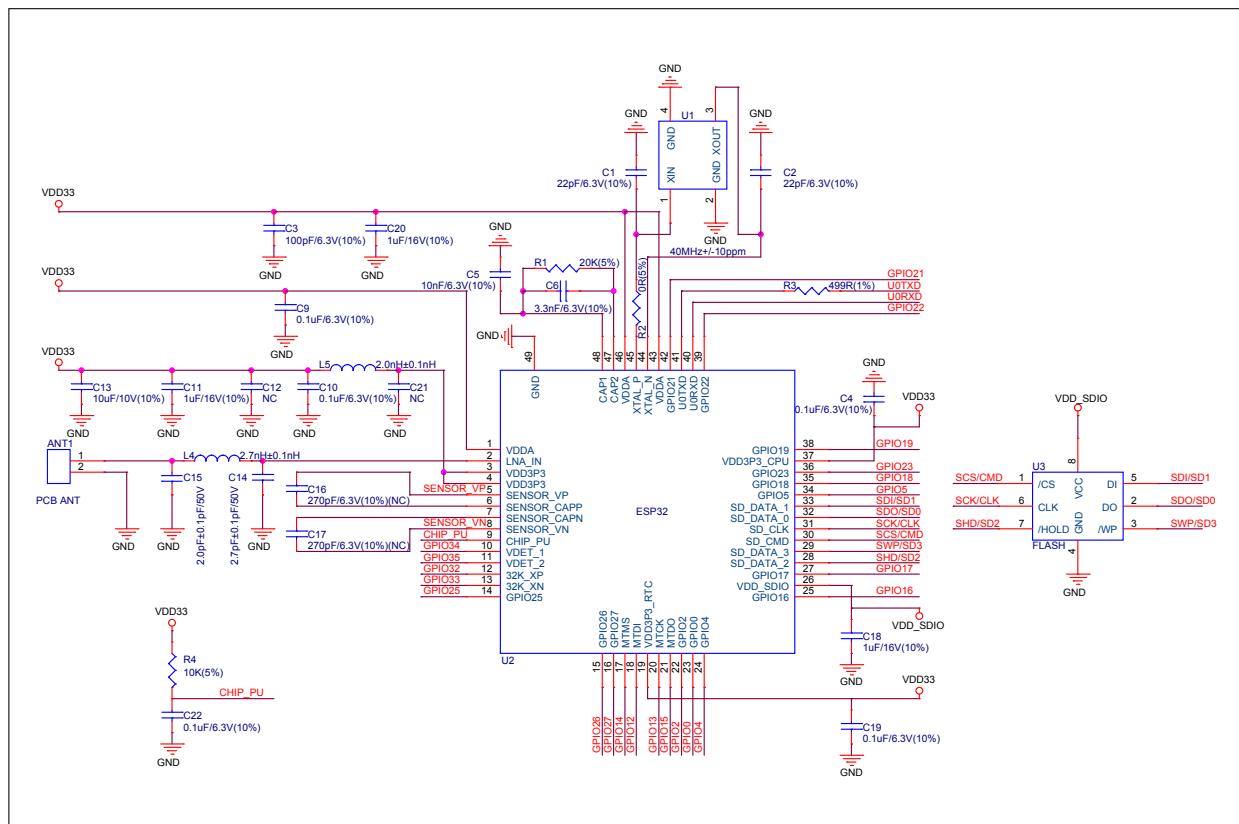


图 1: ESP32 参考设计原理图

ESP32 的核心电路图的设计有 7 个部分注意事项：

- 电源
- 上电时序与复位
- Flash
- 晶振
- 射频
- 外置阻容
- UART

下文将分别对这 7 个部分进行描述。

2.1.1 电源

2.1.1.1 数字电源

ESP32 的 Pin19 及 Pin37 分别为 RTC 电源管脚和 CPU 电源输入管脚。数字电源工作电压范围为 1.8V ~ 3.6V。建议在电路中靠近数字电源管脚处分别添加 0.1 μF 电容。

VDD_SDIO 管脚上的电压由芯片内部 LDO 产生，可配置输出 1.8V (Boot 启动时，需 GPIO12 的值为 1)，当输出 3.3V (Boot 启动时，需 GPIO12 的值为 0，默认状态)，给外部电路使用，最大供给电流在 40 mA 左右。当 VDD_SDIO 输出 3.3V 时，建议在 VDD_SDIO 靠近管脚处添加 1 μF 的滤波电容。当 VDD_SDIO 输出为 1.8V 时，建议在 VDD_SDIO 管脚处添加 2 kΩ 对地电阻及 1 μF 对地电容。

另外，当使用 VDD_SDIO 给外部 3.3V flash/PSRAM 供电时，需要满足 flash/PSRAM 的工作电压要求，一般应保证电压在 2.7V 以上。

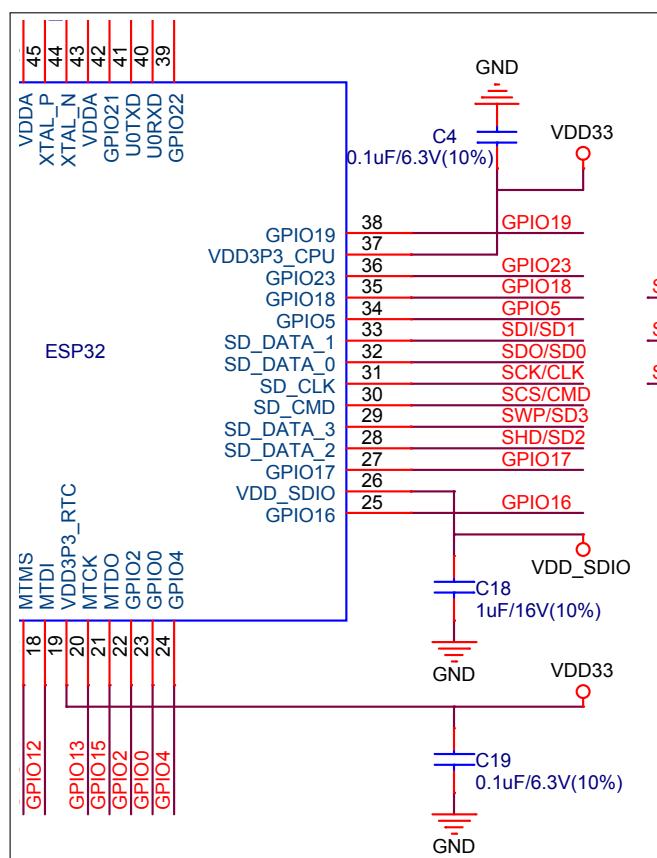


图 2: ESP32 数字电源

2.1.1.2 模拟电源

ESP32 的 Pin1、Pin43、Pin46 为模拟电源，Pin3、Pin4 为功率放大器电源。该部分电源需要注意的是当 ESP32 工作在 Tx 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 $10\ \mu\text{F}$ 电容，该电容可与 $0.1\ \mu\text{F}$ 电容搭配使用。另外，Pin3、Pin4 在靠近电源管脚还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 $500\ \text{mA}$ 及以上。

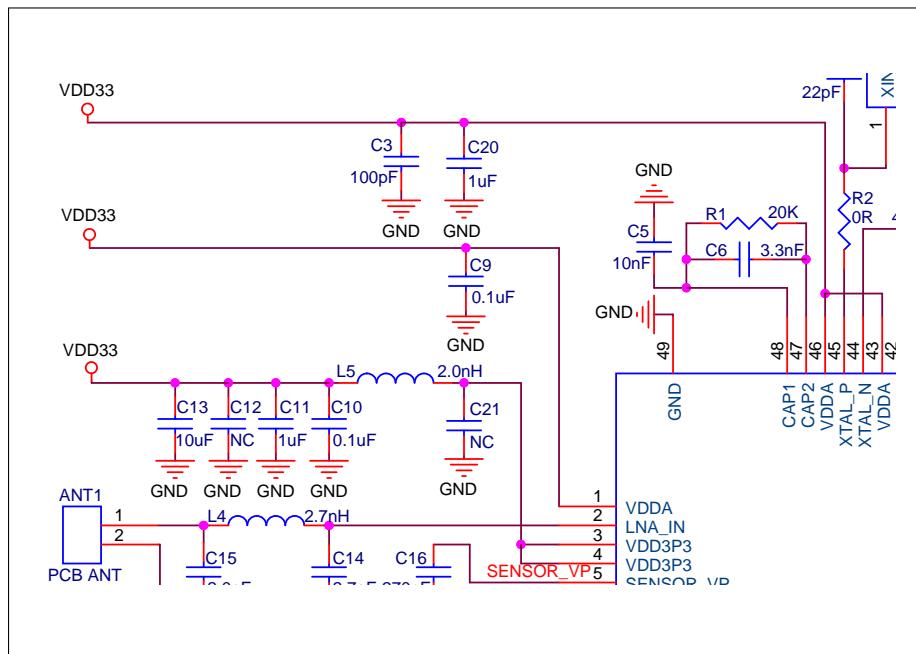


图 3: ESP32 模拟电源

注意：

- 使用单电源供电时，ESP32 工作电压范围为 $2.3\text{V} \sim 3.6\text{V}$ ；建议供给 ESP32 的电源电压为 3.3V ，最大输出电流可达 $500\ \text{mA}$ 及以上。
- 电源入口处建议添加 ESD 保护器件。

2.1.2 上电时序与复位

2.1.2.1 上电时序

ESP32 使用 3.3V 作为统一的系统电源，所以上电时序上只需遵循：ESP32 的 Pin9 CHIP_PU 使能管脚上电要晚于系统电源 3.3V 上电，延时时间 (T) 可由 RC (推荐 $R = 10\ \text{k}\Omega$, $C = 0.1\ \mu\text{F}$) 参数计算而得。 RC 电路设计可参考《[ESP-WROOM-32 技术规格书](#)》中 **ESP-WROOM-32 外设原理图**。

注意：

如果将 CHIP_PU 连接到电源管理芯片，则由电源管理芯片控制 ESP32 的上电。这时，由于电源管理芯片的 GPIO 输出高低电平开关 Wi-Fi 时会产生脉冲电流，为了避免 CHIP_PU 端上电电平不稳定，需加上 RC 延时 ($R = 10\ \text{k}\Omega$, $C = 0.1\ \text{nF}$) 电路。

2.1.2.2 复位

ESP32 的复位可使用 CHIP_PU 管脚。当 CHIP_PU 为低电平时，通常要求输入电平低于 0.6V，并持续 200 μ s 以上，则 ESP32 会复位。为防止外界干扰引起重启，CHIP_PU 引线需尽量短一些，且最好加上拉电阻和对地电容。

注意：

该管脚不可悬空。

2.1.3 Flash

ESP32 最多支持 4 个 16 MB 的外部 QSPI Flash 和 SRAM。目前采用的 Demo Flash 为 SPI Flash，ROM 大小为 4 MB，封装为 SOP_8P (208 mil)，使用 VDD_SDIO 输出电源供电。需注意的是，需根据设置的 VDD_SDIO 输出电源电压大小选择合适工作电压的 Flash。

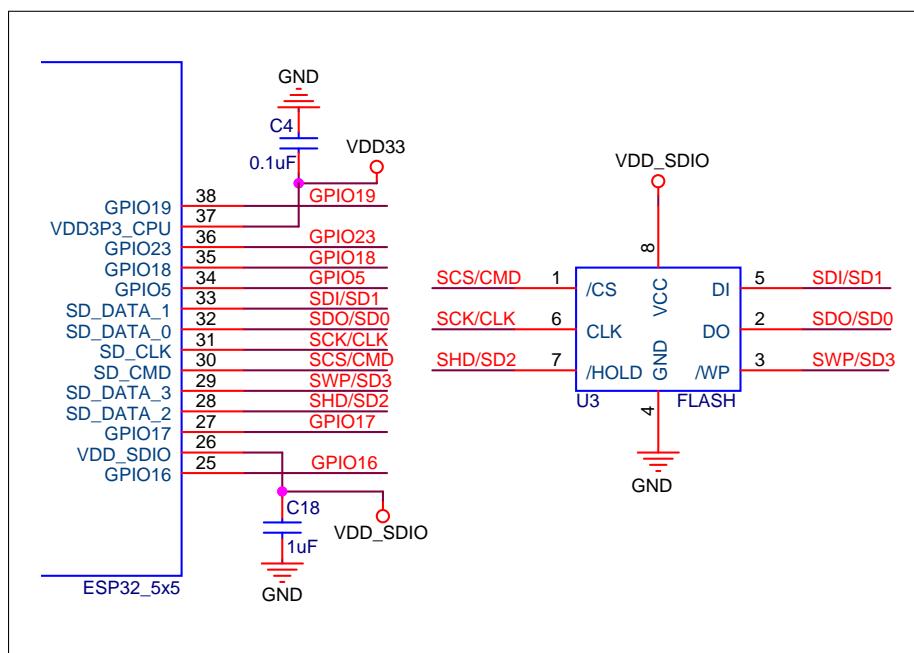


图 4: ESP32 Flash

2.1.4 晶振

ESP32 外部可以有 2 个晶振提供时钟源，即外部晶振时钟源和 RTC 时钟源。

2.1.4.1 外部时钟参考（必选）

目前 ESP32 Wi-Fi/BT 固件仅支持 40 MHz 晶振。晶振外部匹配电容 C1、C2 具体值需要通过对系统测试后进行调节确定。建议 XTAL_P 时钟走线上预留一个 0 Ω 的串联电阻。注意，选用的晶振自身精度需在 ± 10 PPM。

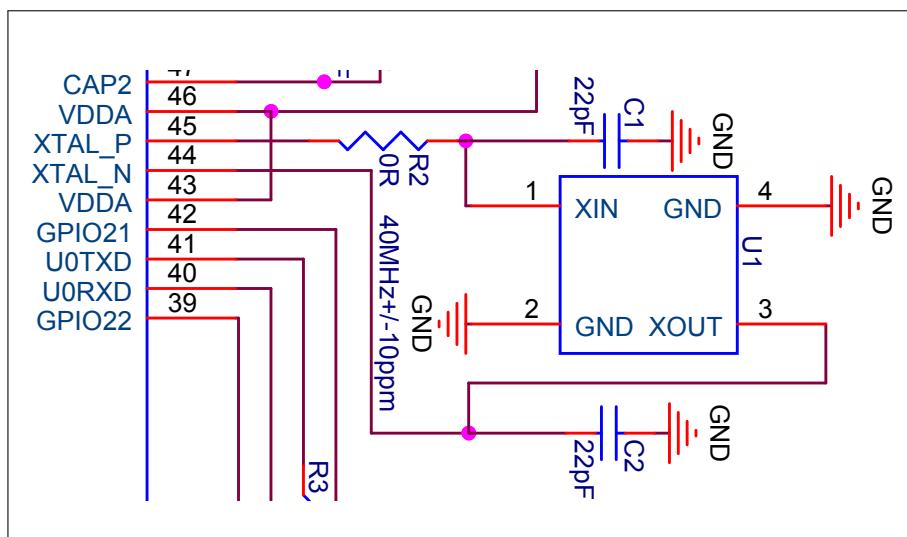


图 5: ESP32 晶振

注意:

尽管 ESP32 内部带有自校准功能，但是晶振本身的质量问题，比如自身频偏过大，工作温度稳定度不高等仍然会影响 ESP32 的正常工作，导致射频指标性能下降。

2.1.4.2 RTC 时钟 (可选)

ESP32 支持外置 32.768 kHz 的时钟振荡器作为 RTC 睡眠时钟。

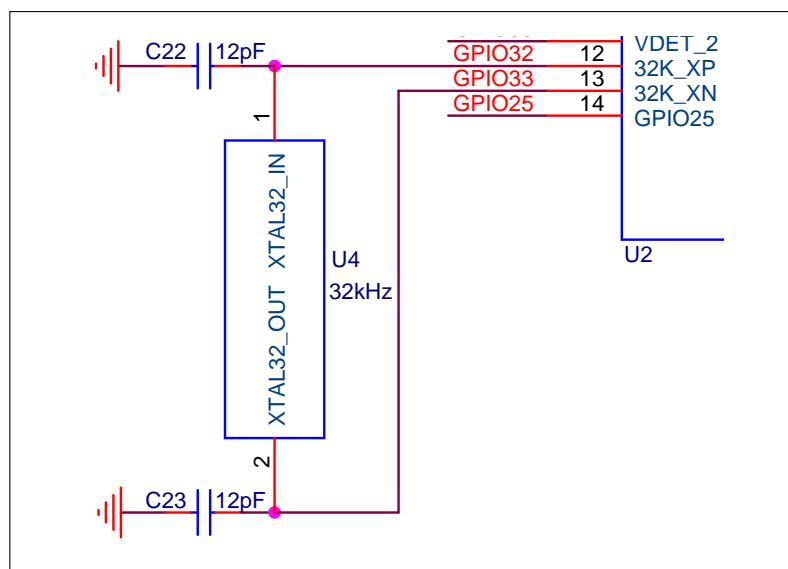


图 6: ESP32 晶振 (RTC 时钟)

注意:

如果不需该 RTC 时钟源，则 Pin12 32K_XP 和 Pin13 32K_XN 也可配置为通用 GPIO 口使用。

2.1.5 射频 (RF)

ESP32 (QFN 6*6) 和 (QFN 5*5) 的 RF 管脚 (Pin 2) 输出阻抗分别为 $(30+j10)$ 和 $(35+j10)$ Ω ，设计时需添加 π 型匹配网络以便对天线进行匹配。建议 π 型匹配网络优先采用 CLC 结构。

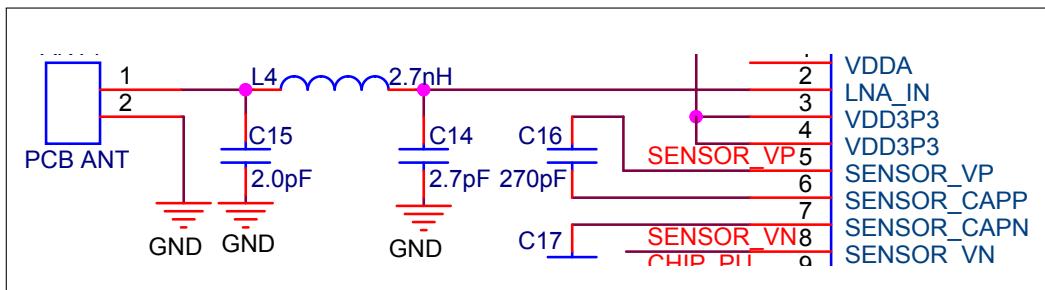


图 7: ESP32 射频匹配电路图

说明：

匹配网络的器件参数值需根据实际天线和 PCB 布局进行测试来确定。

2.1.6 外置阻容

ESP32 的 Pin47 CAP2 和 Pin48 CAP1 的连接电路请参见图 8。CAP1 所连的 C5 (10 nF) 需要较高精度；CAP1 与 CAP2 之间的 RC 电路建议参考图中所示。若取消这部分电路，将会对芯片在 Deep-sleep 状态下产生细微影响。

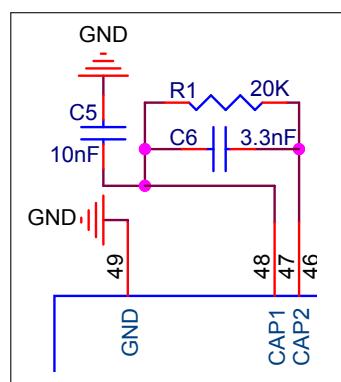


图 8: ESP32 外置电容

2.1.7 UART

U0TXD 线上需串联 499Ω 电阻用于抑制 80 MHz 谐波。

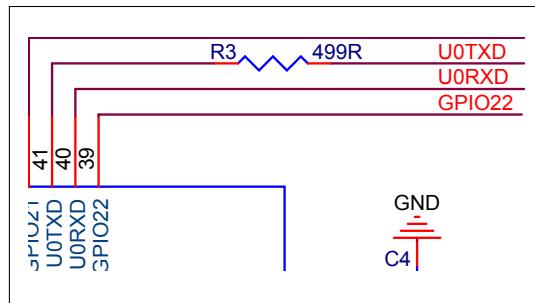


图 9: ESP32 串口

2.2 版图布局

本章节将以 ESP-WROOM-32D 模组的 PCB layout 为例，介绍 ESP32 PCB layout 设计要点。

版图布局分为以下两部分来介绍：

- 独立的 ESP32 模组版图设计
- ESP32 作为从设备版图设计

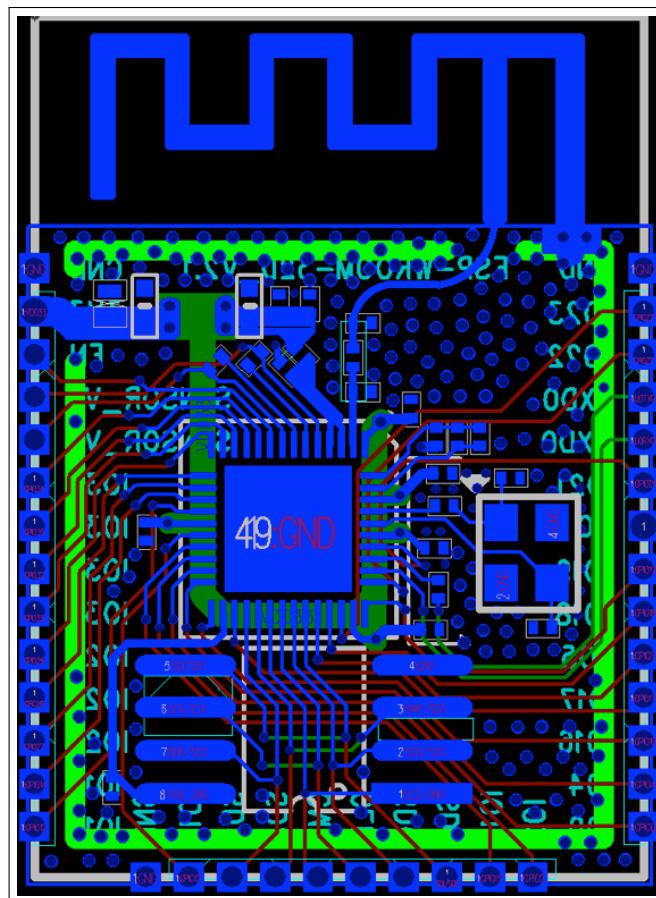


图 10: ESP32 版图设计

2.2.1 独立的 ESP32 模组的版图设计

2.2.1.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层为顶层，主要用于走信号线和摆件。
- 第二层为地层，不走信号线，保证一个完整的地平面。
- 第三层为电源层，为了使射频及晶振部分可以得到更好的屏蔽，因此在保证射频及晶振部分下方完整地平面的情况下，可适度走信号线。
- 第四层为底层，不建议摆件，将电源走在这层上。

如采用两层板设计：

- 第一层为顶层，主要用于走信号线和摆件。
- 第二层为底层，不建议摆件，将电源走在这层上。射频及晶振部分下方不走任何电源或信号线，需保证完整的地平面，并与芯片底部的 Ground Pad 相连。

2.2.1.2 模组在底板上的位置摆放

如产品采用模组进行 on-board 设计，则需注意考虑模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

条件允许的情况下，建议将模组 PCB 天线区域延伸出底板板框外，并将模组尽可能地靠近底板板边放置，使天线的馈点距离板边最近。

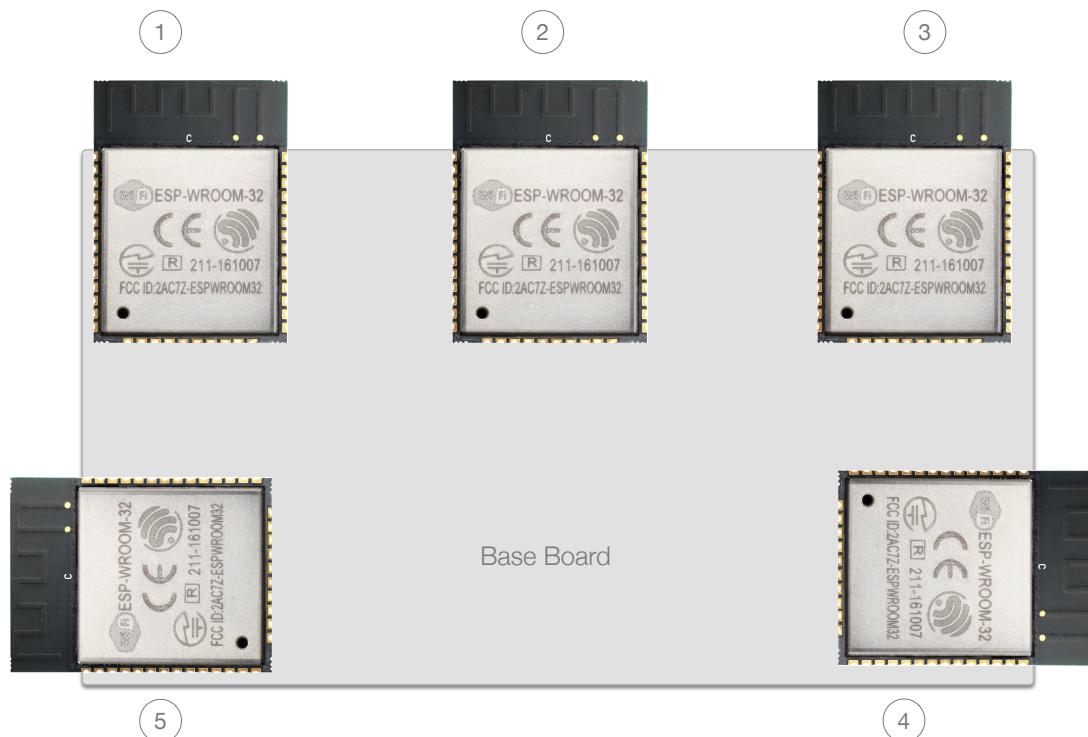


图 11: ESP32 模组在底板上的位置示意图

说明:

在图 11 中, ESP32 模组在底板上的位置建议如下:

- 位置 3: 强烈推荐;
- 位置 4: 推荐;
- 位置 1, 2, 5: 不推荐。

如上述方法受限而无法实行, 请确保模块不被任何金属的外壳包裹, 模块 PCB 天线区域及外扩 15 mm 区域需净空 (严禁铺铜、走线、摆放元件), 如下图所示:

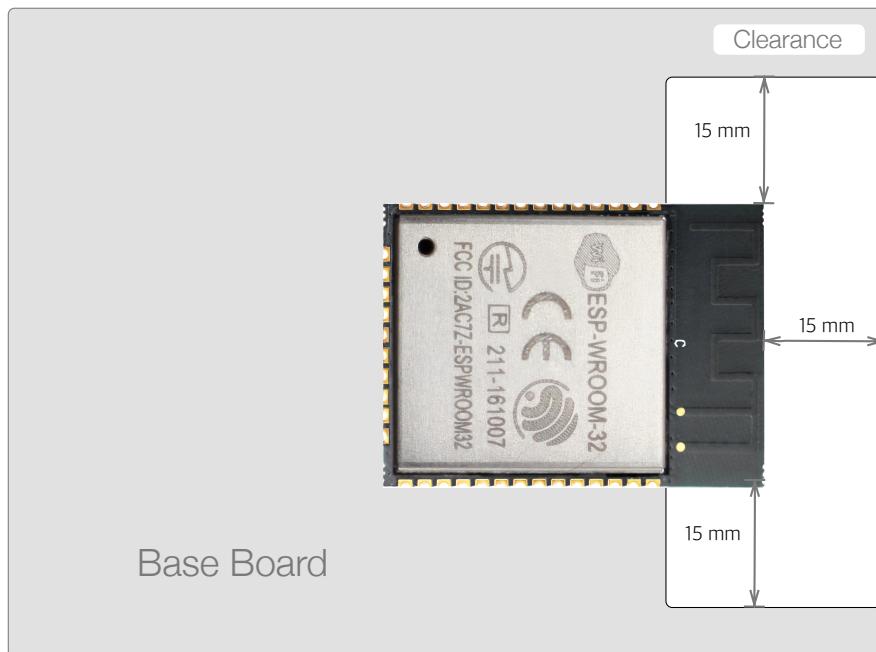


图 12: ESP32 天线区域净空示意图

2.2.1.3 电源

图 13 中黄色高亮信号线即为 3.3V 电源走线。电源走线的线宽必须 $> 20 \text{ mil}$ 。电源走线进入 ESP32 模拟电源管脚 (Pin1, 3, 4, 43, 46) 前需增加一个 $10 \mu\text{F}$ 电容, 该电容可与 $0.1 \mu\text{F}$ 电容搭配使用。Pin3, 4 电源需要靠近管脚添加 C 和 L。如图 13 中 C13 ($10 \mu\text{F}$) 放置在电源入口处, C10, L5 及 C21 靠近芯片的模拟电源管脚摆放。条件允许情况下, 尽量每个数字电源管脚添加一个 $0.1 \mu\text{F}$ 电容。注意, 所有去耦电容都请靠近电源管脚放置, 去耦电容的接地脚就近打地孔, 保证较短的返回路径。

电源走线尽量走在第四层 (底层), 须通过过孔连接至顶层芯片管脚处。在过孔处理上, 钻孔直径需不小于电源走线的宽度, 钻孔焊盘的直径建议是钻孔直径的 1.5 倍。

芯片底部的 Ground PAD 需要多打些地孔连接到地平面。

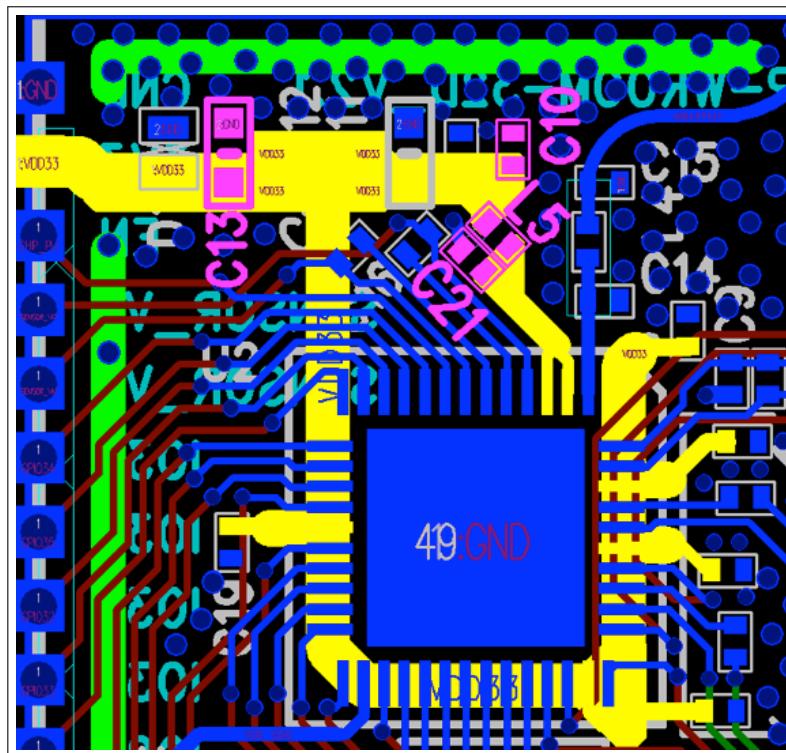


图 13: ESP32 电源设计

2.2.1.4 晶振

晶振设计请参考图 14，另外：

- 晶振需离芯片时钟管脚稍远一些放置 (**gap=2.7 mm** 为优)，防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
 - 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。
 - 晶振外接的对地调节电容请靠近晶振左右两侧摆放，并尽量置于时钟走线连接末端。
 - 晶振下方 4 层都不能走高频数字信号，最佳情况是晶振下方不走任何信号线，晶振顶层的铺铜区域越大越好。
 - 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等。

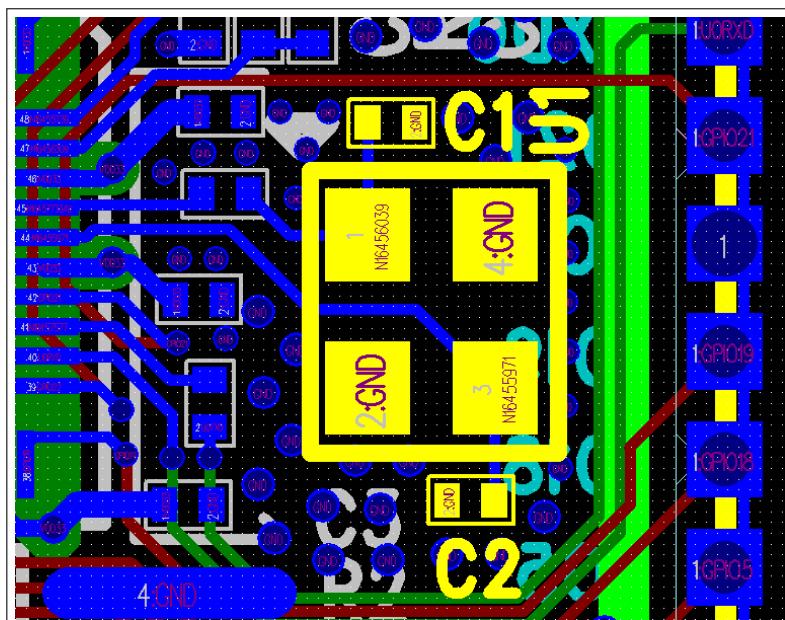


图 14: ESP32 晶振设计

2.2.1.5 射频

射频走线须做 50Ω 单端阻抗控制，须保证相邻层完整地平面。射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。

射频走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。

射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需靠近芯片端放置。

射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振，DDR，一些高频时钟（比如 SDIO_CLK）等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。PCB 板载天线建议采用乐鑫自制的 Type-A 版本进行设计。

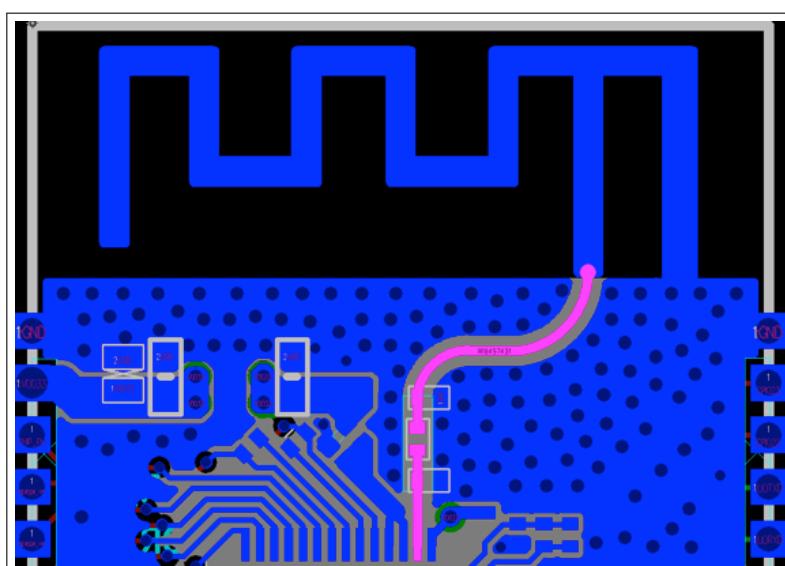


图 15: ESP32 射频部分版图设计

2.2.1.6 外置阻容

外置阻容需靠近芯片管脚放置，并注意走线不可有过孔。注意需优先保证 10 nF 电容靠近管脚放置。

2.2.1.7 UART

UOTXD 线上的串联电阻需尽可能靠近芯片放置，使 UOTXD 在顶层的走线尽量短。

2.2.1.8 触摸传感器

ESP32 提供了多达 10 个支持电容式触摸传感的 IO，能够检测触摸传感器上因手指接触或接近而产生的电容变化。芯片内部的电容检测电路具有低噪声和高灵敏度的特性，支持用户使用面积较小的触摸垫来实现触摸检测功能，用户也可使用触摸板阵列以探测更大的区域或更多的测试点。

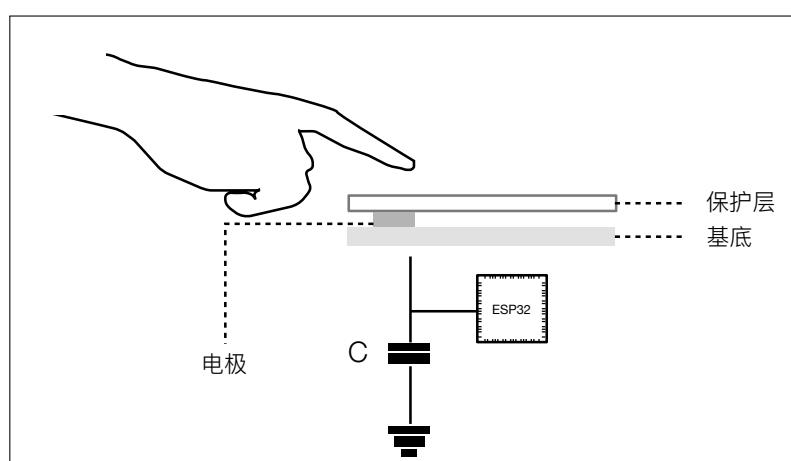


图 16: 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，用户需要考虑以下因素：

电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

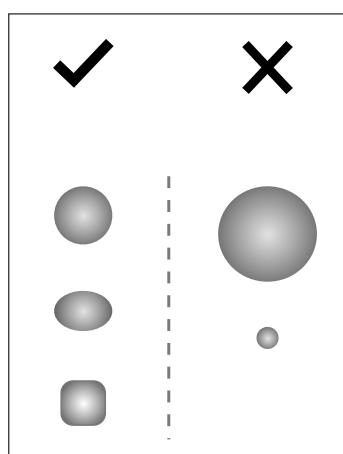


图 17: 电极图形要求

PCB 布局

以下是关于走线规格的注意事项：

- 走线长度不应超过 300 mm
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)
- 走线夹角 (R) 不应小于 90°
- 触摸电极与走线离地间隙 (S) 不应小于 1 mm
- 触摸电极直径 (D) 范围 8 mm 到 15 mm
- 触摸电极和走线应被栅格地围绕

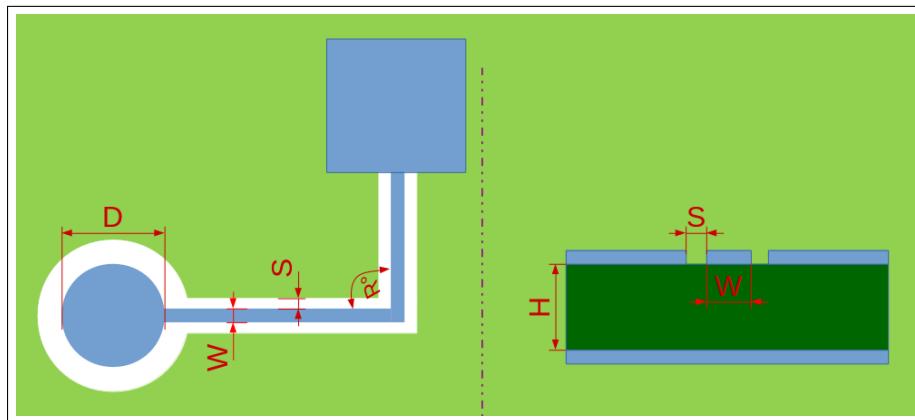


图 18: 传感器布局布线

说明:

图 17 未按照实际比例示例。建议用户用指尖作为参考。关于触摸传感器的硬件设计，详见 [ESP32 触摸传感器应用方案简介](#) 中的第 3 章。

2.2.2 ESP32 作为从设备的版图设计

ESP32 作为从设备，搭载其他主 CPU 应用时，在布局设计上比模组设计更加要注意的是信号完整性。系统的复杂性，高频信号的增多对于 ESP32 的干扰也增多，需要注意避免这些干扰影响 ESP32 正常工作。这里我们以 PAD 或 TV Box 的主板作为示例进行分析。

CPU 和 DDR 之间的数字信号是高频噪声的主要制造者，会从空中干扰 Wi-Fi 射频，所以在做系统设计时，应注意以下几点：

- 从图 19 中可以看出，ESP32 需在 PCB 边上，远离 CPU 与 DDR，即远离噪声源。从位置上增加距离使得干扰能量随距离增加而衰减，继而减小噪声耦合。
- ESP32 与 CPU 之间通过 SDIO 通信时，最好在 SDIO 的 6 根信号线上各预留一个串联电阻，减小驱动电流，继而减小干扰，同时也可以消除 SDIO 走线长度不一致引起的时序问题。
- 在天线选型上，尽量不使用 PCB 板载天线，因为 PCB 板载天线受到的干扰比较大，容易把干扰耦合进来影响射频性能。最好使用外置天线，可以通过电缆线引出远离 PCB 板，这样板上高频干扰信号对 Wi-Fi 的影响会减弱。

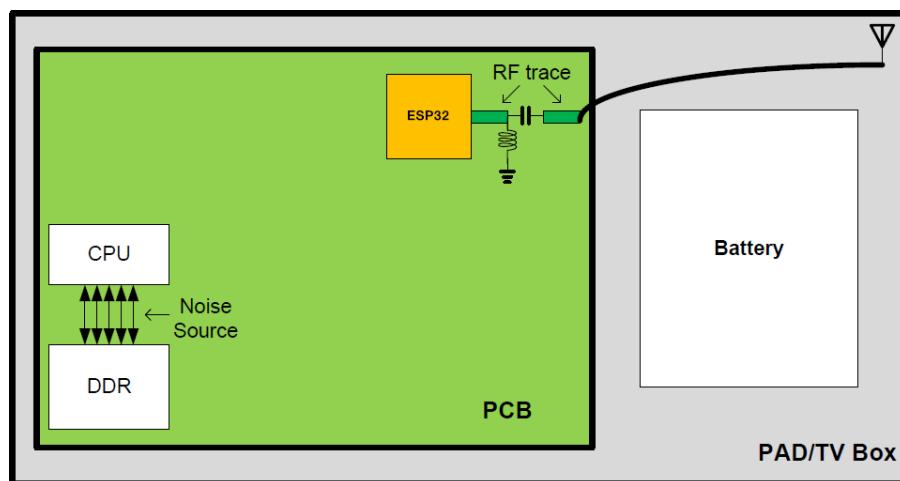


图 19: PAD/TV Box 平面位置规划框架

- 在布线过程中，应注意 CPU 与 MEM 之间的高频信号走线控制，严格按照高频信号处理规则走线（详情可参考 DDR 走线控制文档），尽量做到把 CLK 单独包地处理，data 或 addr 线成组进行包地处理。
- 如果在系统设计中牵涉到电机等高功率器件，则务必要把 Wi-Fi 部分电路的返回路径 (GND) 与其他高功率器件的返回路径 (GND) 分离开来，通过导线把 2 个返回路径 (GND) 连接起来。
- 天线要尽量远离其他高频噪声源，如 LCD、HDMI、摄像传感器、USB 以及其他高频信号。

2.2.3 版图设计常见问题

2.2.3.1 为什么电源纹波并不大，但射频的 Tx 性能很差？

现象分析

电源纹波可极大地影响射频的 Tx 性能。测量电源纹波时需注意电源纹波必须是在 ESP32 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11m@11b 时，电源纹波峰峰值必须 <120 mV。

解决方法

在电源支路上（支路为 ESP32 模拟电源管脚）添加一个 $10 \mu\text{F}$ 的滤波电容。 $10 \mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

2.2.3.2 为什么芯片发包时，电源纹波很小，但射频的 Tx 性能不好？

现象分析

射频的 Tx 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 Tx 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 Tx 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线，UART 走线等，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 2.2 版图布局。

2.2.3.3 为什么 ESP32 发包时，仪器测试到的 power 值比 target power 值要高或者低很多，且 EVM 比较差？

现象分析

当仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

2.2.3.4 为什么芯片的 Tx 性能没有问题，但 Rx 的灵敏度不好？

现象分析

芯片的 Tx 性能没有问题意味着射频端的阻抗匹配也没有问题。Rx 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 Tx 与 Rx 走线穿过射频走线等。如果 ESP32 是作为从设备设计，那么主板上将存在非常多的高频信号干扰源，需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考 [2.2 版图布局](#)。

3. 开发硬件介绍

说明:

关于 ESP32 系列模组的详细信息, 请见[乐鑫官网模组页面](#)。

3.1 ESP-WROOM-32 模组

乐鑫为客户提供贴片式模组 ESP-WROOM-32。该模组的射频性能已调试到最佳状态。初期使用 ESP32 进行测试或二次开发时, 建议采购我司提供的模组。

ESP-WROOM-32 尺寸为 $18\pm0.2\text{ mm} \times 25.5\pm0.2\text{ mm} \times 3.1\pm0.15\text{ mm}$, 使用封装大小为 SOP8-208 mil 的 flash, 2-dBi 的 PCB 板载天线。ESP-WROOM-32 的外形如图 20 所示。

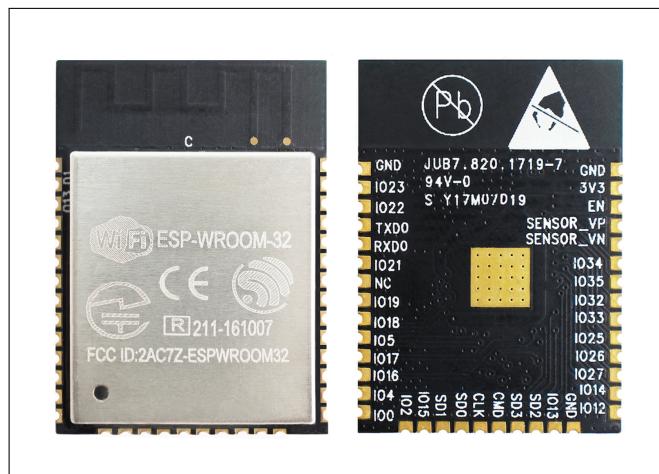


图 20: ESP-WROOM-32 模组外观图

关于 ESP-WROOM-32 的管脚定义、尺寸图、原理图等, 请参考文档[《ESP-WROOM-32 技术规格书》](#)。

3.2 ESP32-WROVER 模组

ESP32-WROVER 是另一款基于 ESP32 芯片的模组。与 ESP-WROOM-32 不同的是, ESP32-WROVER 模组另外配置了 32-Mbit 的 SPI PSRAM。这样, ESP32-WROVER 同时带有 4 MB SPI flash 和 4 MB PSRAM。ESP32-WROVER 采用的是 PCB 板载天线, 同系列的另一款模组 ESP32-WROVER-I 采用的是 IPEX 天线。

ESP32-WROVER 的外形如图 21 所示。

关于 ESP32-WROVER 的管脚定义、尺寸图、原理图等, 请参考文档[《ESP32-WROVER 技术规格书》](#)。



图 21: ESP32-WROVER 模组外观图

3.3 模组使用注意事项

- 贴片模组使用单一管脚供电，客户只需外接 1 个 3.3V 的电源即可。该 3.3V 电源既可为模拟电路供电，也可为数字电路供电。
- EN 管脚为模组使能管脚，正常工作时需把 EN 管脚置高电平。模组上未添加 RC 延时电路，建议客户在模组外部添加。可参考 2.1.2。
- 贴片模组提供两种工作模式，一种是 UART 下载模式，另一种是 Flash 启动模式。其中，UART 下载模式下，用户可以通过烧录工具选择把程序烧录至 Flash 或 Memory 中。当程序烧录在 Memory 中时，程序只能在本次上电期间运行，断电后 Memory 将会自动清空。当程序烧录在 Flash 中时，程序会被保存在 Flash 中，可随时调用。
- 将 GND、RXD、TXD 接出外接 USB 转 UART 工具下载、打印 log 以及通信。

出厂模式下的模组 Flash 已下载初始固件。如需自行重新烧录固件，烧录 Flash 的操作步骤如下：

1. 烧录前，需要设置模组在 UART 下载模式下工作；即将 IO0（默认为高）和 IO2（默认为低）下拉到低电平；
2. 给模组上电，通过串口查看是否进入 Download 模式。
3. 通过 [Flash 下载工具](#)将程序固件烧录进 Flash 中；
4. 烧录结束后，IO0 需上拉切换至高电平，进入 SPI 启动模式下工作；
5. 重新上电，芯片初始化时会从 Flash 中读取程序运行。

注意：

- 整个操作过程都可通过 UART 打印 log 信息查看芯片运行是否正常。当无法烧录或程序无法运行时，可通过串口打印信息查看芯片初始化时设置的工作模式是否正常。
- 串口打印工具和烧录工具不能同时占用串口端口。

3.4 ESP32-DevKitC 开发板

乐鑫提供 ESP32-DevKitC 开发板，以供客户快速评估、熟悉产品，便于进行二次应用开发。ESP32-DevKitC 的外观尺寸如图 22 所示。

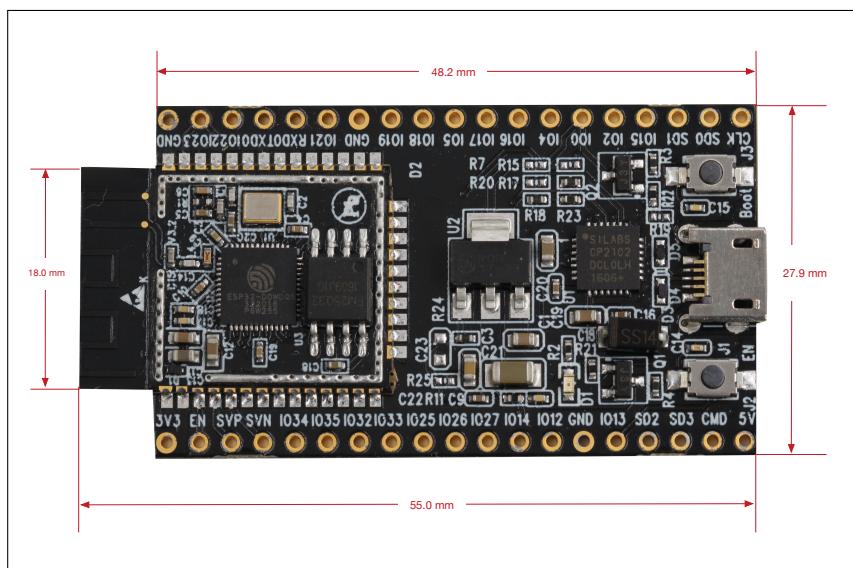


图 22: ESP32-DevKitC 尺寸图

ESP32-DevKitC 将 ESP-WROOM-32 模组的管脚全部引出至排针，具备 ESP32 芯片所支持的所有功能，用户可以根据自己的需求使用跳线连接至外部设备。

关于开发板的功能描述、原理图等，请参考 [ESP32-DevKitC 入门指南](#)。

3.5 ESP-WROVER-KIT 开发板

ESP-WROVER-KIT 是另一款 ESP32 开发板，兼容 ESP-WROOM-32 和 ESP32-WROVER 模组。ESP-WROVER-KIT 支持 LCD 显示、MicroSD 卡、模组 I/O 扩展等功能。ESP-WROVER-KIT 板载 FT2232HL 芯片，用户可通过 USB 线连接 PC 与开发板，使用 JTAG 功能对 ESP32 芯片进行调试，方便用户开发的同时，也减小了用户的开发成本。

ESP-WROVER-KIT 的前、后视图如图 23 和图 24 所示。

关于开发板的功能描述、原理图等，请参考 [ESP-WROVER-KIT 入门指南](#)。

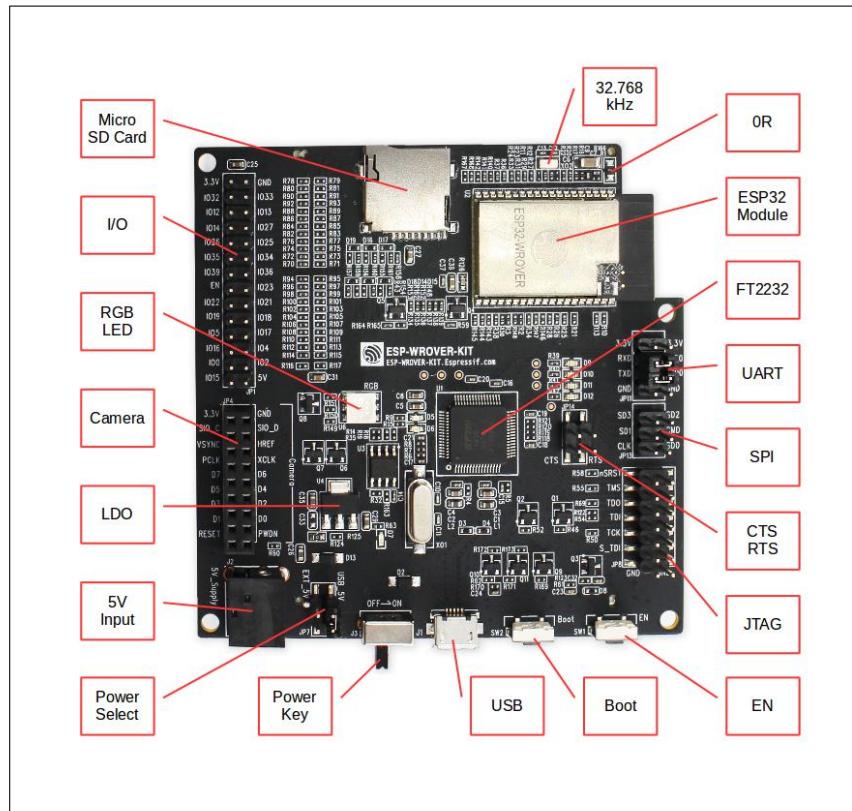


图 23: ESP-WROVER-KIT 前视图

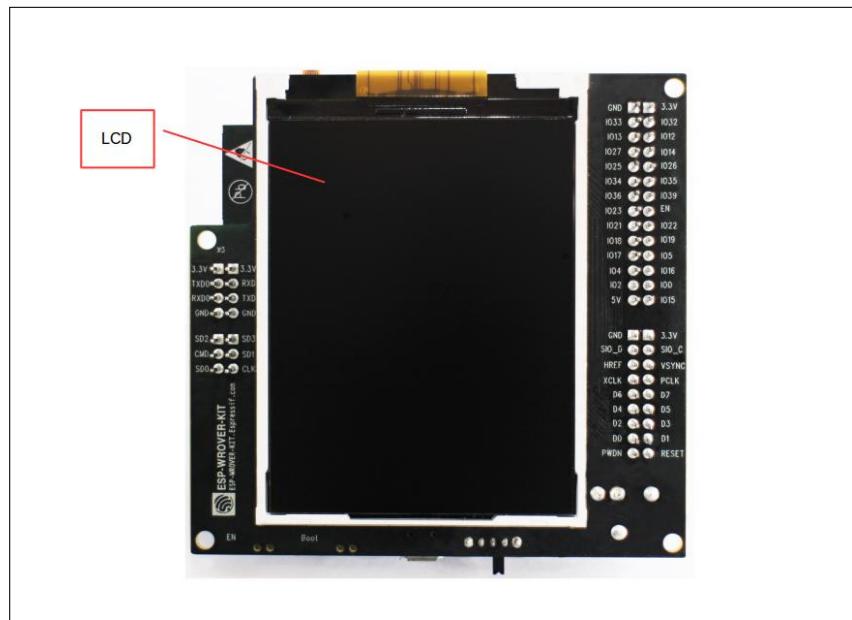


图 24: ESP-WROVER-KIT 后视图

4. 典型应用案例

4.1 UART 串口转 Wi-Fi 智能硬件

基于目前定义的 2 个 UART 接口的管脚定义如表 2 所示。

表 2: UART 接口的管脚定义

类别	管脚定义	功能
UART0	(Pin34) U0RXD + (Pin35) U0TXD	可用来打印 log 信息
UART1	(Pin25) U1RXD + (Pin27) U1TXD	可用来收发命令

应用案例：ESP32 开发板（详见章节 3.4 ESP32-DevKitC）。

4.2 ESP32-LyraT 智能音频平台

ESP32-LyraT 是乐鑫专门为语音交互市场研发的一款音频开发板，采用的是 ESP32-WROVER 模组。该款模组集成度高，并且包含 4 MB PSRAM。ESP32-LyraT 基于 ESP32 双核处理器、带有强大的 Wi-Fi+BT 功能，只需搭配极少的外围器件即可实现高集成度的音频解决方案，快速开发出智能音响、智能故事机、智能家居等产品，极大地缩短了产品研发周期。

ESP32-LyraT 智能音频平台具有以下特性：

- 支持多种音源输入：Wi-Fi、蓝牙音频、AirPlay、DLNA、line-in 等
- 双麦克拾音，可以开发近场以及远场语音识别
- 支持各种主流无损音频格式：ALAC、AAC、FLAC、OPUS、MP3、WAV、OGG 等
- 完整的无线标准——Wi-Fi 802.11b/g/n、Classic BT、BLE
- 支持多种配网：BLE 配网、微信配网等
- 外设接口丰富：有线网口、触摸按键、TFT 屏幕、Camera 接口等，扩展性强，方便产品差异化
- 支持多种云平台：DuerOS、喜马拉雅、DeepBrain 等