

赵怵龙 (Yilong Zhao)

电子邮件: sjtuzyl@sjtu.edu.cn 手机号码: 15221833996 个人主页: <https://xiaoke0515.github.io/page>

教育经历

- | | | |
|-----------------|-----------------------|---------------|
| 2018.9 – 2021.3 | 上海交通大学 (SJTU), 上海, 中国 | |
| | 计算机技术, 硕士 | GPA: 3.49/4.0 |
| 2014.9 – 2018.6 | 上海交通大学 (SJTU), 上海, 中国 | |
| | 电子科学与技术, 学士 | GPA: 3.51/4.3 |
| | 工商管理, 第二专业 | |

论文&专利

- Weidong Cao, **Yilong Zhao**(共同一作), Adith Boloor, Yinhe Han, Xuan Zhang, and Li Jiang, "Neural-PIM: Efficient Processing-In-Memory with Neural Approximation of Peripherals, " in *IEEE Transactions on Computers*, (接收)
- Fangxin Liu, Wenbo Zhao, Zhezhi He, Zongwu Wang, **Yilong Zhao**, Yongbiao Chen and Li Jiang , Bit-Transformer: Transforming Bit-level Sparsity into Higher Performance in ReRAM-based Accelerator, In *Proceedings of the 40th International Conference on Computer-Aided Design (ICCAD '21)*.
- **Yilong Zhao**, Zhezhi He, Naifeng Jing, Xiaoyao Liang, and Li Jiang. 2021. Re2PIM: A Reconfigurable ReRAM-Based PIM Design for Variable-Sized Vector-Matrix Multiplication. In *Proceedings of the 2021 on Great Lakes Symposium on VLSI (GLSVLSI '21)*. Association for Computing Machinery, New York, NY, USA, 15–20. DOI:<https://doi.org/10.1145/3453688.3461494>
- Liu F, Zhao W, **Zhao Y**, Wang Z, Yang T, He Z, Jing N, Liang X, Jiang L. SME: ReRAM-based Sparse-Multiplication-Engine to Squeeze-Out Bit Sparsity of Neural Network. *arXiv preprint arXiv:2103.01705*. 2021 Mar 2.
- Tao Yang, Dongyue Li, Yibo Han, **Yilong Zhao**, Fangxin Liu, Xiaoyao Liang, Zhezhi He, Li Jiang, PIMGCN: A ReRAM-Based PIM Design for Graph Convolutional Network Acceleration, *ACM/IEEE Design Automation Conference, DAC*, 2021, (接收)
- Z. Meng, W. Oian, **Y. Zhao**, Y. Sun, R. Yang and L. Jiang, "Digital Offset for RRAM-based Neuromorphic Computing: A Novel Solution to Conquer Cycle-to-cycle Variation," *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2021, pp. 1078-1083, doi: 10.23919/DATE51398.2021.9474179.
- Yanan Sun, Chang Ma, Zhi Li, **Yilong Zhao**, Jiachen Jiang, Weikang Qian, Rui Yang, Zhezhi He and Li Jiang, "Unary Coding and Variation-Aware Optimal Mapping Scheme for Reliable ReRAM-based Neuromorphic Computing," in *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2021
- Zhuoran Song, **Yilong Zhao**, Yanan Sun, Xiaoyao Liang and Li Jiang. "ESNreram: An Energy-Efficient Sparse Neural Network Based on Resistive Random-Access Memory, " *Proceedings of the 2020 on Great Lakes Symposium on VLSI, GLSVLSI*. 2020: 291-296.

- Chaoqun Chu, Yanzhi Wang, **Yilong Zhao**, Xiaolong Ma, Shaokai Ye, Yunyan Hong, Xiaoyao Liang, Yinhe Han and Li Jiang. "PIM-Prune: Fine-Grain DCNN pruning for Crossbar-based Process-In-Memory architecture, " *ACM/IEEE Design Automation Conference, DAC*, 2020
- Jia Wang, **Yilong Zhao**, Xin Huang and Guangqiang He. "High Speed Polarization-Division Multiplexing Transmissions Based on the Nonlinear Fourier Transform, " *ZTE COMMUNICATIONS* 17, 3 (2019).
- Aiguo Sheng, **Yilong Zhao**, and Guangqiang He, "Characterization of Kerr Solitons in Microresonators with Parameter Optimization and Nonlinear Fourier Spectrum," in *Conference on Lasers and Electro-Optics, OSA Technical Digest (Optical Society of America, 2019)*, paper JW2A.47.
- Aiguo Sheng, **Yilong Zhao**, and Guangqiang He, "Quadratic soliton combs in doubly resonant half-harmonic generation," in *Nonlinear Optics (NLO), OSA Technical Digest (Optical Society of America, 2019)*, paper NTu4A.18.

专利,

- 蒋力, **赵怿龙**, “可重构架构、加速器、电路部署和计算数据流方法”。发明专利, 申请号: 202010910280.5
- 蒋力, 赵怿龙, 崔晓松, 陈云, 廖健行, “神经网络电路”。发明专利, 申请号: 202010729402.0

科研经历

上海期智研究院,

蒋力 教授指导

基于 ReRAM 存算一体技术的二阶优化加速器设计

2021.01-至今

研究目的是基于存算一体技术设计一个神经网络二阶优化器。包括一些二阶优化中特有的算子的存算一体设计、架构映射策略设计。

华为合作 面向光通信、无线通信的存算一体实现 研究项目

2021.03-至今

研究目的是基于存算一体技术实现光通信与无线通信的接收机, 负责工作如下:

- 设计基于存算一体的光通信、无线通信系统总体架构, 包括算子拆分与算法的重构。
- 实现部分算子的电路仿真。
- 针对高功耗计算模块进行 AI 化, 在误差允许的条件下达到比现有数值算法更低的计算量。

上海交通大学, 先进计算机体系结构实验室,

蒋力 教授指导

基于 ReRAM 的可重构 DNN 加速器架构设计

2019.08 – 2020.11

研究目的是设计一个基于 ReRAM 的 DNN 加速器架构, 可显著减少 ReRAM 阵列周边计算电路开销。

- 设计了一个高性能的 ReRAM 加速器的周边电路实现策略。相对于一些先进的架构, 在一些流行的卷积神经网络的计算中可以提升 5.36 倍能效。
- 设计一个基于 ReRAM 的可重构 DNN 加速器架构。相对于一些先进的现有架构, 可以进一步提升 27 倍能效。

华为合作 基于 ReRAM 的高效可靠 DNN 加速器技术研究 项目

2019.04 – 2020.04

项目研究基于 ReRAM 的 DNN 加速器中，提升计算可靠性以及利用稀疏性提升能效，负责工作如下：

- 设计并编写了一个周期准确的 ReRAM 神经网络加速器架构的仿真器。仿真器以 GEM5 为基础编写，可以仿真存储器与架构中各计算电路模块的交互行为，从而更准确地仿真计算周期数与功耗等指标。
- 根据项目要求，改写仿真器以支持稀疏性网络的计算与可靠性的评估，仿真器的结果作为项目评估算法的重要指标。
- 设计一个基于 ReRAM 的 DNN 加速器架构，以支持稀疏性网络的计算。

上海交通大学，量子非线性光子学实验室，

何广强 教授指导

光频梳的产生与演化条件的研究

2018.03 – 2018.06

- 研究光孤子与光频梳在光学微腔中的产生演化条件，并搭建仿真系统。
- 首次使用非线性本征值分析光频梳在光学微腔中的演化，得到光孤子数量与非线性本征值的关系。

中兴合作 基于硅基微纳谐振腔的量子纠缠光频梳产生及传输问题研究 项目

2017.06 – 2018.03

项目研究利用非线性频域编码以解决长距离传输过程中光信号的演化衰变问题，负责工作如下：

- 用 Matlab 编写系统中的非线性傅里叶变换与反变换模块
- 光纤信号传输仿真系统的搭建

上海交通大学，大学生创新计划，

赵春宇 教授指导

利思合作 带蓝牙接口的 DTU 的开发 项目

2015.12 – 2016.12

定制一个数据转发单元（DTU）电路与数据分析显示程序，负责工作如下：

- 作为项目的负责人，负责项目的进展与最终汇报
- 设计并开发了一个 DTU。包括电路设计、焊接与嵌入式编程，并解决电路在应用场景下的电磁干扰问题

助教，

算法设计与分析（CS222）

上海交通大学, 2019-2020 秋