

实验一 全加器实验

一、实验目的

- 1) 熟悉多思计算机组成原理网络虚拟实验系统的使用方法。
- 2) 掌握全加器的逻辑结构和电路实现方法。

二、实验要求

- 1) 做好实验预习，复习全加器的原理，掌握实验元器件的功能特性。
- 2) 按照实验内容与步骤的要求，独立思考，认真仔细地完成实验。

三、实验内容与步骤

- 1) 运行虚拟实验系统，绘制一位全加器实验电路，电路截图如下所示：

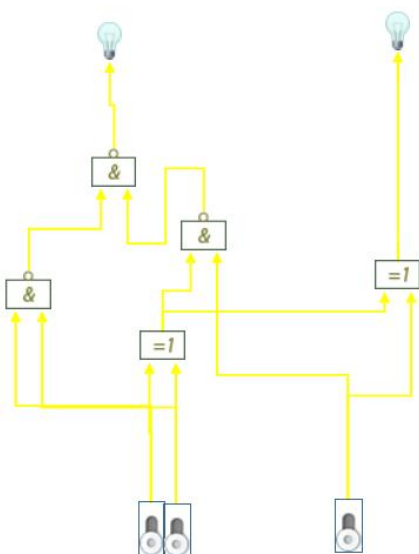


图 1 一位全加器虚拟实验电路

2) 打开电源开关, 按表 1 中的输入信号设置数据开关, 根据显示在指示灯上的运算结果填写表 1 中的输出值。

表 1 一位全加器真值表

输入			输出	
A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

3) 关闭电源开关, 增加元器件, 实现一个 2 位串行进位并行加法器。用此加法器进行运算, 根据运算结果填写好表 2。

图 2 二位串行进位并行全加器虚拟实验电路

表 2 2 位串行进位并行加法器功能验证

输入					输出		
A_2	A_1	B_2	B_1	C_1	S_2	S_1	C_3
0	1	0	1	0	1	0	0
0	1	0	1	1	1	1	0
1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	1
1	0	1	1	0	0	1	1
1	1	1	1	1	1	1	1

四、实验总结

1. A_i 、 B_i 和 C_i 共同控制第 i 位的数值以及进位数 C_{i+1} 的值
2. C_{i+1} 作为下一位的输出, 与 A_{i+1} 、 B_{i+1} 共同控制第 $i+1$ 位的输

出

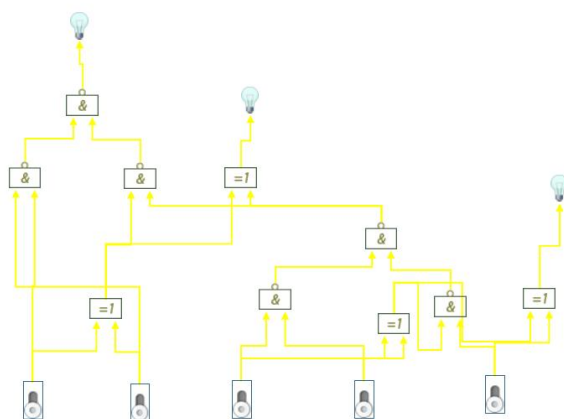
3. 全加器的基本原理实际上就是对两个输出数字和一个进位数字做异或运算

五、思考与分析

本实验中的 A_i 和 B_i 的开、关状态分别表示两个相加的二进制数的第 i 位数字分别为 0 和 1， S_i 表示相加后该位的数字， C_{i+1} 表示第 i 位是否会对下一位产生进位。我们可以想到某一位的数字受三个条件影响，第一个是两个相加的数字的某一位数字，第二个是该位是否会进位，第三个是是否会被上一位进位的数字影响，而根据实验电路图，可以得出 S_i 和 C_{i+1} 为

$$S_i = A_i \oplus B_i \oplus C_i$$
$$C_{i+1} = A_i B_i + B_i C_i + C_i A_i$$

利用这一基本原理，可以设计一个二位的加法器，如图所示



通过分析电路得知， A_1 和 B_1 和 C_1 共同控制第 i 位 S_1 的输出，产生的 C_2 作为一个输出，和 A_2 、 B_2 共同控制第 2 位的 S_2 的输出，以此

类推，就可以利用这一基本原理实现能够运算 n 位的全加器。

全加器相比半加器有所改进，但是全加器也有缺点,比如高位的运算必须等到低位的进位产生才能进行，因此运算速度较慢。为了提高运算速度，可采用超前进位的方式，即每一位的进位根据各位的输入同时预先形成，而与低位的进位无关。比如使用 74LS283 芯片。

猜想：将一个数连续相加本身可以实现乘法运算，将全加器按三个位一组，四个为一组的方式组合在一起可以实现八进制、十六进制的运算