



A733 PCB 设计指南



版本号：1.0

发布时间：2024-10-22

前言

概述

本文档主要介绍 A733 芯片在应用方案设计中的 PCB 设计要点以及细则，旨在指导客户设计，帮助客户缩短产品的量产周期，提高产品设计稳定性的以及降低产品的故障率，同时请使用全志科技发布的核心模块的模板，保证产品的性能。

芯片型号

本文档对应的芯片型号为：A733

适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- PCB layout 工程师



版本历史

版本	日期	制/修订人	审核人	版本描述
1.0	2024-10-22	AWA1651	AWA1798 XAA0317 AWA1932	



目录

版本历史	1
目录	1
图表目录	3
1 PCB 叠层结构设计	5
1.1 四层板叠层设计	5
1.2 六层板叠层设计	6
1.3 八层板叠层设计	7
2 SOC 散出	9
3 通用布线建议	15
3.1 高速布线需求	17
3.1.1 差分过孔建议	17
3.1.2 耦合电容优化建议	18
3.1.3 ESD 元件优化建议	18
3.1.4 连接器优化建议	19
3.2 等长需求表	20
4 主要模块 Layout 设计	22
4.1 晶振	22
4.2 AP-RESET 和 AP-NMI	22
4.3 AUDIO CODEC	23
4.4 EMMC	26
4.5 NAND	27
4.6 SPI	28
4.7 SMART CARD	29
4.8 WIFI BT	29
4.9 SDIO	30
4.10 EPHY	31
4.11 EDP/DP	32
4.12 LCD/LVDS	33
4.12.1 LCD	33
4.12.2 LVDS	33
4.13 MIPI DSI	33
4.14 MIPI CSI	34

4.15 PCIE 3.0	34
4.16 USB.....	35
4.16.1 USB2.0.....	35
4.16.2 USB3.1.....	35
4.17 UFS	36
4.18 地磁传感器.....	37
5 电源.....	38
5.1 AXP318/AXP515 电源设计	38



图表目录

图 1.1 四层 PCB 叠层	5
图 1.2 板厚 0.8mm/1.0mm/1.2mm 六层叠层图	6
图 1.3 板厚 1.6mm 六层叠层	7
图 1.4 板厚 1.0mm 八层叠层	8
图 1.5 板厚 1.6mm 八层叠层	8
图 2.1 表层走线	9
图 2.2 L2/L5 层走线	9
图 2.3 L3 层走线	10
图 2.4 L4 层走线	10
图 2.5 L3 层走线	11
图 2.6 表层走线	12
图 2.7 L2 层走线	12
图 2.8 L3 层走线	13
图 2.9 底层走线	14
图 3.0 不完整的参考层平面	15
图 3.1 回流过孔添加	15
图 3.2 $S \geq 3W$	15
图 3.3 差分线绕等长需求	16
图 3.4 差分线绕等长需求二	16
图 3.5 差分线绕线间距	16
图 3.6 换层 Via 保持对称	17
图 3.7 走线焊盘处理	17
图 3.8 反焊盘尺寸	18
图 3.9 耦合电容掏空区域	18
图 3.10 ESD 元件掏空区域	19
图 3.11 连接器焊盘掏空区域	19
表 3.1 高速线等长需求表	20
表 3.2 低速线等长需求表	21
图 4.1 TOP 层走线	22
图 4.2 L2 层走线	22
图 4.3 AP-RESET 摆件走线	23
图 4.4 AP-NMI 摆件走线	23

图 4.5 AGND 走线.....	24
图 4.6 HP 信号整组包地.....	24
图 4.7 HPOUTFB 需从耳机接口端引线.....	24
图 4.8 模拟 MIC 的 switch IC 走线.....	25
图 4.9 LINE 包地.....	25
图 4.10 LINE 包地.....	26
图 4.11 EMMC 串阻与主控 CLK.....	26
图 4.12 DS 信号下拉电阻桩线长度.....	26
图 4.13 EMMC 走线参考平面.....	27
图 4.14 EMMC 走线参考.....	27
图 4.15 串阻靠近主控摆放.....	28
图 4.17 SMART CARD 重要元件摆件.....	29
图 4.18 WIFI/BT 天线馈线走线.....	30
图 4.19 WIFI/BT 板载天线.....	30
图 4.20 CLK 33K 电阻摆件.....	31
图 4.21 SDIO 走线.....	31
图 4.22 变压器靠近 RJ45 座子摆放.....	31
图 4.23 以太网 LED 灯.....	32
图 4.24 RJ45 及变压器下面所有层不铺铜.....	32
图 4.25 ESD 器件和隔直电容摆件.....	33
图 4.26 Data 建议走线.....	33
图 4.27 MIPI DSI 走线.....	34
图 4.28 MIPI CSI 走线.....	34
图 4.29 ESD 器件摆放.....	35
图 4.30 USB3.1 摆件走线.....	36
图 4.31 UFS 走线.....	36
图 4.32 地磁传感器走线.....	37
图 5.1 AXP 318 摆件.....	38
图 5.2 AXP 515 摆件.....	38
图 5.3 VREF 电容摆件.....	39
图 5.4 USB 电阻摆件.....	39
图 5.5 Vxx-xxFB 走线示意.....	40

1 PCB 叠层结构设计

PCB 叠层结构设计需要考虑信号与参考平面距离对抗的影响，结合最小线宽线距设计要求，实现内层和外层、单端和差分线的所有阻抗设计要求。

层的定义设计原则：

- 主芯片相邻层为地平面，提供器件面布线参考平面；
- 所有信号层尽可能与地平面相邻；
- 尽量避免两信号层直接相邻；
- 原则上叠层应采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称。

以下给出常见的叠层排布推荐方案，供参考。

1.1 四层板叠层设计

板厚 0.8mm-1.6mm 叠层结构和阻抗控制建议如下：

- L1 参考平面为 L2，主走线层。
- L2 地平面，全铺铜。
- L3 参考平面为 L2 和 L4，DDR 区域布线，其它区域建议电源布线。
- L4 参考平面，DDR 区域为电源或者地平面，需铺大铜箔，其它区域布线。

图 1.1 四层 PCB 叠层

Stackup Control Table										
---	Stackup Structure				Impedance Requirements				Layer definition	
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	other signals
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating		37.5±10%	2	8.1	NA	Signal	Signal
					50±10%	2	4.5	NA		
					75±10%	2	小于3mil	NA		
					75±10%	3-跨层	20mil	NA		
					85±10%	2	5/5	NA		
					90±10%	2	4.4/5	NA		
					100±10%	2	4/8	NA		
	prepreg	2.5~3.2		3.5-4.5						
2	L2GND	1.2	1.0oz				NA	GND	GND	
	core	20~50		3.8-4.5						
3	L3	1.2	1.0oz		37.5±10%	4/2	6.7	NA	Signal	Power
					50±10%	4/2	4	NA		
					85±10%	4/2	4.1/5	NA		
					90±10%	4/2	3.8/6	NA		
	prepreg	2.5~3.2		3.5-4.5						
4	BOTTOM	1.6	0.3oz+plating		37.5±10%	3	8.1	NA	Power/GND	Signal
					50±10%	3	4.5	NA		
					75±10%	3	小于3mil	NA		
					75±10%	2-跨层	20mil	NA		
					85±10%	3	5/5	NA		
					90±10%	3	4.4/5	NA		
					100±10%	3	4/8	NA		
	solder mask	0.5	SM	3.4-3.8						
	Board thickness:	31~63								

备注：

- 板厂调整线宽不得超过原始设计的 15%，建议在 10%以内。举例：原设计 4mil 的线宽，实际生产线宽不能超过 4.6mil。
- I 列阻抗计算结果基于 2.9mil 的 PP 厚度，供参考。

1.2 六层板叠层设计

板厚 0.8mm/1.0mm/1.2mm 叠层结构和阻抗控制建议如下

- L1 参考平面为 L2，布线层。
- L2/L5 地平面，全铺铜。
- L3 参考平面为 L2 和 L4，建议电源布线，如需信号布线，避免与 L4 重叠。
- L4 参考平面 L3 和 L5，主布线层。
- L6 地平面或者电源平面。

图 1.2 板厚 0.8mm/1.0mm/1.2mm 六层叠层图

Stackup Control Table								
---	Stackup Structure				Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	3.4-3.8				
1	TOP	1.2	0.3oz+plating		50±10%	3	12/8(包地间距)	50.67
					50±10%	4	20/5(包地间距)	50.67
					50±10%	2	4.5	50.52
					85±10%	2	5/5	85.37
					90±10%	2	4.4/5	89.61
					100±10%	2	4/8	99.87
	prepreg	2.5~3.2		3.5-4.5				
2	GND1	0.6~1.2	0.5/1.0oz					
	core	4.0		3.5-4.5				
3	SIG	0.6~1.2	0.5/1.0oz		50±10%	2&4	4.5	50.7
					85±10%	2&4	5/6.5	86.5
					90±10%	2&4	4.4/6.1	89.4
					100±10%	2&4	4/7	99.2
	prepreg	17/40		3.5-4.5				
4	SIG	0.6~1.2	0.5/1.0oz		50±10%	3&5	4.5	50.7
					85±10%	3&5	5/6.5	86.5
					90±10%	3&5	4.4/6.1	89.4
					100±10%	3&5	4/7	99.2
	core	4.0		3.5-4.5				
5	GND2	0.6~1.2	0.5/1.0oz					
	prepreg	2.5~3.2		3.5-4.5				
6	BOTTOM	1.2	0.3oz+plating		50±10%	2	4.5	50.52
					85±10%	2	5/5	85.37
					90±10%	2	4.4/5	89.61
					100±10%	2	4/8	99.87
	solder mask	0.5	SM	3.4-3.8				
	Board thickness:	39.8/62.8						

备注：

- 板厂调整线宽不得超过原始设计的 15%，建议在 10%以内。举例：原设计 4mil 的线宽，实际生产线宽不能超过 4.6mil。
- I 列阻抗计算结果基于 2.9mil 的 PP 厚度，供参考。
- 当 L3 和 L4 在同一区域(俯视图)均有布线时，避免互相重叠。

板厚 1.6mm 叠层结构和阻抗控制建议如下：

- L1 参考平面为 L2，主线层。
- L2/L5 地平面，全铺铜。
- L3 参考平面为 L2 和 L4，建议大小电源布线或者较低速的信号，并不要与 L4 布线重叠。
- L4 参考平面 L3 和 L5，主布线层。
- L6 地平面或者电源平面。

图 1.3 板厚 1.6mm 六层叠层

Stackup Control Table										
---	Stackup Structure				Impedance Requirements				Layer definition	
Layer	Type	Thickness (mil)		Dk(wth Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	other signals
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating		37.5±10%	2	8.1	NA	Signal	Signal
					50±10%	2	4.5	NA		
					85±10%	2	5/5	NA		
					90±10%	2	4.4/5	NA		
					100±10%	2	4/8	NA		
	prepreg	2.5~3.2		3.5-4.5						
2	L2GND	1.2	1.0oz						GND	GND
	core	20~22		3.8-4.5						
3	L3	1.2	1.0oz		37.5±10%	2&4	7.5	NA	power	Signal / power
					50±10%	2&4	4.5	NA		
					85±10%	2&4	5/6.5	NA		
					90±10%	2&5	4.4/6.1	NA		
					100±10%	2&5	4/7	NA		
	prepreg	3.5~4.5		3.5-4.5						
4	L4	1.2	1.0oz		37.5±10%	3&5	7.5	NA	Signal	power / Signal
					50±10%	3&5	4.5	NA		
					85±10%	3&5	5/6.5	NA		
					90±10%	3&5	4.4/6.1	NA		
					100±10%	3&5	4/7	NA		
	core	20~22		3.8-4.5						
5	L5GND	1.2	1.0oz		50±10%	4&6	4	NA	GND	GND
					85±10%	4&6	4.3/6.2	NA		
	prepreg	2.5~3.2		3.5-4.5						
6	BOTTOM	1.6	0.3oz+plating		37.5±10%	5	8.1	NA	GND	Signal
					50±10%	5	4.5	NA		
					85±10%	5	5/5	NA		
					90±10%	5	4.4/5	NA		
					100±10%	5	4/8	NA		
	solder mask	0.5	SM	3.4-3.8						
	Board thickness:	~62								

备注：

- 板厂调整线宽不得超过原始设计的 15%，建议在 10%以内。举例：原设计 4mil 的线宽，实际生产线宽不能超过 4.6mil。
- I 列阻抗计算结果基于 2.9mil 的 PP 厚度，供参考。
- L3 和 L4 互为参考层。因此，同一区域，L3 和 L4 只能有一层布线，另一层需要铺地或 power。

1.3 八层板叠层设计

板厚 1.0/1.6mm 叠层结构和阻抗控制建议如下

- L1 参考平面为 L2，布线层。
- L2/L4/L7 地平面，全铺铜。
- L3 参考平面 L2 和 L5，主布线层。
- L5/L6 参考平面为 L4 和 L7，建议电源布线和普通信号层。
- L8 地平面或者电源平面。

图 1.4 板厚 1.0mm 八层叠层

Stackup Control Table								
---	Stackup Structure				Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	3.4-3.8				
1	SIG	1.2	0.3oz+plating		50±10%	2	4.5	NA
					50±10%(w/ff)(0201)	4-跨层	12/4(包地间距)	NA
					50±10%(w/ff)(0402)	4-跨层	20/8(包地间距)	NA
					85±10%	2	5/5	NA
					90±10%	2	4.4/5	NA
					95±10%	2	4.2/6	NA
					100±10%	2	4/8	NA
	prepreg	2.9		3.5-4.5				
2	GND1	0.6	0.5oz					
	core	4.0		3.8-4.5				
3	SIG	0.6	0.5oz		50±10%	2&4	4.5	NA
					85±10%	2&4	5/5	NA
					90±10%	2&4	4.4/5	NA
					95±10%	2&4	4.2/6	NA
					100±10%	2&4	4/8	NA
	prepreg	7.0		3.5-4.5				
4	GND	0.6	0.5oz					
	core	4		3.8-4.5				
5	SIG	0.6	0.5oz		50±10%	4&6	4.5	NA
					85±10%	4&6	5/5	NA
					90±10%	4&6	4.4/5	NA
					95±10%	4&6	4.2/6	NA
					100±10%	4&6	4/8	NA
	prepreg	7.0		3.5-4.5				
6	SIG	0.6	0.5oz		50±10%	5&7	4.5	NA
					85±10%	5&7	5/5	NA
					90±10%	5&7	4.4/5	NA
					95±10%	5&7	4.2/6	NA
					100±10%	5&7	4/8	NA
	core	4.0		3.8-4.5				
7	GND2	0.6	0.5oz					
	prepreg	2.9		3.5-4.5				
8	BOTTOM	1.2	0.3oz+plating		50±10%	7	4.5	NA
					85±10%	7	5/5	NA
					90±10%	7	4.4/5	NA
					95±10%	7	4.2/6	NA
					100±10%	7	4/8	NA
	solder mask	0.5	SM	3.4-3.8				
	Board thickness:	38.8						

图 1.5 板厚 1.6mm 八层叠层

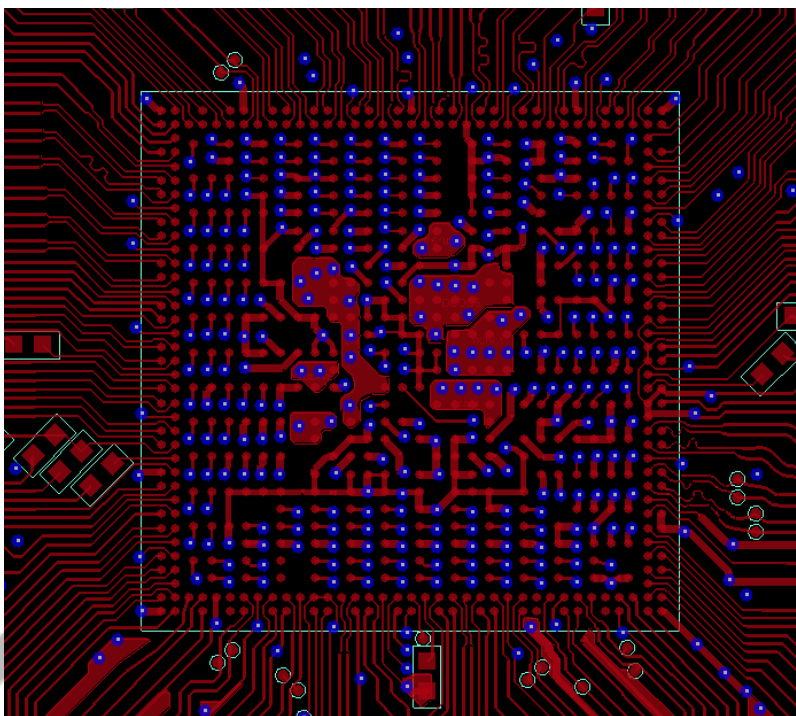
Stackup Control Table								
---	Stackup Structure				Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	3.4-3.8				
1	TOP	1.4	0.3oz+plating		50±10%	2	4.5	NA
					50±10%(w/ff)(0201)	3-跨层	12/8(包地间距)	NA
					50±10%(w/ff)(0402)	4-跨层	20/5(包地间距)	NA
					85±10%	2	5/5	NA
					90±10%	2	4.4/5	NA
					95±10%	2	4.2/6	NA
					100±10%	2	4/8	NA
	prepreg	2.9		3.5-4.5				
2	GND1	1.2	1.0oz					
	core	4.0		3.8-4.5				
3	SIG1	1.2	1.0oz		50±10%	2&4	4.5	NA
					85±10%	2&4	5/6.5	NA
					90±10%	2&4	4.4/6.1	NA
					95±10%	2&4	4.2/7	NA
					100±10%	2&4	4/7	NA
	prepreg	17		3.5-4.5				
4	GND2	1.2	1.0oz					
	core	4.0		3.8-4.5				
5	SIG2	1.2	1.0oz		50±10%	4&6	4.5	NA
					85±10%	4&6	5/6.5	NA
					90±10%	4&6	4.4/6.1	NA
					100±10%	4&6	4/7	NA
	prepreg	17		3.5-4.5				
6	SIG3	1.2	1.0oz		50±10%	5&7	4.5	NA
					85±10%	5&7	5/6.5	NA
					90±10%	5&7	4.4/6.1	NA
					95±10%	5&7	4.2/7	NA
					100±10%	5&7	4/7	NA
	core	4		3.8-4.5				
7	GND3	1.2	1.0oz					
	prepreg	2.9		3.5-4.5				
8	BOTTOM	1.4	0.3oz+plating		50±10%	7	4.5	NA
					85±10%	7	5/5	NA
					90±10%	7	4.4/5	NA
					95±10%	7	4.2/6	NA
					100±10%	7	4/8	NA
	solder mask	0.5	SM	3.4-3.8				
	Board thickness:	62.8						

2 SOC 散出

以常用 6 层 PCB 为例：

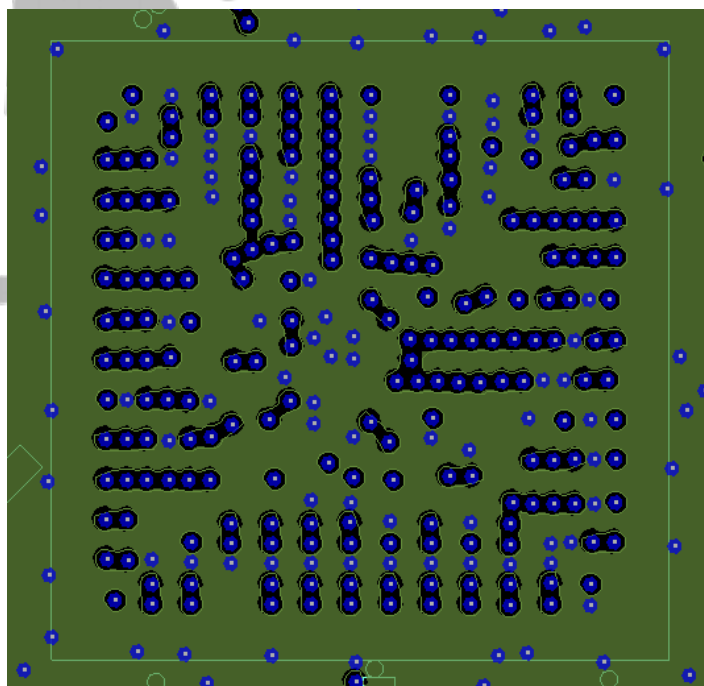
- 第一圈、第二圈部分 Ball，可以从顶层直接扇出走线（线宽 3Mil，线距 3Mil）。

图 2.1 表层走线



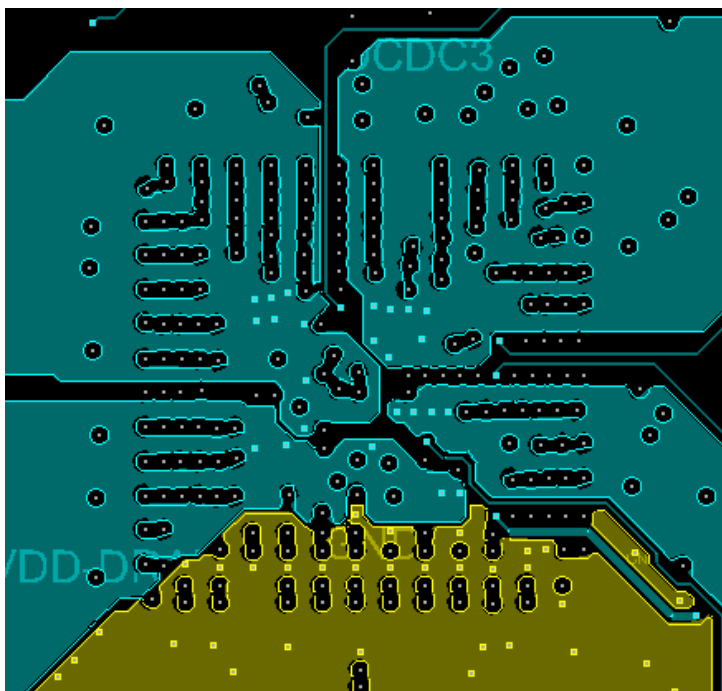
- L2, L5 GND 层，Via 排列整齐，留出尽量多的走线通道，Via 缝隙能填就填，保证 GND 平面完整。

图 2.2 L2/L5 层走线



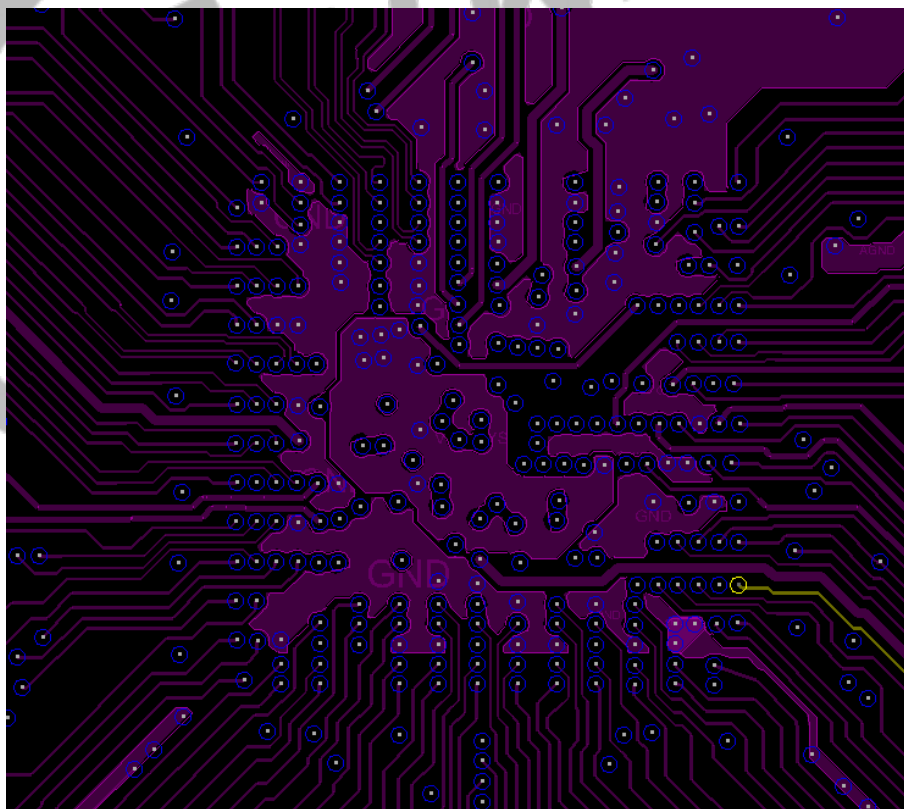
- 第 3 到 8 圈的小电源 Ball 和部分信号 ball，用 8/16Mil 过孔扇出，从 L3 层出线；电源信号线宽 $\geq 7\text{mil}$ ，信号线宽 3mil，线距 3mil，Via 排列整齐，留出尽量多的走线通道。

图 2.3 L3 层走线



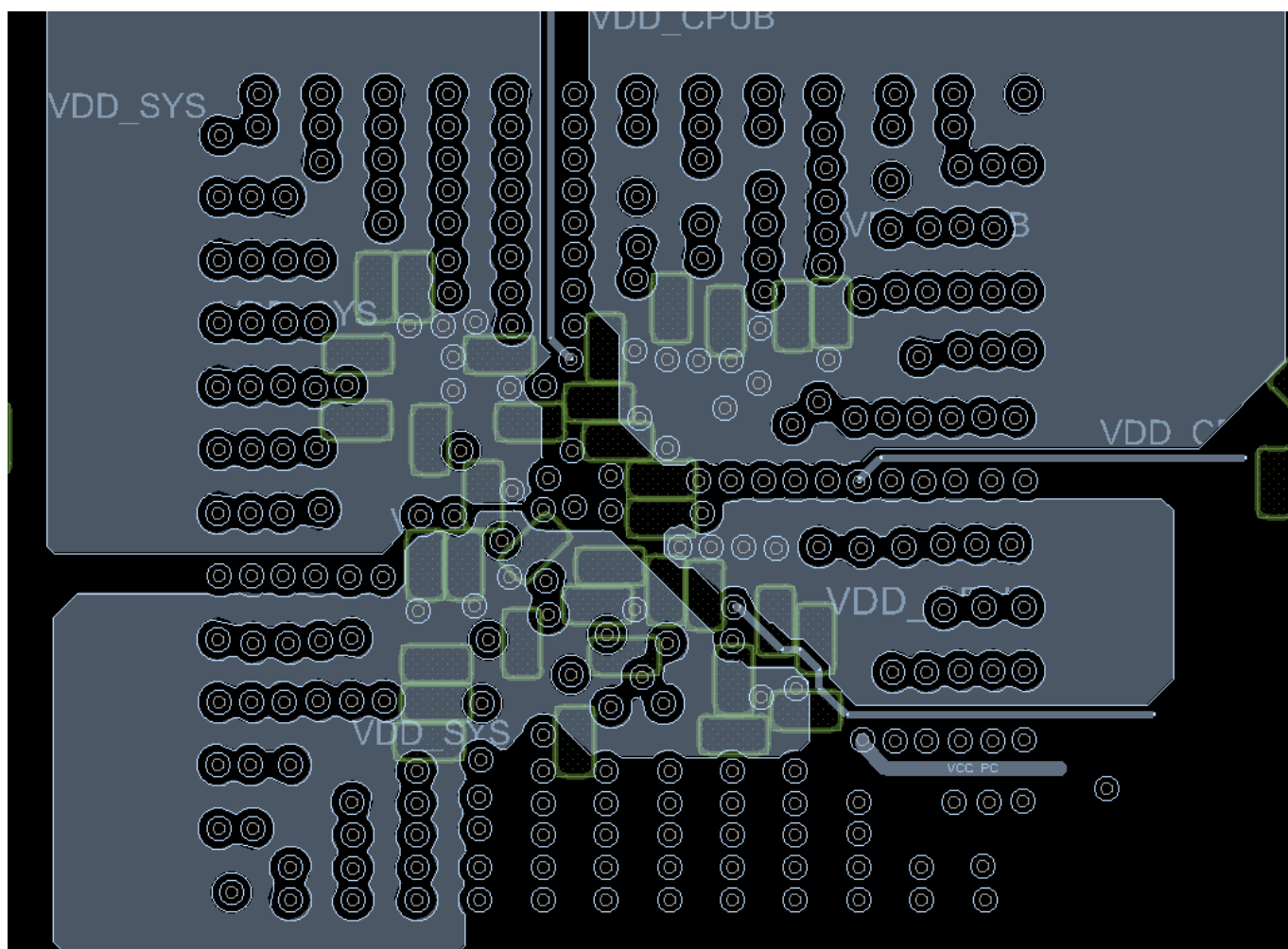
- 第 3 到 8 圈的信号 Ball 少部分小电源 ball，用 8/16Mil 过孔扇出，从 L4 层出线；电源信号线宽 $\geq 7\text{mil}$ ，信号线宽 3mil，线距 3mil。同组的信号走在一起，不要夹杂不同组信号，留出尽量多的走线通道。

图 2.4 L4 层走线



- 中心的电源 ball，用 8/16Mil 过孔扇出，从底层出线，Via 优先走 Via 通道，留出尽量多的电源通道。
- 电源 VDD-CPUB 至少 8 个 Via。
- VDD-CPUL 7 个 Via。
- VDD-SYS 9 个 Via。
- VDD-GPU 4 个 Via。
- VDD-VE 2 个 Via。
- VDD-DRAML 3 个 Via
- VCC-DRAM 2 个 Via。
- VDD-DRAM 5 个 Via。
- 按如图所示通道铺铜箔。

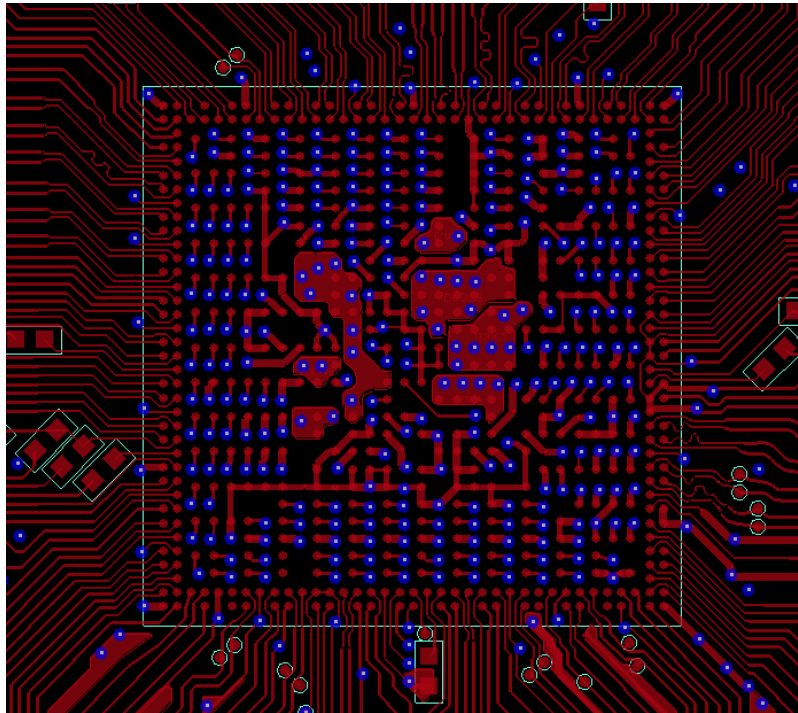
图 2.5 L3 层走线



4 层 PCB

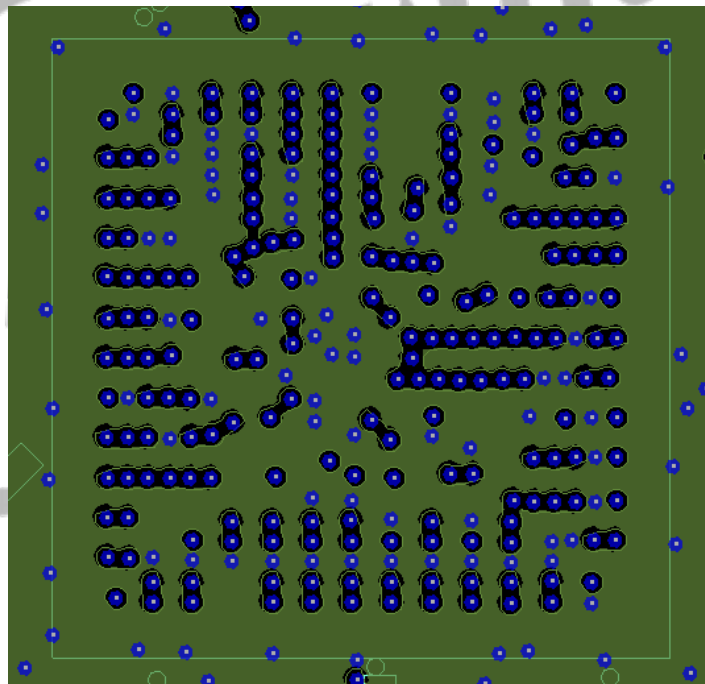
- 第一圈、第二圈部分 Ball，可以从顶层直接扇出走线（线宽 3Mil，线距 3Mil）。

图 2.6 表层走线



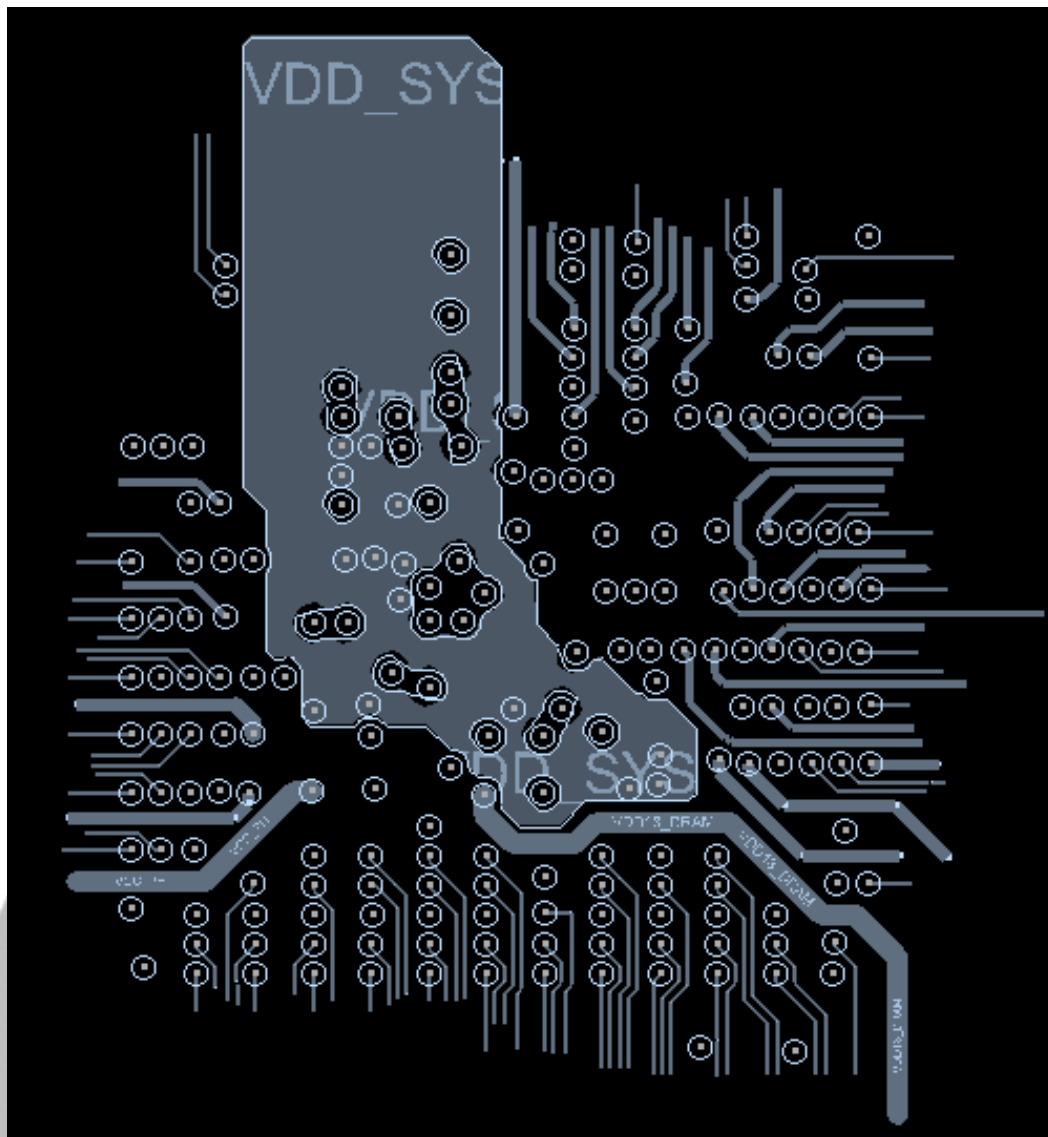
- L2 GND 层，Via 排列整齐，留出尽量多的走线通道，Via 缝隙能填就填，保证 GND 平面完整。

图 2.7 L2 层走线



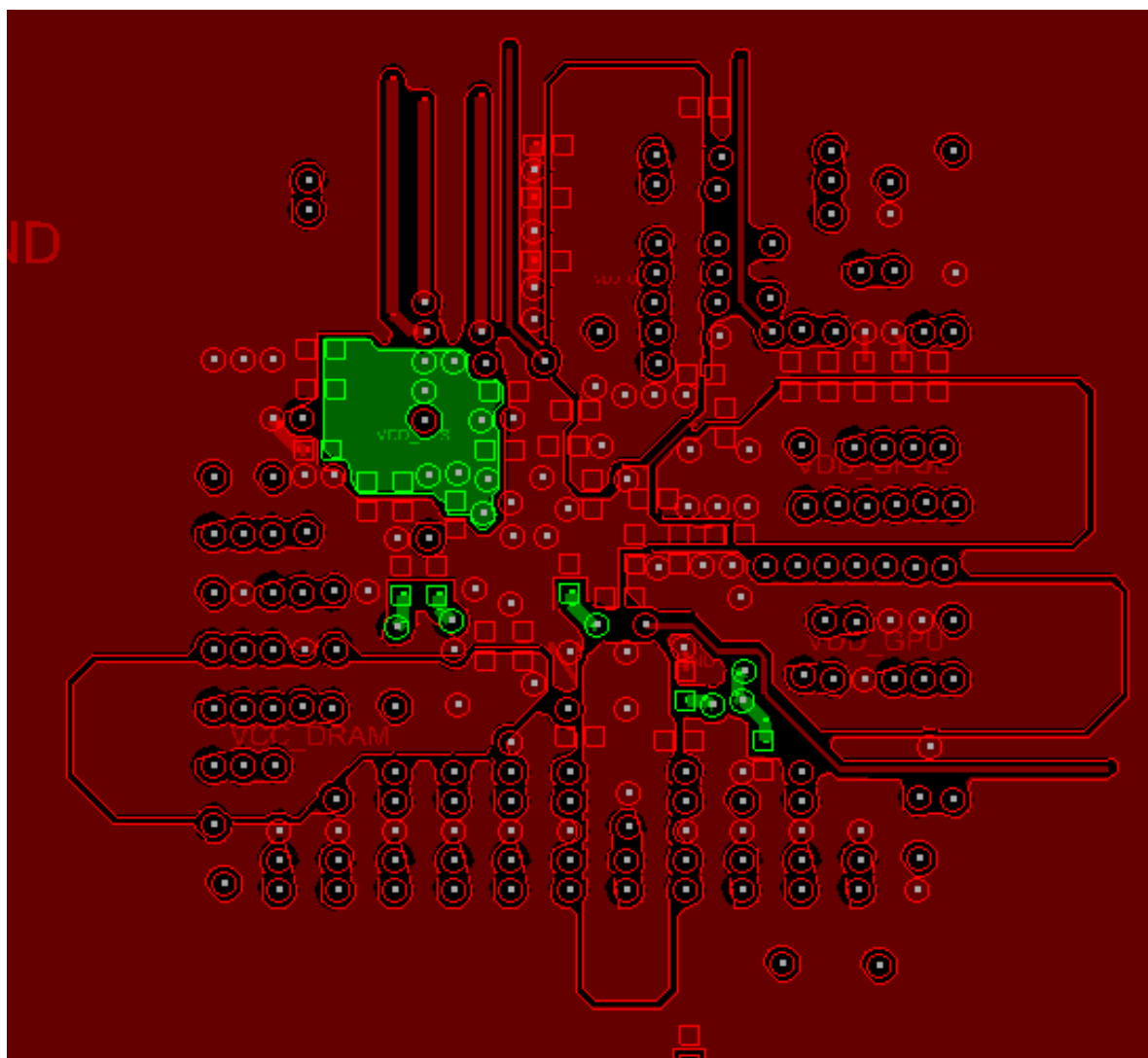
- 第 3 到 8 圈的信号 Ball 少部分小电源 ball，用 8/16Mil 过孔扇出，从 L3 层出线；电源信号线宽 $\geq 7\text{mil}$ ，信号线宽 3mil，线距 3mil。同组的信号走在一起，不要夹杂不同组信号，留出尽量多的走线通道。

图 2.8 L3 层走线



- 中心的电源 ball，用 8/16Mil 过孔扇出，从底层出线，Via 优先走 Via 通道，留出尽量多的电源通道。
- 电源 VDD-CPUB 至少 5 个 Via。
- VDD-CPUL 5 个 Via。
- VDD-SYS 9 个 Via。
- VDD-GPU 4 个 Via。
- VDD-DRAML 2 个 Via
- VDD-DRAM 5 个 Via。
- VCC-DRAM 2 个 Via。
- 按如图所示通道铺铜箔。

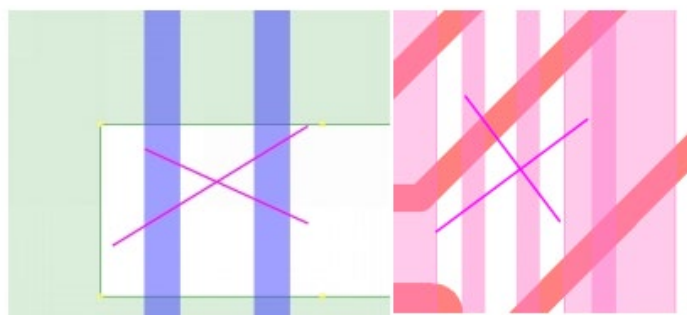
图 2.9 底层走线



3 通用布线建议

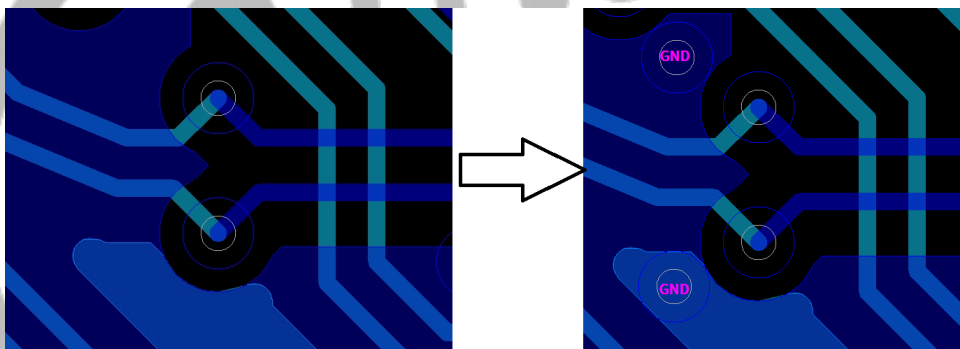
- 推荐 40mil 铜箔按 1A 电流，8/16Mil Via 按 0.5A 电流计算。所有的电源 Via 空间允许的情况下需要多留 2-3 个裕量并铺大铜箔。
- 走线尽量减少拐角，拐角建议用 135 度代替 90 度。
- 所有的包地线距离信号至少 8Mil，否则阻抗会受到影响。
- 走线应有完整且连续的参考层平面。

图 3.0 不完整的参考层平面



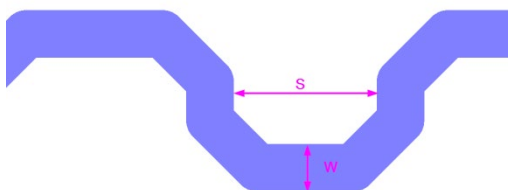
- 所有掏空元件隔层参考平面必须保证为地平面。
- 走线换层，且换层前后参考层为地平面时，需要在信号过孔旁边放一个伴随地过孔。对于差分信号，信号过孔、回流过孔均应对称放置；对于单端 CLK 信号，建议在信号过孔旁边放置一个回流过孔。

图 3.1 回流过孔添加



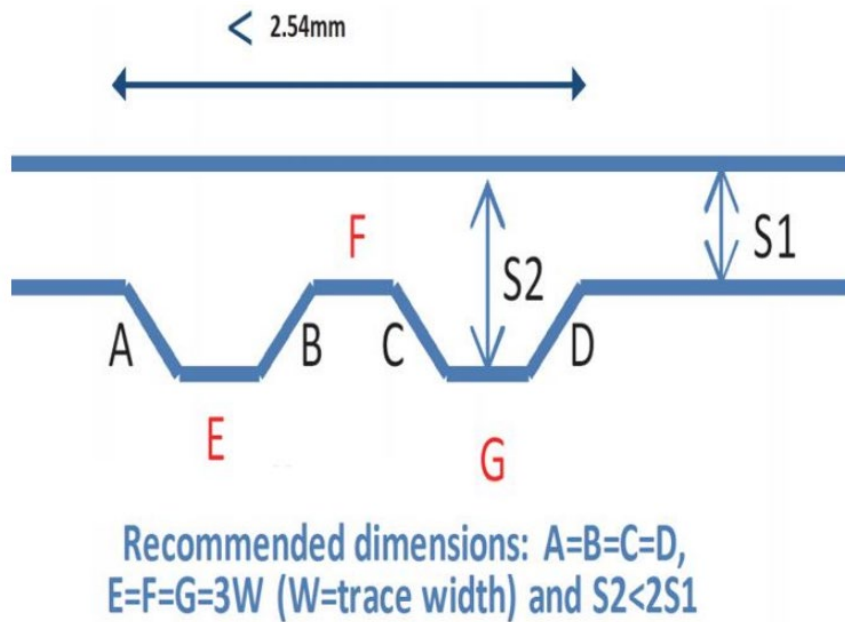
- 绕线自身的串扰会影响信号延时，走线绕等长时建议 $S \geq 3W$ 。

图 3.2 $S \geq 3W$



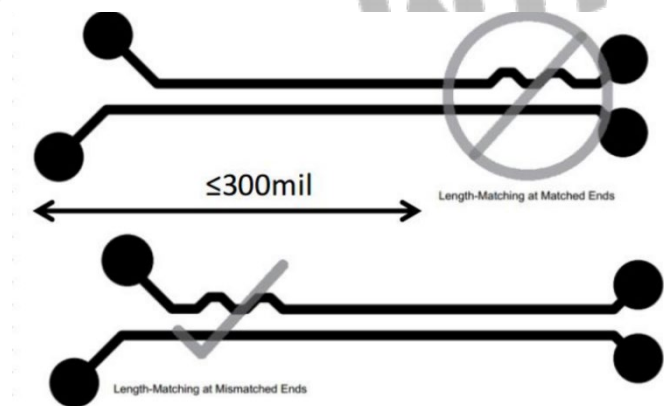
- 差分信号要求对内等长，即 P、N 之间的时延差要尽可能小。因此，当差分线 P、N 之间出现时延差时，就近绕线补偿。绕线尺寸需要特别注意，应满足如下图所示要求，以降低阻抗突变带来的影响。

图 3.3 差分线绕等长需求



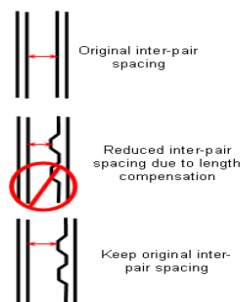
- 在差分线对内出现不等长（300Mil 以内）尽早作绕线补偿。

图 3.4 差分线绕等长需求二



- 差分线对内绕线要保证间距不变。

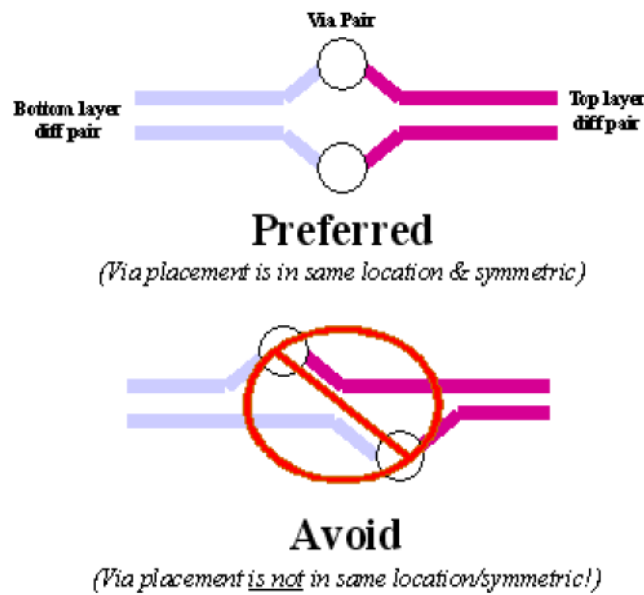
图 3.5 差分线绕线间距



- 差分线换层 Via 保持对称。

图 3.6 换层 Via 保持对称

It is recommended to place vias symmetric between D+ and D-.



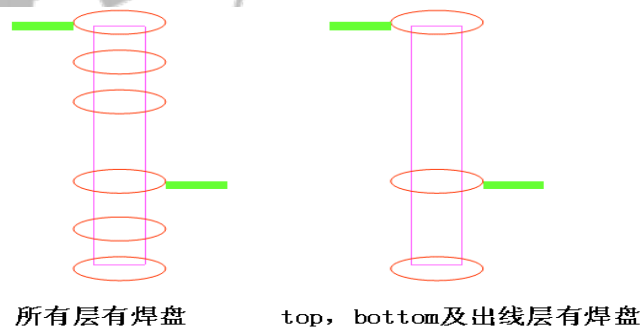
3.1 高速布线需求

速率超过 3Gbps/lane 的信号，USB3.1、PCIE3.0、HDMI2.0、DP、UFS3.1 请按以下建议执行：

3.1.1 差分过孔建议

对于差分走线过孔，建议过孔出线层一边为 top 层，另一边为靠近底层的内层走线层或者 bottom 层；且只有过孔 top, bottom 及出线层有焊盘，如下图右侧所示。

图 3.7 走线焊盘处理



接口差分对的过孔尺寸建议根据实际叠层进行仿真优化，并套除所有层。

以下给出基于参考叠层的过孔参考尺寸：

R_Drill=4 Mil(钻孔半径)

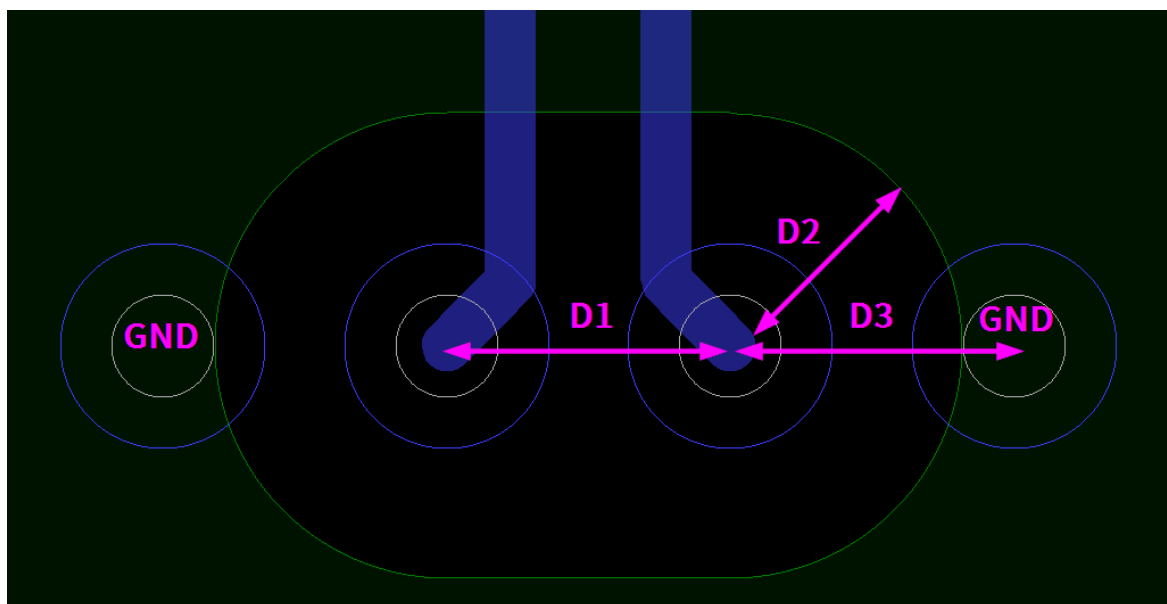
R_Pad=8 Mil (过孔焊盘半径)

D1：差分过孔中心间距 ≥ 20 Mil

D2：表层到底层的反焊盘尺寸 ≥ 12 Mil

D3：信号过孔与回流地过孔的中心间距 ≥ 20 Mil

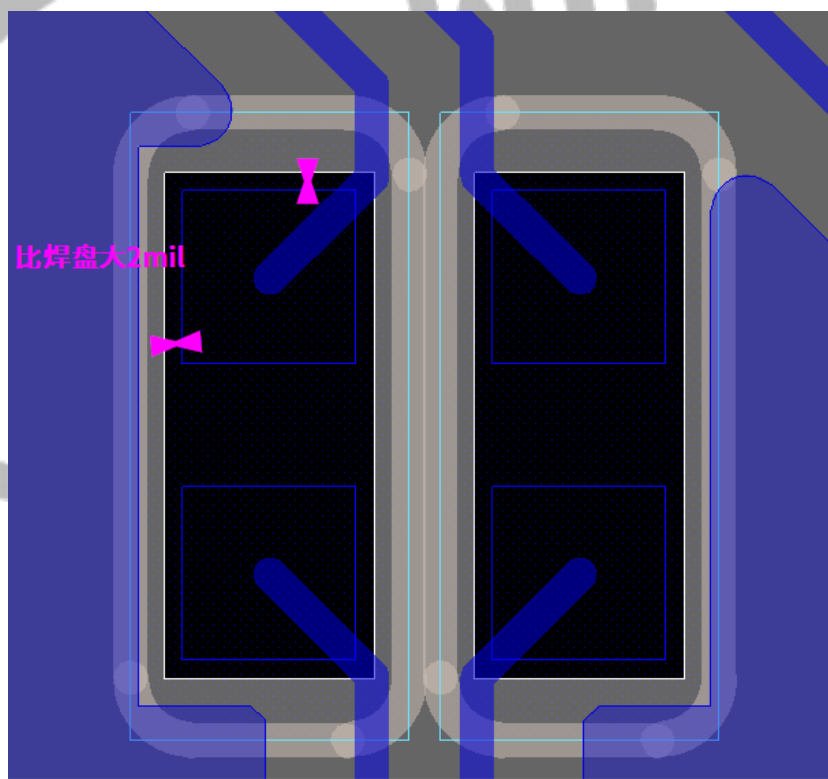
图 3.8 反焊盘尺寸



3.1.2 耦合电容优化建议

耦合电容焊盘下面对应的第二层地铜皮进行掏空，掏空区域长与宽比焊盘都大 2Mil。

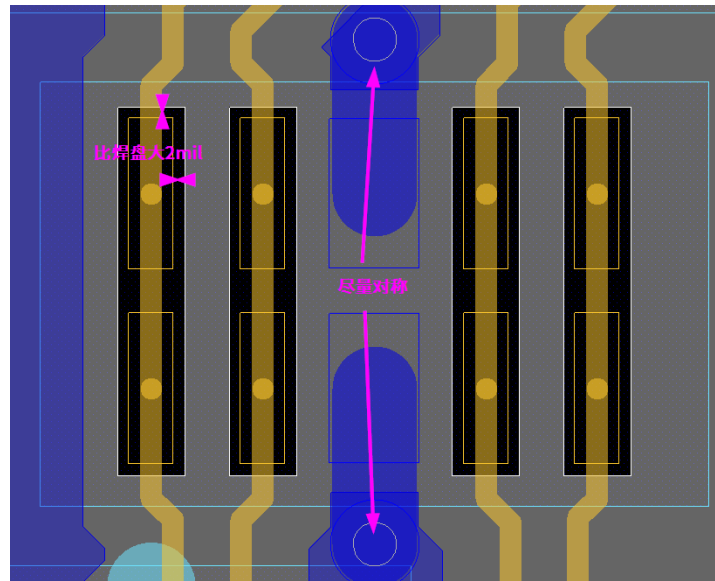
图 3.9 耦合电容掏空区域



3.1.3 ESD 元件优化建议

ESD 元件焊盘下面对应的第二层地铜皮进行掏空，掏空区域长与宽比焊盘都大 2Mil，中间大焊盘 GND Via 尽量对称。

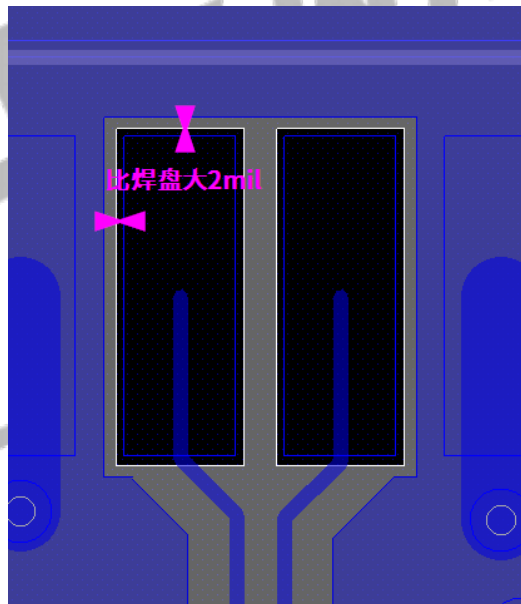
图 3.10 ESD 元件掏空区域



3.1.4 连接器优化建议

连接器焊盘下面对应的第二层地铜皮进行掏空，掏空区域长与宽比焊盘都大，最优控制挖空比焊盘大 2mil。

图 3.11 连接器焊盘掏空区域



3.2 等长需求表

表 3.1 高速线等长需求表

名称	特性阻抗 ohm ($\pm 10\%$)	等长需求	间距	VIA
USB2.0	90	对内<50mil, 总长 $\leq 6000\text{mil}$	其它 $\geq 10\text{mil}$	≤ 2
USB3.1	90	USB3.1 TX, RX 对内 $\leq 5\text{mil}$, 总长 $\leq 5000\text{mil}$	组内和其它 $\geq 12\text{mil}$	≤ 2
PCIE3.0	100	对内 $\leq 5\text{mil}$, 总长 $\leq 5000\text{mil}$	组内和其它 $\geq 12\text{mil}$,	≤ 2
MIPI-DSI	100	对内<5mil, 对间<160mil(1080P)	$\geq 12\text{mil}$	≤ 2
MIPI-CSI	100	对内<5mil, 对间 300mil	$\geq 12\text{mil}$	CLK ≤ 2
HDMI2.0	100	对内<5mil, 对间 $\leq 100\text{mil}$, 总长 $\leq 2000\text{mil}$	$\geq 20\text{mil}$	≤ 2
UFS3.1	100	对内 5mil, 对间 $\leq 20\text{mil}$	$\geq 12\text{mil}$	≤ 2
EDP/DP	100	对内 5mil, 总长 $\leq 3000\text{mil}$	$\geq 12\text{mil}$	≤ 2
LCD/LVDS	100	对内<5mil, 对间<180mil (1080P)	$\geq 10\text{mil}$	≤ 2
		对内<5mil, 对间<450mil(720P)		
内置 EPHY	100	对内<20mil, 对间<200mil	$\geq 10\text{mil}$	≤ 2

表 3.2 低速线等长需求表

名称	特性阻抗 ohm (±10%)	等长和长度需求	间距	VIA
NAND	50	D0~D7、RE、WE 相对 DQS 等长控制 ≤300mil, 总长≤2000mil;	≥8mil	D0~D7 过孔的数量尽量相同
EMMC	50	D0~D7、DS 相对 CLK 等长控制≤ 300mil, 总长≤1000mil;	≥8mil	D0~D7 过孔的数量尽量相同
SDIO	50	D0~D3 相对 CLK 等长控制≤300mil	≥8mil	D0~D3 过孔的数量尽量相同
SD CARD	50	D0~D3 相对 CLK 等长控制≤500mil	≥8mil	D0~D3 过孔的数量尽量相同

4 主要模块 Layout 设计

4.1 晶振

- 晶振在布局时，不要放在 PCB 边缘，尽量靠近芯片摆放，避免晶体走线过长，不要超过 600Mil。
- 晶振必须和 SOC 放置同一面，避免换层过孔引起频率偏移。
- 晶振的匹配电容必须靠近晶振摆放。
- 晶振的摆放需要远离热源，因为高温也会影响晶振频偏。
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，晶振的走线需要用 GND 保护好，并且远离敏感信号。

图 4.1 TOP 层走线

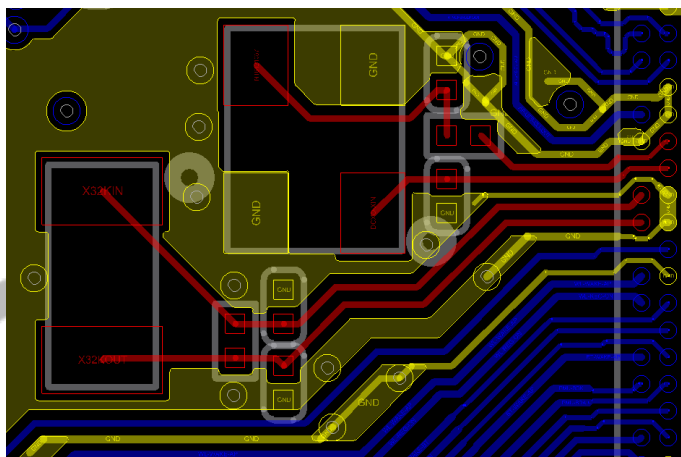
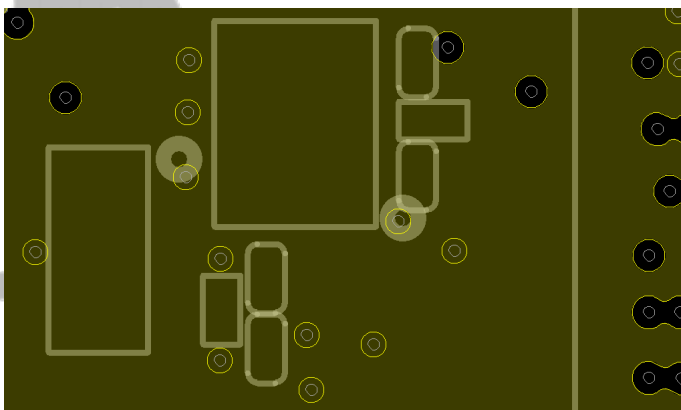


图 4.2 L2 层走线



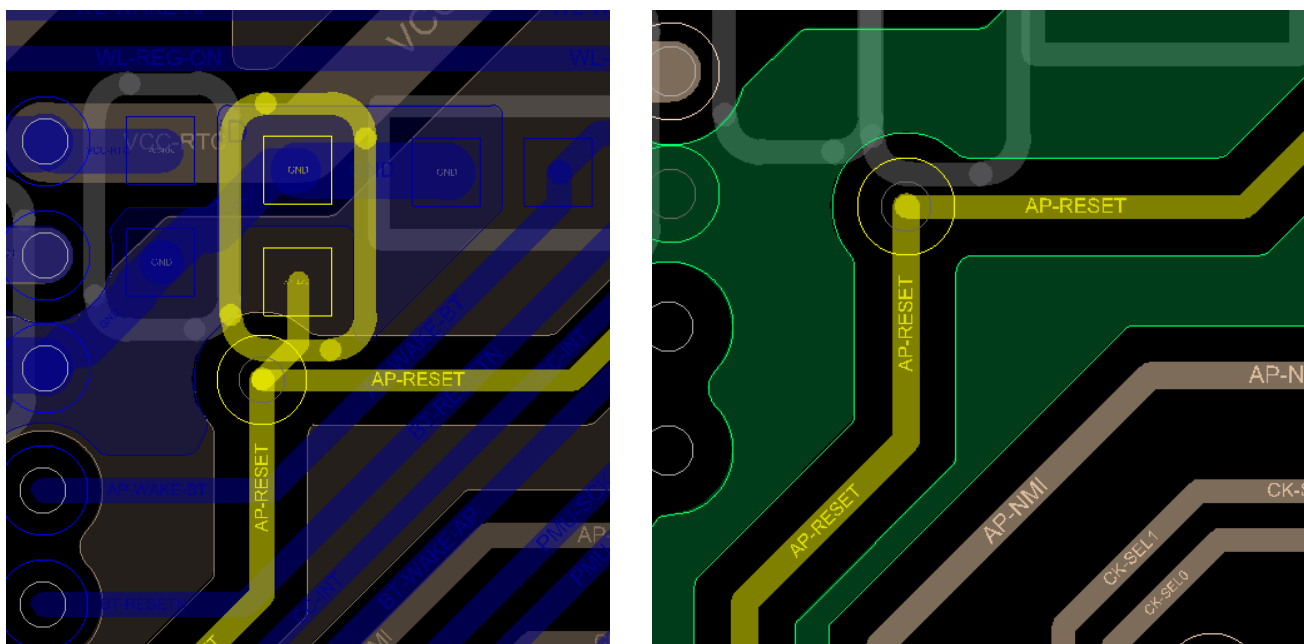
- X32KFOUT 时钟给 WIFI 模组使用，走线同层必须包地屏蔽。远离大电流和高速率走线。

4.2 AP-RESET 和 AP-NMI

AP-RESET 和系 AP-NMI PIN 建议 Layout 采用以下原则：

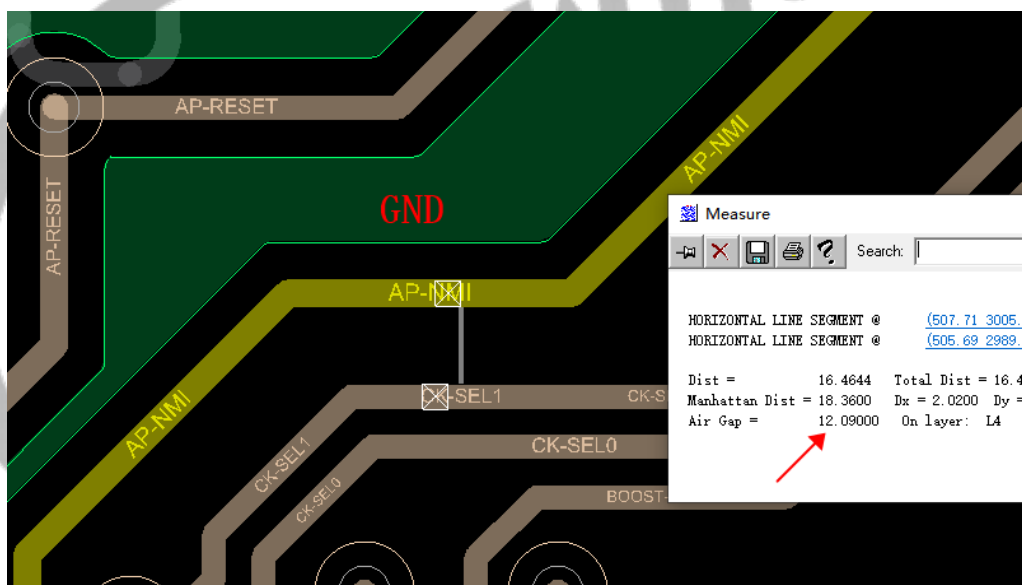
- SOC 复位信号上拉电阻靠近 SOC，复位信号两边包地或是距离其他走线 12mil，对地电容靠近 SOC 放置，提高 ESD 性能。

图 4.3 AP-RESET 摆件走线



- AP-NMI 两边包地或是距离其他走线 12mil，对地电容靠近 SOC 放置，提高 ESD 性能。

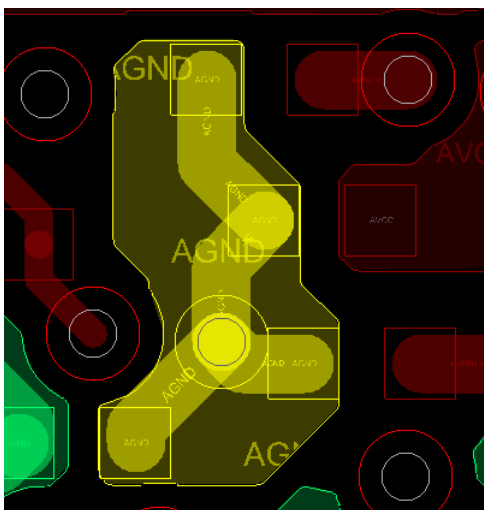
图 4.4 AP-NMI 摆件走线



4.3 AUDIO CODEC

- AVCC、AGND 接地电容、电阻依次靠近主控摆放。
- ESD 器件必须靠近 MIC 摆放，从 MIC 引出来的走线必须先经过 ESD 器件，再连接其他器件。
- AVCC 走线 ≥ 10 Mil；远离高速干扰信号。
- AGND 需有一片覆铜。覆铜宽度 ≥ 20 mil。

图 4.5 AGND 走线



- HPOUTL、HPOUTFB、HPOUTR 并行走线并包地，HPOUTL、HPOUTR 在两旁，HPOUTFB 在中间，整组包地。线宽 10 Mil。走线及过孔远离高速信号及时钟信号。
- HPOUTFB 需从耳机接口端引线去 MIC 端信号。
- CODEC 底部，要求尽量保证 GND 完整。
- 模拟 MIC 的 switch IC，用于切换 SBU 信号（实际是 HS-MIC 和 HPOUTFB-GND），IC pin 脚位置要独立出线，到接口位置再合并，避免干扰。

图 4.6 HP 信号整组包地

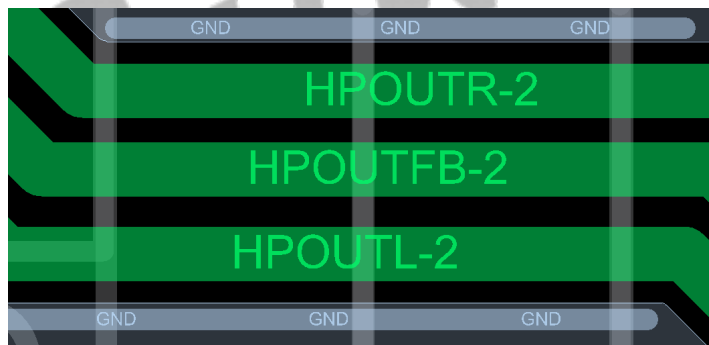


图 4.6 HPOUTFB 需从耳机接口端引线

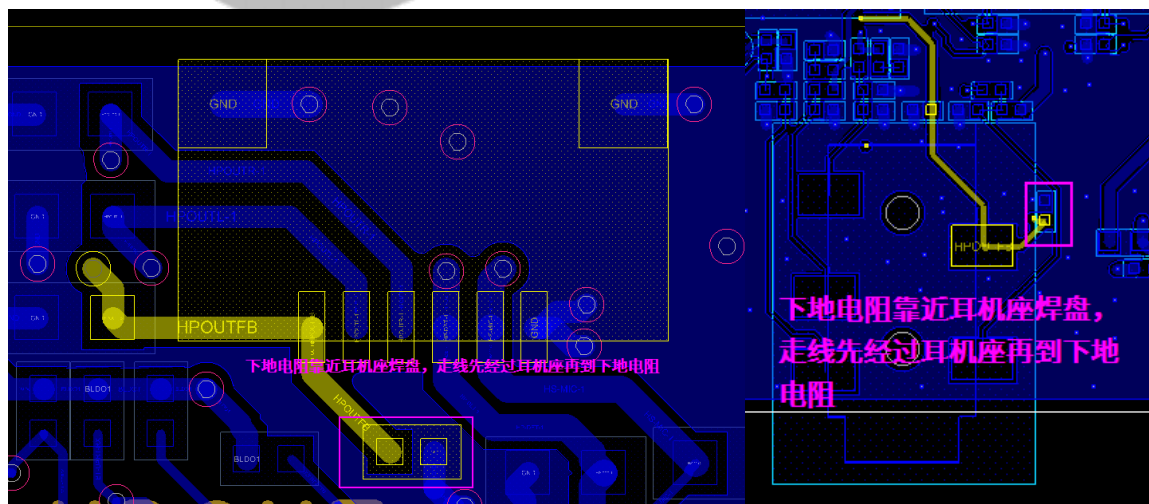
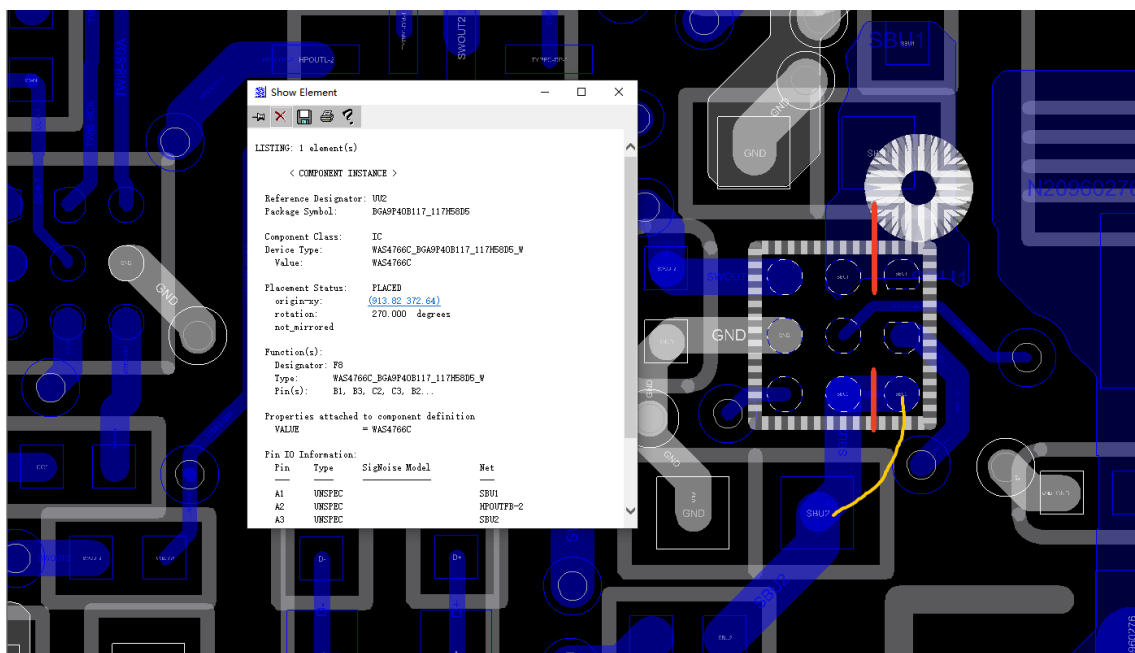
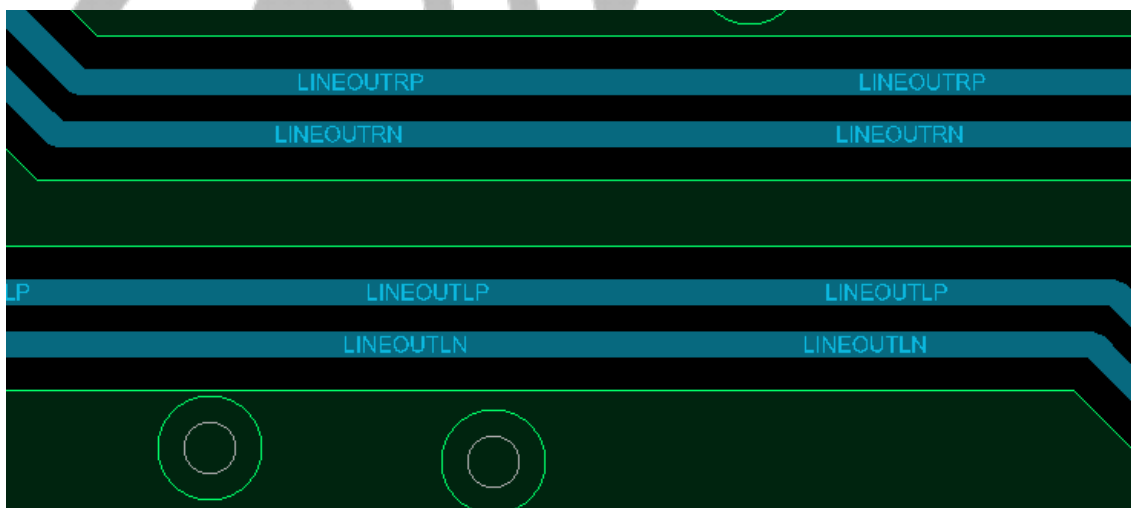


图 4.7 模拟 MIC 的 switch IC 走线



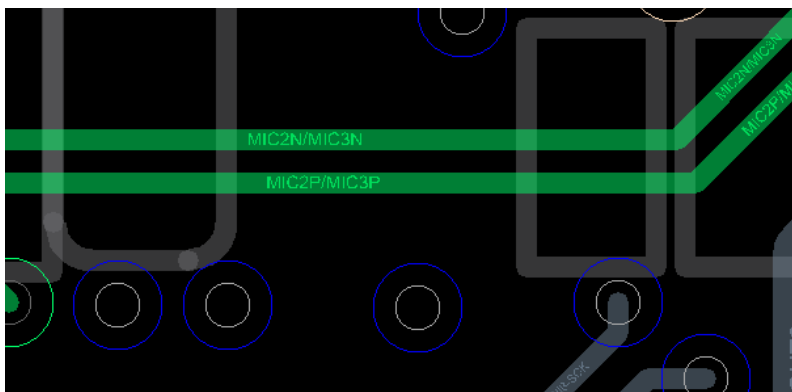
- MICxP、MICxN，类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。
- MBIAS、HBIAS 与 MICxP/MICxN 并行走线，线宽 10Mil。包地。
- LINEOUTLP、LINEOUTLN 类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。
- LINEOUTRP、LINEOURLN 类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。

图 4.8 LINE 包地



- MICxP、MICxN，类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。
- MBIAS、HBIAS 与 MICxP/MICxN 并行走线，线宽 10Mil。包地。
- LINEOUTLP、LINEOUTLN 类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。
- LINEOUTRP、LINEOURLN 类差分走线，线宽至少 4Mil，线距至少 4Mil，类差分包地。

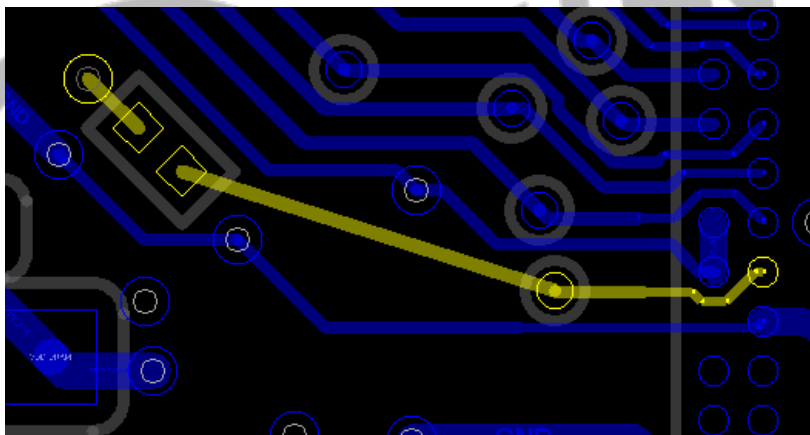
图 4.10 LINE 包地



4.4 EMMC

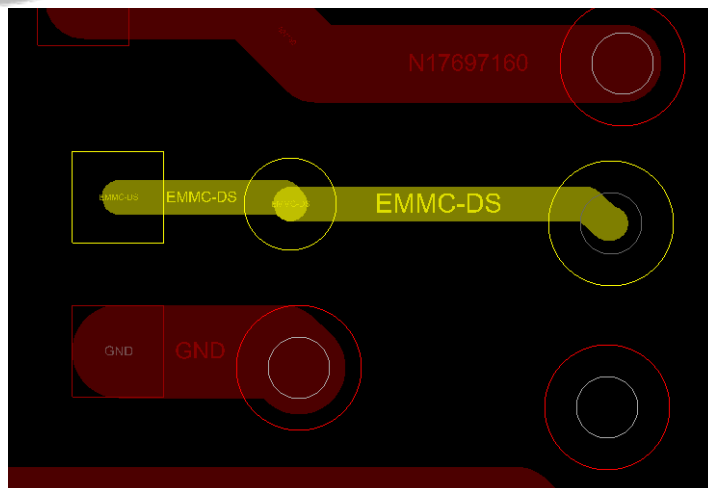
- 阻抗要求：差分 50ohm。
- EMMC 与主控间走线长度 $\leq 1000\text{Mil}$ ，布线间距 $\geq 8\text{Mil}$ 。
- VCCQ、VCC、VDDI 的所有去耦电容均靠近 EMMC 摆放。
- CLK 信号串接电阻靠近主控摆放，如下图所示。串阻与主控 CLK 连接走线距离 $\leq 300\text{Mil}$ 。

图 4.11 EMMC 串阻与主控 CLK



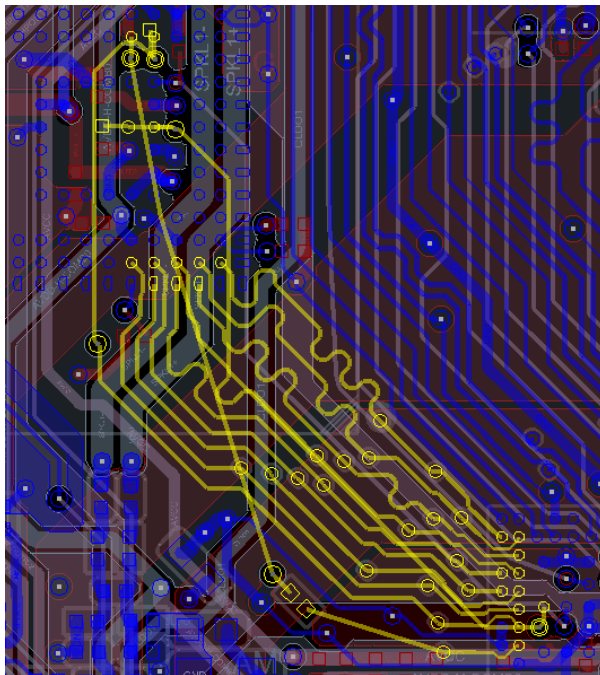
- DS 信号下拉电阻靠近 EMMC 摆放。下拉电阻引入桩线长度 $\leq 200\text{Mil}$ 。

图 4.12 DS 信号下拉电阻桩线长度



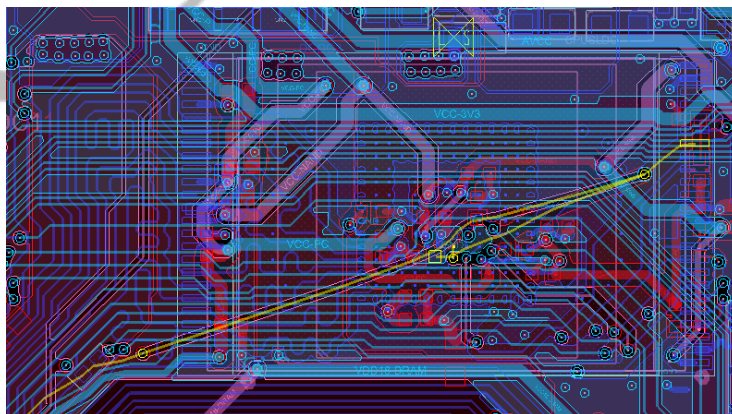
- 除 Reset 外，务必保证所有信号走线参考平面完整，示意图如下：

图 4.13 EMMC 走线参考平面



- CLK 和 DS 信号做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 $\geq 12\text{Mil}$ 。
- D0~D7、DS 加上 CMD 相对 CLK 等长控制 $\leq 300\text{Mil}$ ；D0~D7 上使用过孔的数量尽量相同。
- VCC、VCCQ 线宽 $\geq 12\text{Mil}$ ，或直接使用覆铜代替电源走线。电源线上如有过孔，则过孔数量不少于 2 个，避免过孔限流影响供电。
- 走线尽量避开高频信号。
- EMMC NC/RFU 等保留引脚都悬空，不可为了走线方便将这些信号与电源、地、或其他 EMMC 信号连接在一起。如果确实走线有困难，可适当修改 EMMC PCB 封装，去掉一些 NC/RFU 的 ball。
- 如果期望 EMMC 运行在较高频率，则建议只使用 EMMC，保证主控 IO 与 EMMC 点对点连接。如果 NAND/EMMC 双 Layout 时，走线采用菊花链方式，将 EMMC 作为走线的终点，尽量减少分叉线长度。

图 4.14 EMMC 走线参考



4.5 NAND

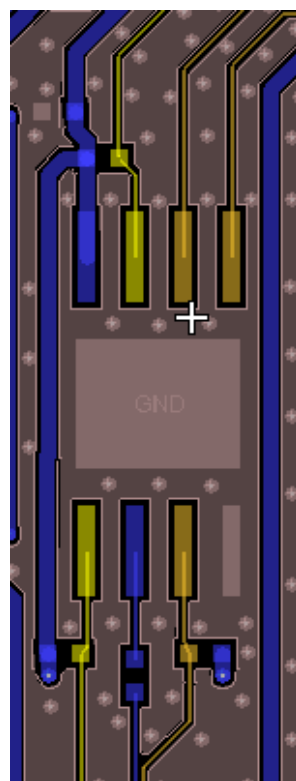
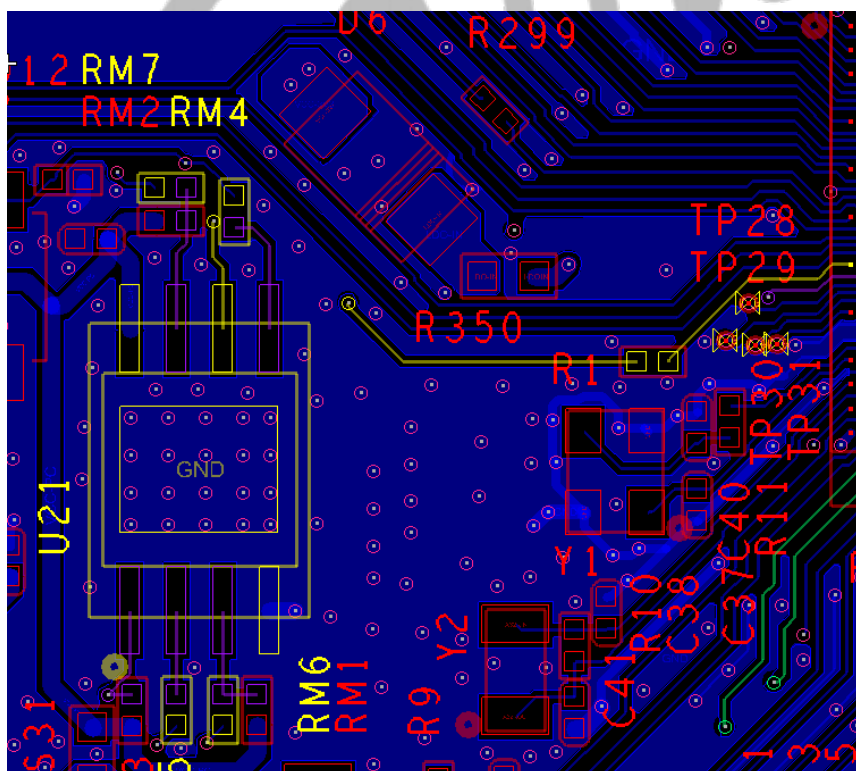
- 阻抗要求：差分 50ohm。

- 走线间距 $\geq 8\text{Mil}$ ，NAND 与主控间走线长度 $\leq 2000\text{Mil}$ 。
- RE、WE、DQS 保持线间距 $\geq 12\text{Mil}$ 。
- D0~D7、RE、WE 相对 DQS 等长控制 $\leq 300\text{Mil}$ ；D0~D7 上使用过孔的数量尽量相同，务必保证走线参考平面完整。
- VCCQ、VCC 的所有去耦电容均靠近 NAND 摆放。
- RE、WE、DQS 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{Mil}$ 。
- VCC、VCCQ 线宽 $\geq 12\text{Mil}$ 。
- 走线尽量避开高速，高频信号。
- 如果期望 NAND 运行在较高频率，则建议只使用 NAND，保证主控 IO 与 NAND 点对点连接。

4.6 SPI

- 阻抗要求：差分 50ohm 。
- 布线间距 $\geq 8\text{Mil}$ 。
- CLK 信号包地或者距离其他信号线 $\geq 12\text{Mil}$ 。
- SPI 应靠近主控摆放。
- CLK 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{Mil}$ 。
- MOSI、MISO、WP、CS 靠近 FLASH 摆放，串阻与 FLASH 连接走线距离 $\leq 300\text{Mil}$ 。

图 4.15 串阻靠近主控摆放



- VCC 线宽 $\geq 12\text{Mil}$ 。
- 走线尽量避开其它高速、高频信号。

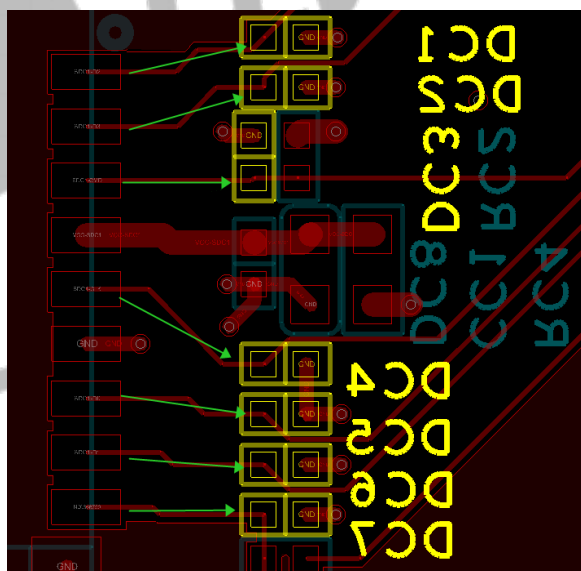
图 4.16 CLK 信号做包地处理



4.7 SMART CARD

- 阻抗要求：差分 50ohm。
- 线间距 $\geq 8\text{Mil}$ 。
- D0~D3 相对 CLK 等长控制 $<500\text{Mil}$ 。加上 CMD
- CLK 串接电阻靠近主控摆放。串阻与主控 CLK 连接走线距离 $\leq 300\text{Mil}$ 。
- ESD 器件靠近接口/卡座摆放，卡座管脚走线先与 ESD 器件相连后，再连其它器件。
- VDD 网络上的电阻和电容网络靠近接口/卡座摆放。
- 卡座背面禁止放置插装器件，防止插装器件管脚干涉卡插拔。

图 4.17 SMART CARD 重要元件摆件



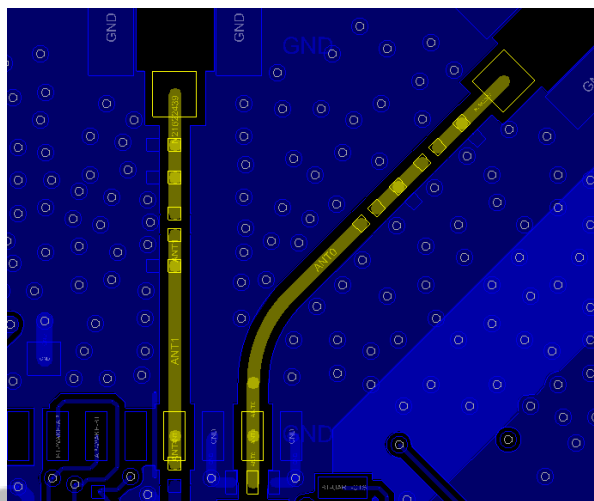
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 $\geq 12\text{Mil}$ 。
- VDD 走线宽度 $\geq 12\text{Mil}$ 。
- 走线尽量避开高频信号。

4.8 WIFI BT

- 阻抗要求：差分 50ohm，无过孔。

- 模组尽量靠近天线或天线接口。远离电源、DDR、LCD 电路、摄像头、马达、SPEAKER 等易产生干扰的模块。
- WIFI 电源电容必须靠近 WIFI 模块以及 WIFI 芯片管脚放置说明。电源走线宽度至少 15mil 以上。
- 依据原理图布局天线馈线的匹配电容电阻，天线馈线走线平滑、最短，无分支、无过孔、少拐角。
- 天线馈线左右包地并沿途多打 GND 过孔。为了增大线宽减少损耗，多层板通常馈线相邻层挖空，第 3 层需要完整参考地。参考层 EPAD 回流路径保证完整无割裂。走线宽度尽量与电容，电阻 pad 宽度相同。

图 4.18 WIFI/BT 天线馈线走线



- 如使用 PCB 走线作天线，请确保天线走线附近区域完全净空，净空区大于 50mm²。天线本体至少距周围的金属 1cm 以上。

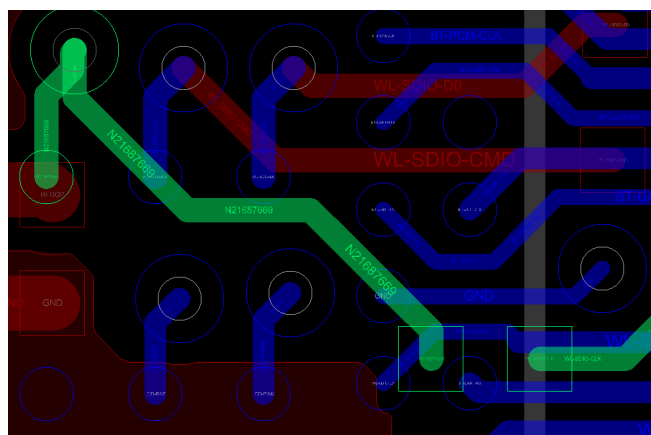
图 4.19 WIFI/BT 板载天线



4.9 SDIO

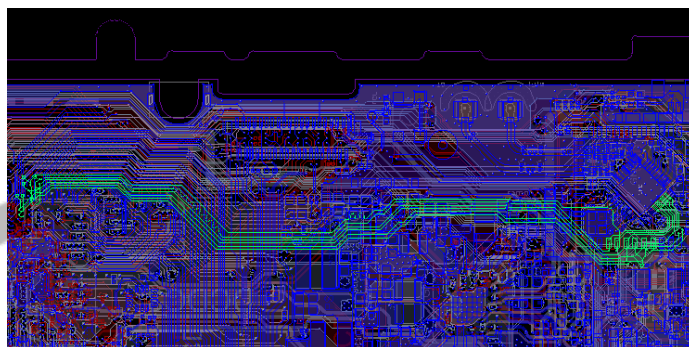
- 阻抗要求：差分 50ohm。
- 线间距≥8Mil。
- CLK 33K 电阻摆件靠近 SOC 端。
- D0~D3 相对 CLK 等长控制≤300Mil。加上 CMD

图 4.20 CLK 33K 电阻摆件



- CLK 做包地处理（或是与其他走线距离 3W air gap），包地通过过孔与 GND 平面连接。
- 走线尽量避开高频信号。

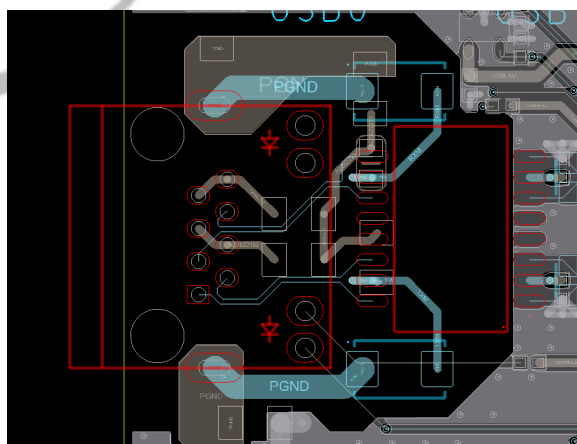
图 4.21 SDIO 走线



4.10 EPHY

- 阻抗要求：差分 100ohm，换层过孔 2 个。
- 变压器靠近 RJ45 座子摆放。

图 4.22 变压器靠近 RJ45 座子摆放



- 以太网 LED 灯靠近座子摆放。

图 4.23 以太网 LED 灯

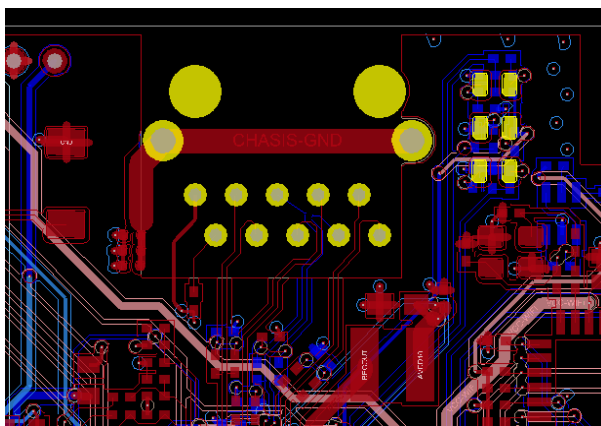


图 4.24 RJ45 及变压器下面所有层不铺铜

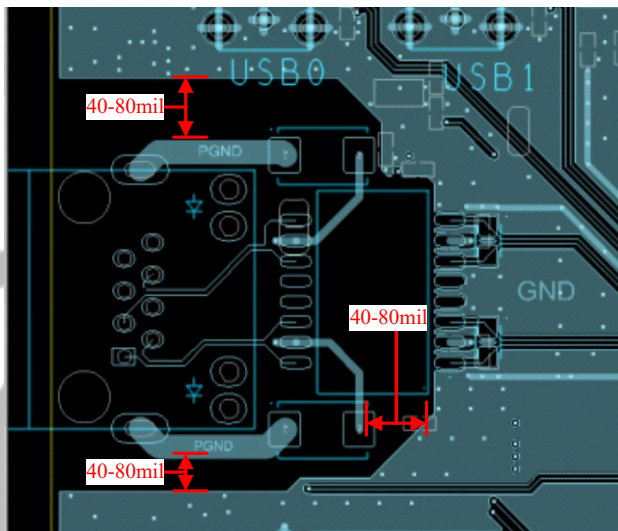
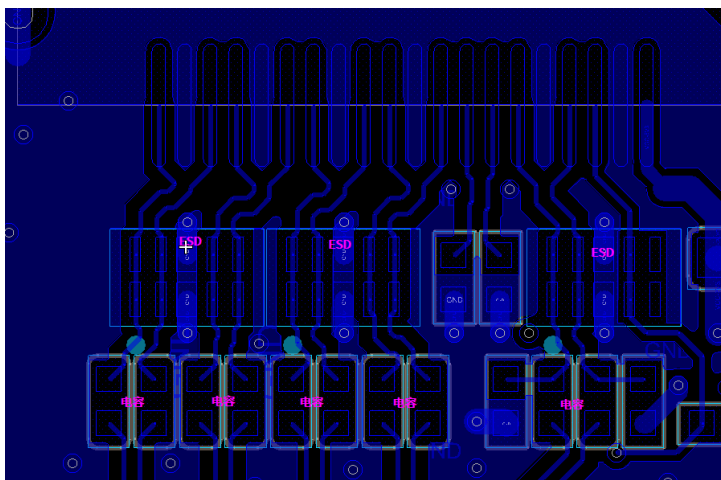


图 4.25 ESD 器件和隔直电容摆件



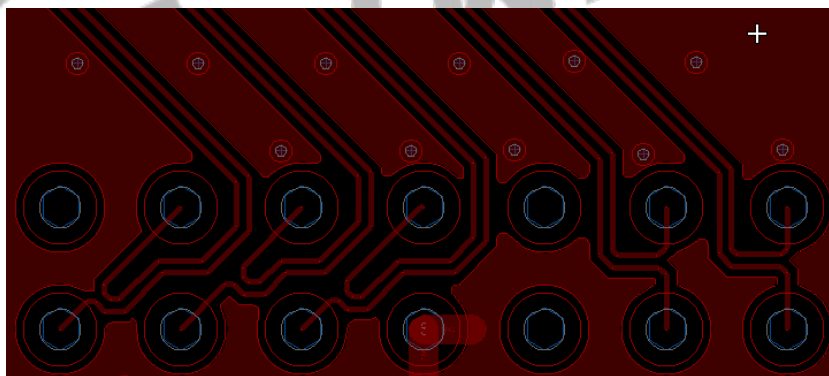
4.12 LCD/LVDS

4.12.1 LCD

CLK 要做包地处理，同时要注意对包地打孔；如不能包地需保持该信号线距离其它信号间距 $\geq 12\text{Mil}$ 。

LCD 线的参考平面要完整，如果可以 DX 分为两两一组。

图 4.26 Data 建议走线



4.12.2 LVDS

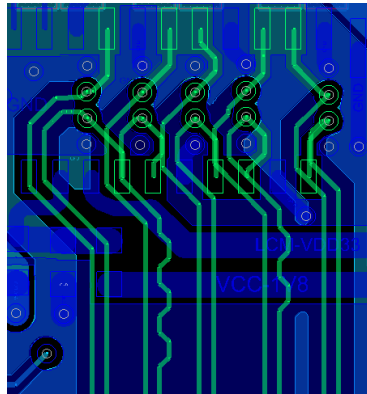
- 阻抗要求：单端 50ohm，差分 100ohm，换层过孔 2 个。
- CLK 距离其它信号间距 $\geq 12\text{Mil}$ 。
- 1080P 差分对内长度差 10Mil 内，差分对之间的长度差 180Mil 内。
- 720P 差分对内长度差 20Mil 内，差分对之间的长度差 450Mil 内。
- 背光电路要求：PS，VLED+，VLED-所在的网络的线宽 $\geq 12\text{mil}$ 。

4.13 MIPI DSI

- 阻抗要求：单端 50ohm，差分 100ohm，换层过孔 2 个。
- 同一组的 CLK DATA 以相同的拓扑走线，即换层和 VIA 数量需一致。

- 差分约束：差分对内长度差 5Mil 内，差分对之间的长度差 160Mil 内。

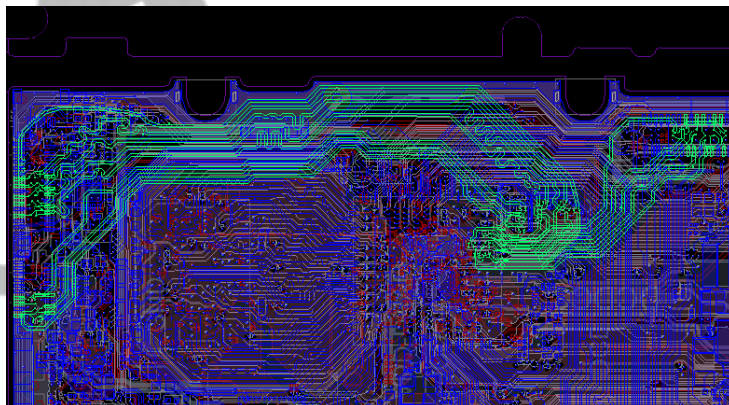
图 4.27 MIPI DSI 走线



4.14 MIPI CSI

- 阻抗要求：单端 50ohm，差分 100ohm，换层过孔 2 个。
- 为减小差分对间干扰，各差分对间用地线隔开，或保持间距 $\geq 12\text{mil}$ 。
- 差分对内等长 5mil，对间等长 $\leq 300\text{mil}$ （越小越好）。
- AFVCC，AVDD，IOVDD 和 DVDD 的滤波电容靠近模组放置。
- MIPI 差分 100ohm，换层过孔 2 个，在打孔换层的时候必须 DP/DN 同时打孔换层，同时在周围多打地孔。
- 同一组的 CLK DATA 以相同的拓扑走线，即换层和 VIA 数量需一致。
- MIPI 走线应该保持连续的参考层，且最好是地层，如果这个条件实在无法满足的话，必须保证参考层的宽度可以达到 16mil。

图 4.28 MIPI CSI 走线



4.15 PCIE 3.0

- 阻抗要求：差分 100ohm，换层过孔 2 个。
- 差分对走线优先在 Top，其次在 Bottom 及靠近底层的内层走线（如果有过孔，使过孔的 stub 较短）。
- P/N 始终保证差分并排走线，，保证信号走线的长度控制在 5000Mil 以内，走线的过孔不超过 2 个，差分线的长度误差为 5Mil。
- VCC 的去耦电容和滤波电容，需要靠近 IC 摆放。

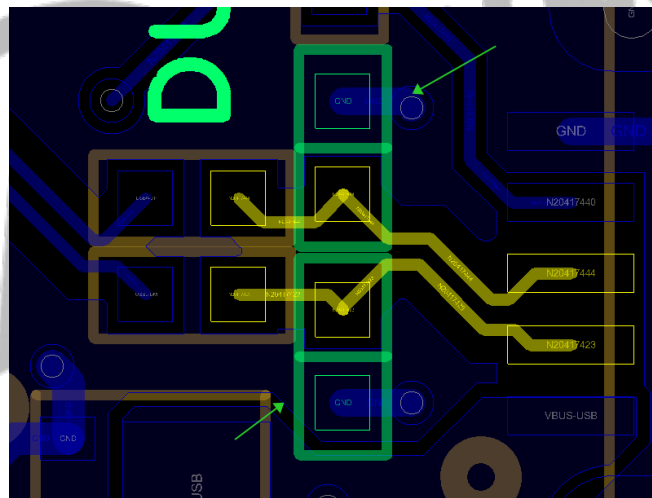
- PCIE 接口的去耦电容，应靠近接口的 电源 PIN 摆放。
- PCIE_TX 串接的电容应靠近 IC 端摆放，不超过 1000Mil(尽量控制在 500mil 以内)。
- PCIE_RX 串接的电容应靠近接口端摆放，不超过 1000Mil(尽量控制在 500mil 以内)。

4.16 USB

4.16.1 USB2.0

- 阻抗要求：差分 90ohm，换层过孔 2 个。
- 走线的长度 $\leq 6000\text{Mil}$ ，DM、DP 长度匹配 $\leq 10\text{Mil}$ ，建议走线的过孔不超过 2 个。
- 建议优先考虑 DM、DP 走线，并与其它信号的间距 $\geq 10\text{Mil}$ ，且避免走线走在器件的下面或者与其他信号交叉。
- 电源 VCC3V3-USB 走线线宽 $\geq 20\text{Mil}$ ，USB-5V 线宽 $\geq 40\text{Mil}$ 。
- VCC3V3-USB 的去耦电容和滤波电容，需要靠近 IC 摆放。
- USB SOCKET 的去耦电容，应靠近 SOCKET 的 VBUS PIN 摆放。
- ESD 器件靠近连接器端摆放，且连接器与 ESD 器件布线长度 $\leq 500\text{mil}$ 。

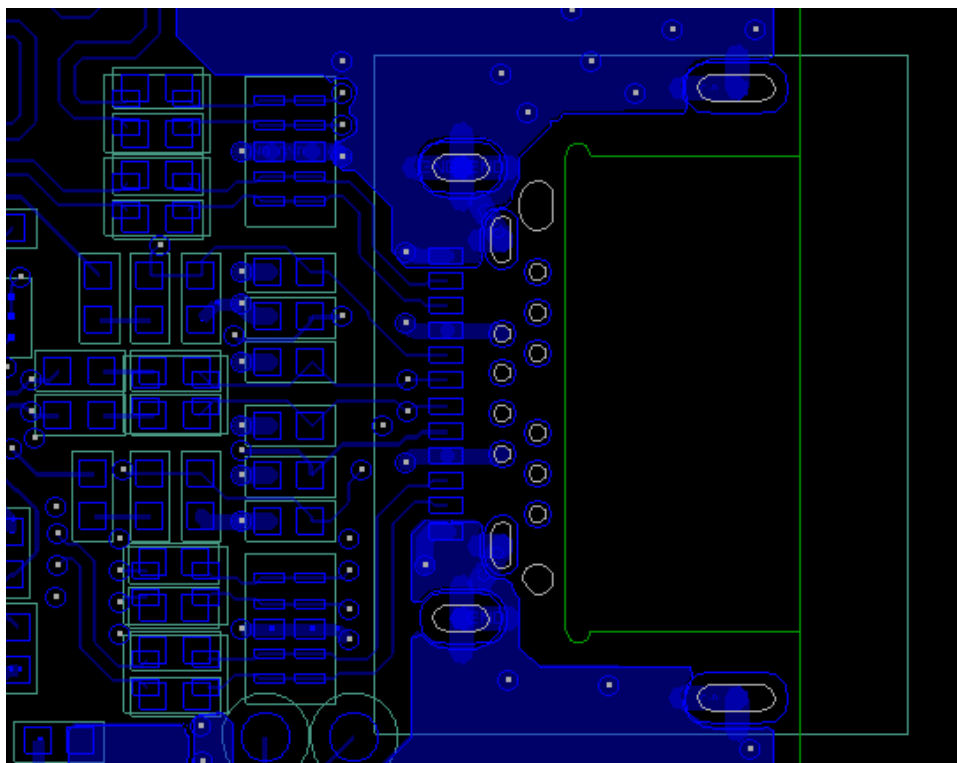
图 4.29 ESD 器件摆放



4.16.2 USB3.1

- 阻抗要求：差分 90ohm，换层过孔 2 个。
- 走线的长度控制在 6000mil 以内，走线的过孔不超过 2 个。
- ESD 器件靠近连接器端摆放，且连接器与 ESD 器件布线长度 $\leq 500\text{mil}$ 。
- 保证走线相邻层必须有连续完整的参考平面，并且参考面没有被分割。

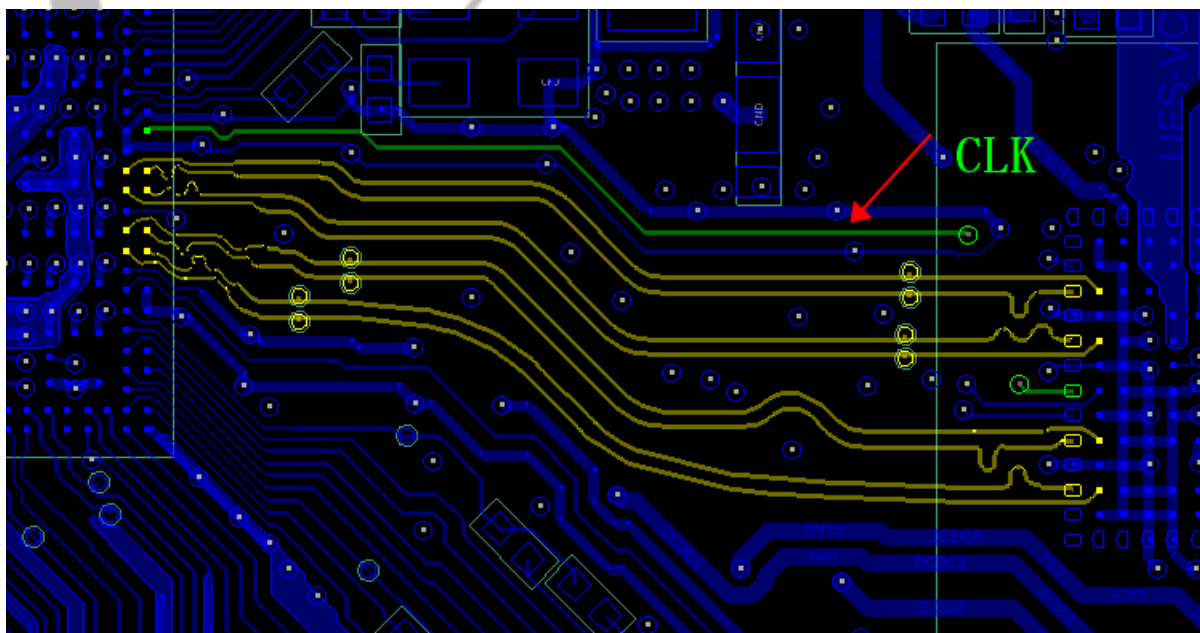
图 4.30 USB3.1 摆件走线



4.17 UFS

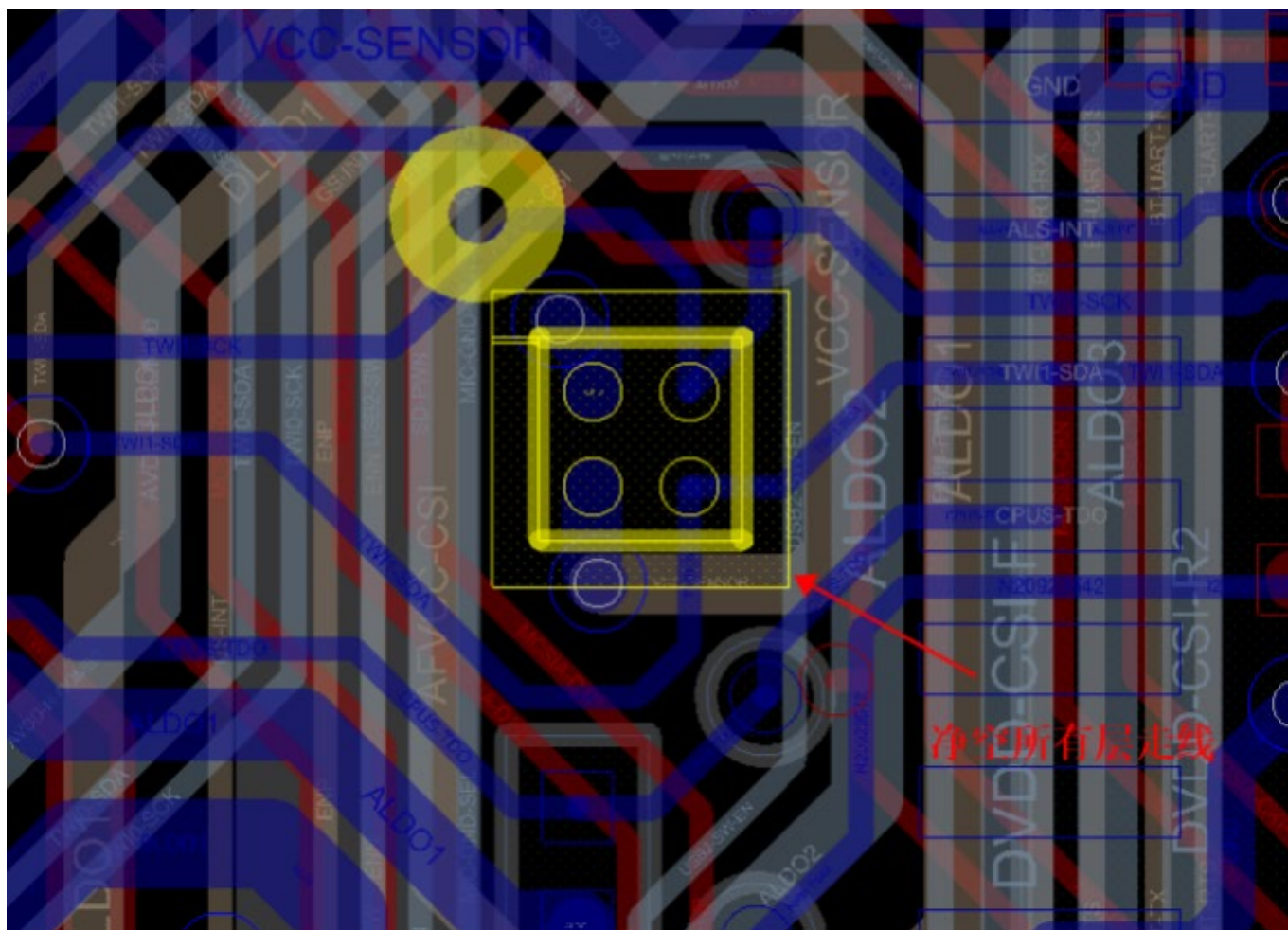
- 阻抗要求：单端阻抗为 50ohm，差分 100ohm，换层过孔 2 个。
- P/N 始终保证差分并排走线，，保证信号走线的长度控制在 1500Mil 以内，走线不打过孔，差分线的长度误差为 5Mil。
- TX 对间等长控制 $\leq 20\text{mil}$ ；RX 对间等长控制 $\leq 20\text{mil}$ 。
- CLK 要做包地处理，同时要注意对包地打孔；如不能包地需保持该信号线距离其它信号间距 $\geq 12\text{Mil}$ 。

图 4.31 UFS 走线



- 走线要求：SCK 和 SDA 并行走线
- 远离金属接口，建议 3mm 以上
- 不能摆放在屏蔽罩里面，建议距离 3mm 以上
- 地磁传感器下方各层不要有走线，净空所有层（不包含 GND 平面）

图 4.32 地磁传感器走线



5 电源

5.1 AXP318/AXP515 电源设计

- PMIC 及电感、电容等主要器件建议放置在同一层；对于 PMIC 使用面积特别紧张的，可将电感电容等大器件放至在 PMIC 底层正下方；DCDC 输出电容建议与电感垂直放置，减少纹波测试引入电感 LX 信号的干扰。
- 电感如与 PMIC 相接，保证电容位置的前提下，尽量靠近 PMIC 的 LX pin。线宽保证电流需求即可。
- LX 部分电源平面附近 40 Mil 内不要走敏感信号。

图 5.1 AXP 318 摆件

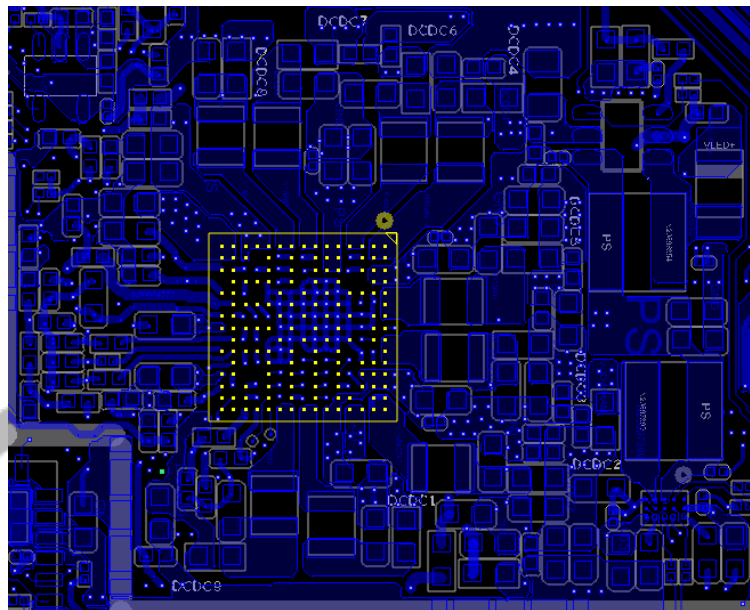
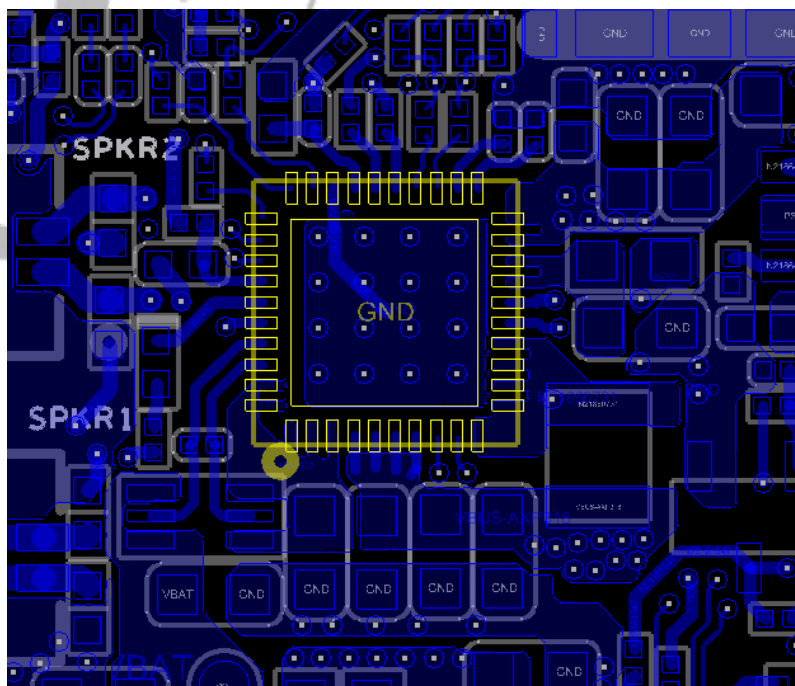
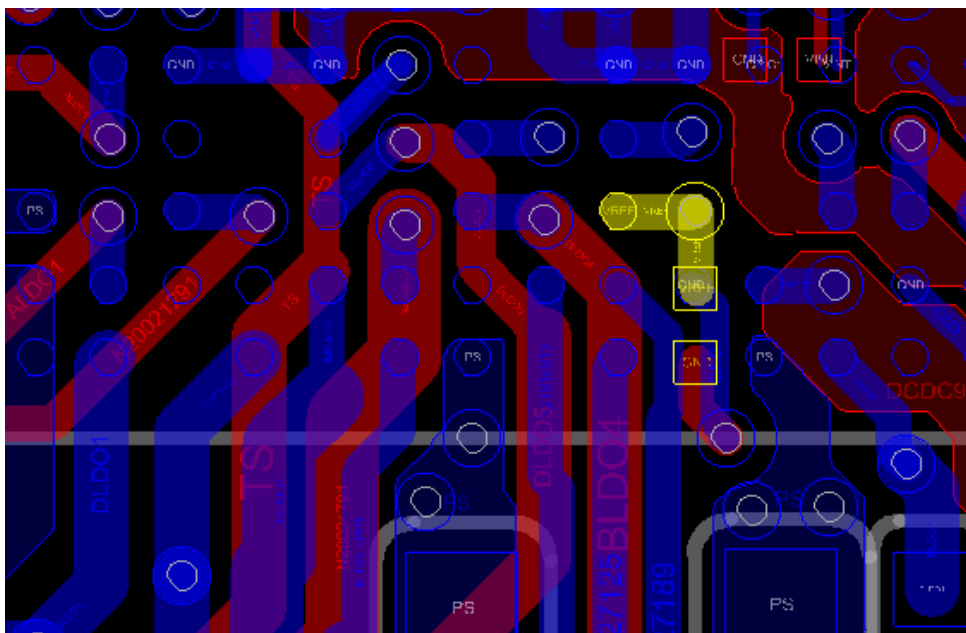


图 5.2 AXP 515 摆件



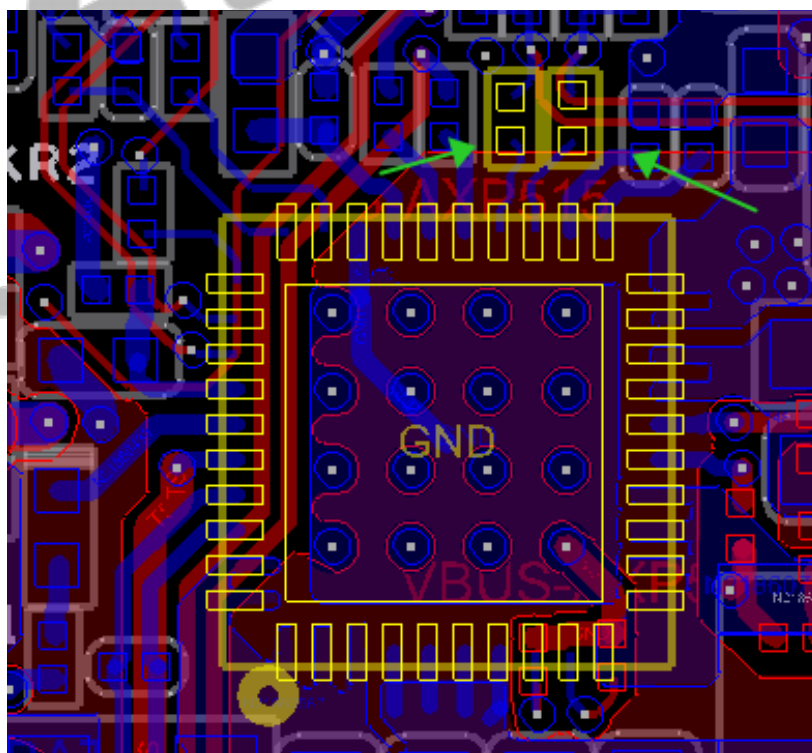
- VREF 的电容尽量靠近 Pin 脚，电容接地点尽量远离跳变点，避免干扰。

图 5.3 VREF 电容摆件



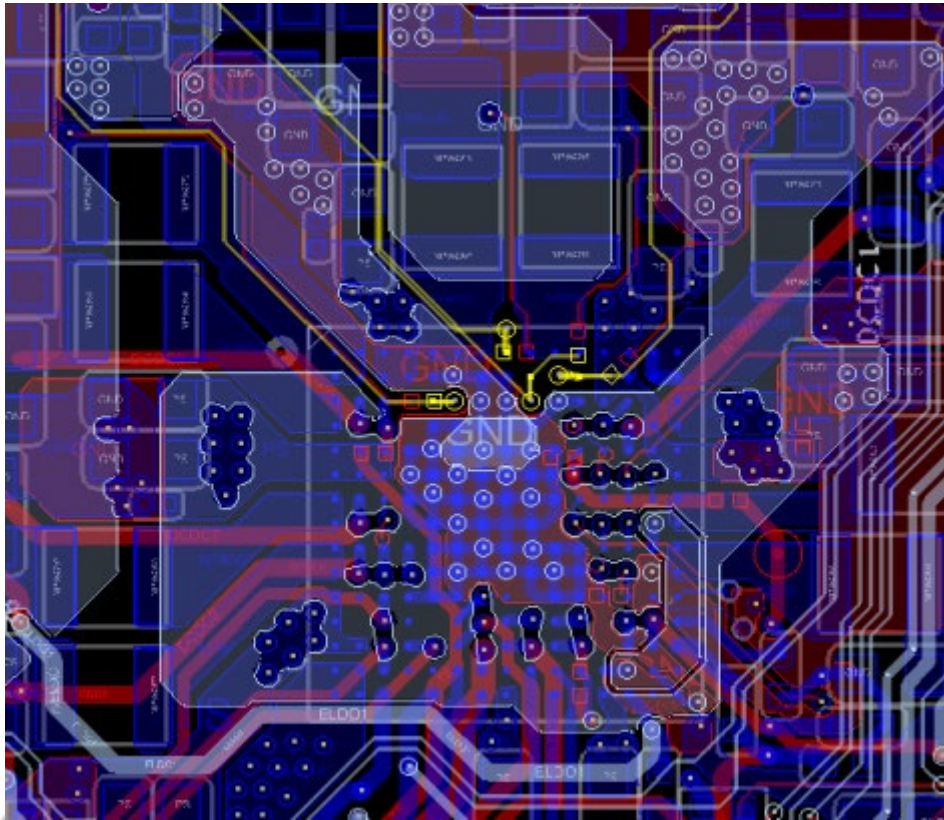
- 系统与 PMIC 的通讯信号，也是跳变信号，避开敏感信号。
- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 PMIC 即可，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号；建议 CPU/SYS/DRAM 供电时，采用远端反馈。如果 SOC 有反馈 pin 则连接至反馈 pin，如果没有反馈 pin，则连接至远端反馈电容两端。反馈线沿其电源平面一起走到负载。
- PMIC 底部 PAD 多打孔到地层相连，在地层用全连接方式，利于散热。
- AXP515 USB 充电 DP，DM 电阻位置距离 PMIC 建议不超过 700mil。

图 5.4 USB 电阻摆件



- Vxx-xxFB 采用远端反馈，反馈线避开 CLK 等时钟敏感信号，远离敏感信号过孔，沿其电源平面一起走到负载。

图 5.5 Vxx-xxFB 走线示意



版权所有 © 珠海全志科技股份有限公司

未经本公司书面许可,任何单位和个人不得擅自摘抄、复制本文档的内容的部分或全部,并不得以任何形式传播。

商标声明



、Allwinner、Allwinnertech、（不完全列举）均为珠海全志科技股份

有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标,产品名称,和服务名称,均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明,并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压,超频,超温使用）造成的不利后果,全志概不负责。本文档作为使用指导仅供参考。由于产品版本升级或其他原因,本文档内容有可能修改,如有变更,恕不另行通知。全志尽全力在本文档中提供准确的信息,但并不确保内容完全没有错误,因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件,全志概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。本文档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中,可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。注意您购买的产品、服务或特性等应受全志科技公司商业合同和条款的约束,本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定,全志科技公司对本文档内容不做任何明示或默示的声明或保证。由于产品版本升级或其他原因,本文档内容会不定期进行更新。除非另有约定,本文档仅作为使用指导,本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

珠海全志科技股份有限公司

地址：广东省珠海市高新区唐家湾镇科技二路9号

邮编：519085

官网：<http://www.allwinnertech.com>