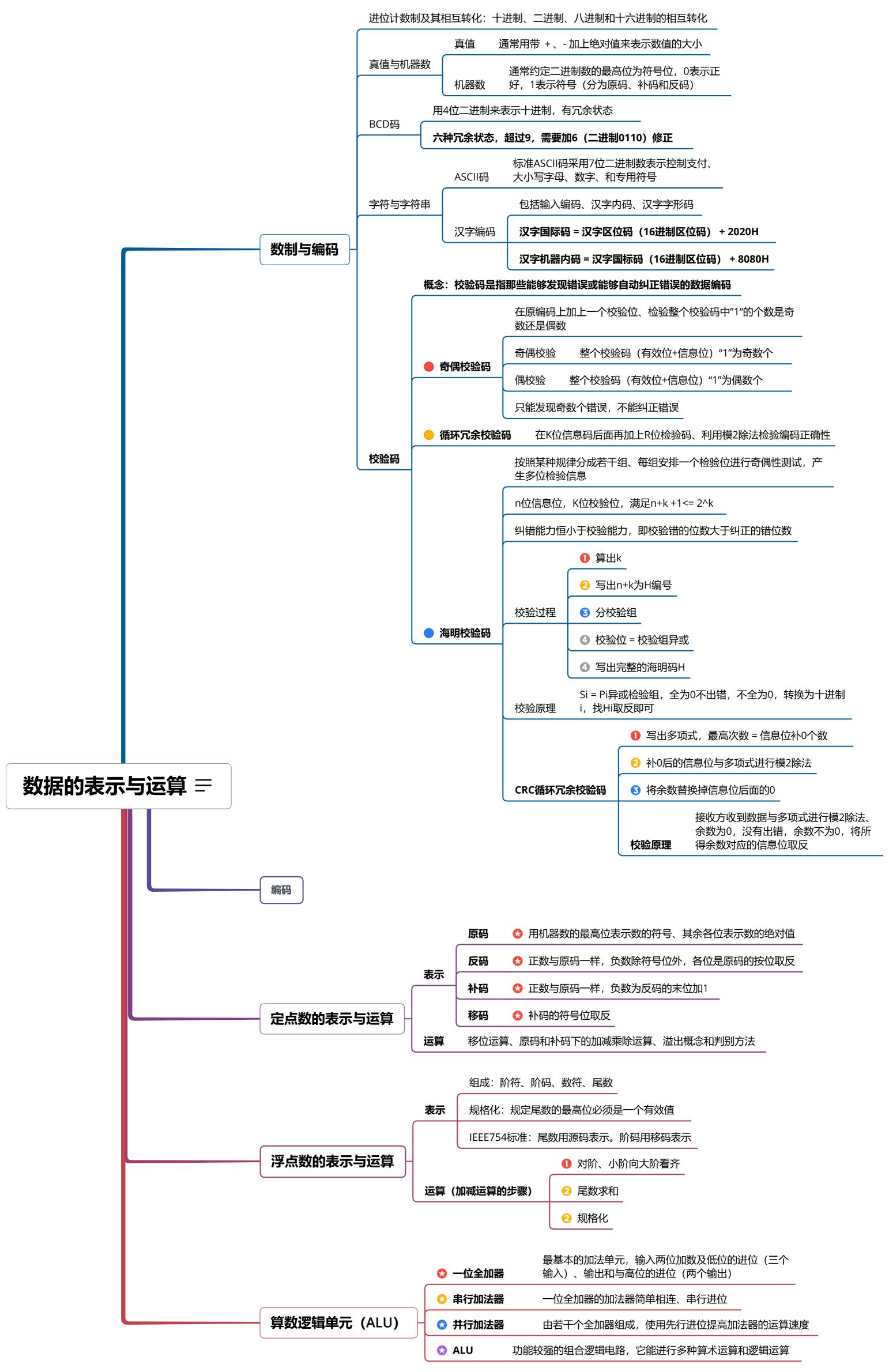
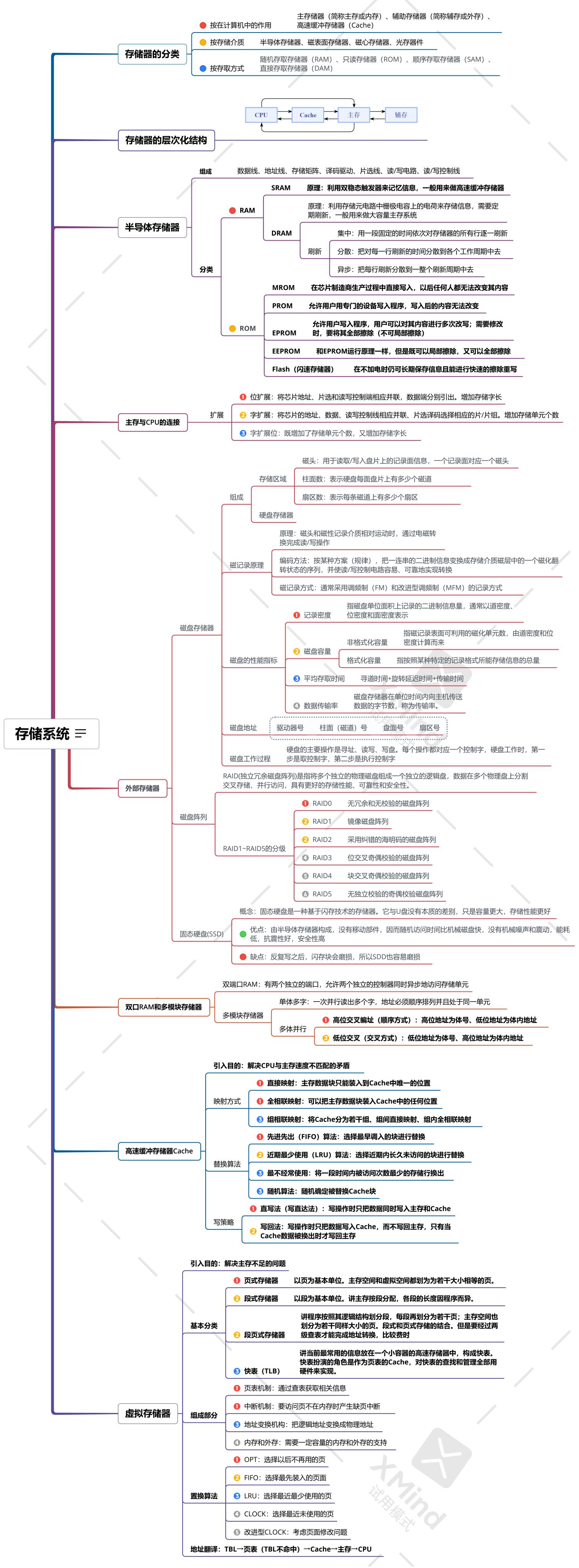
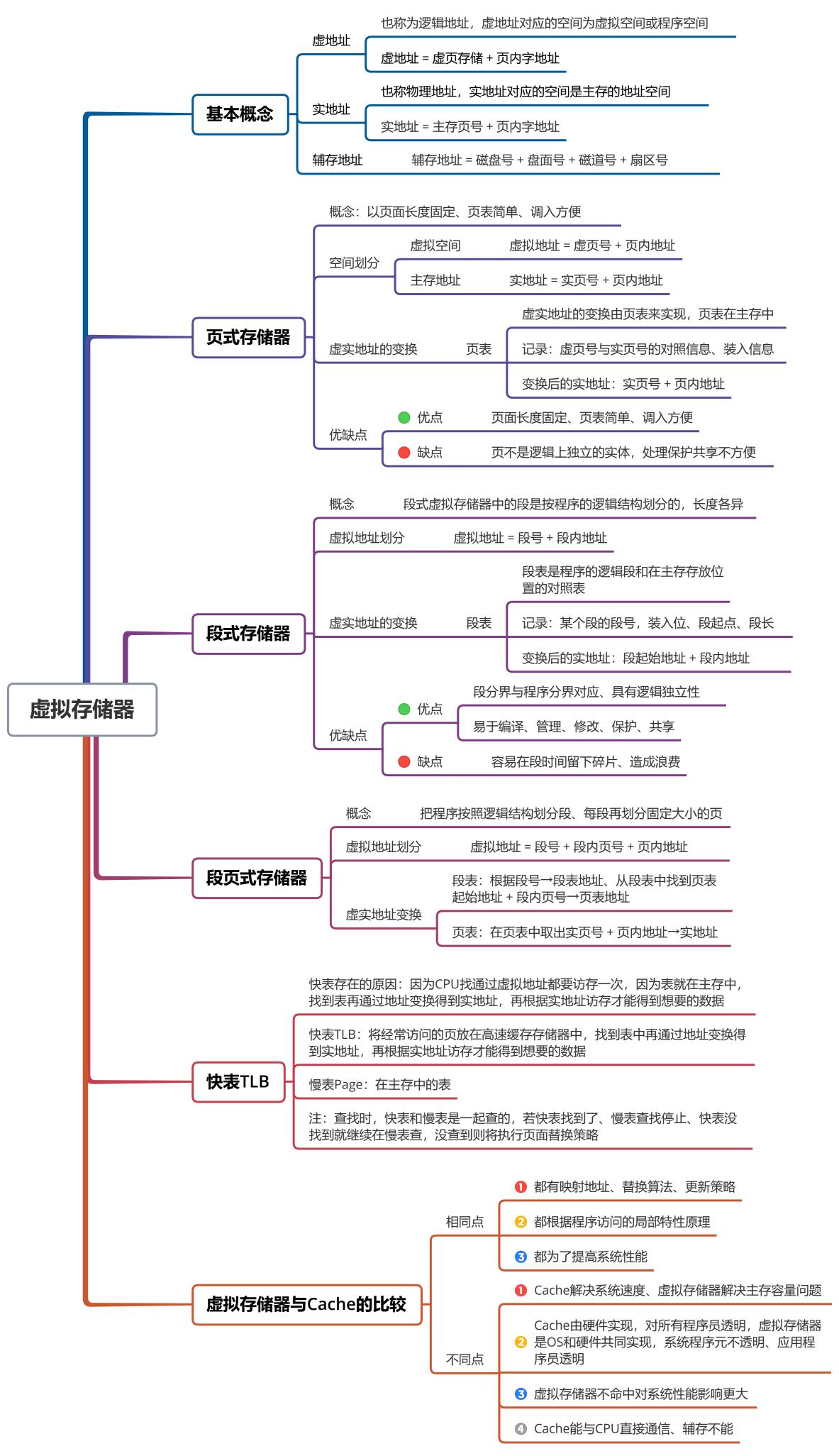
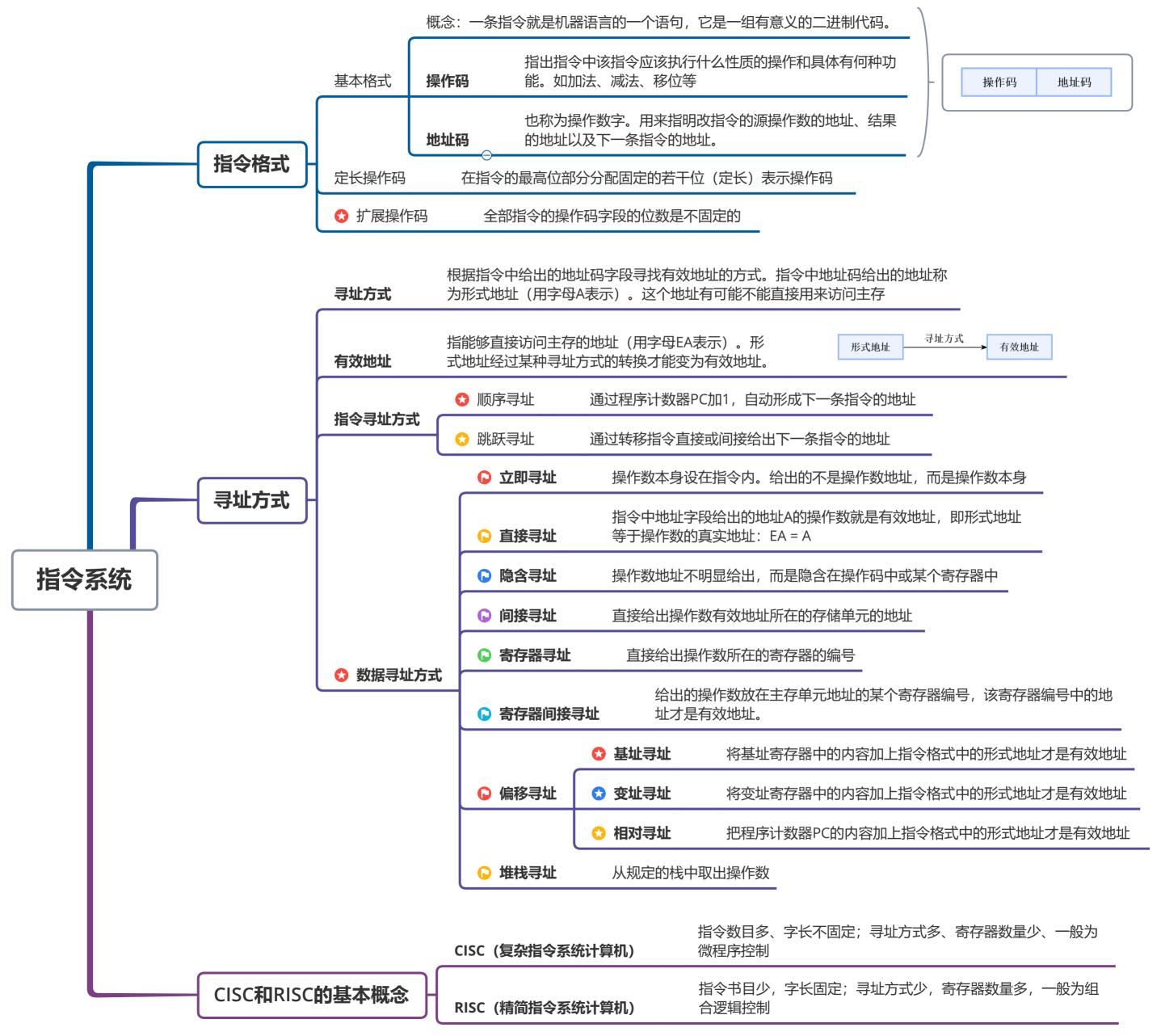


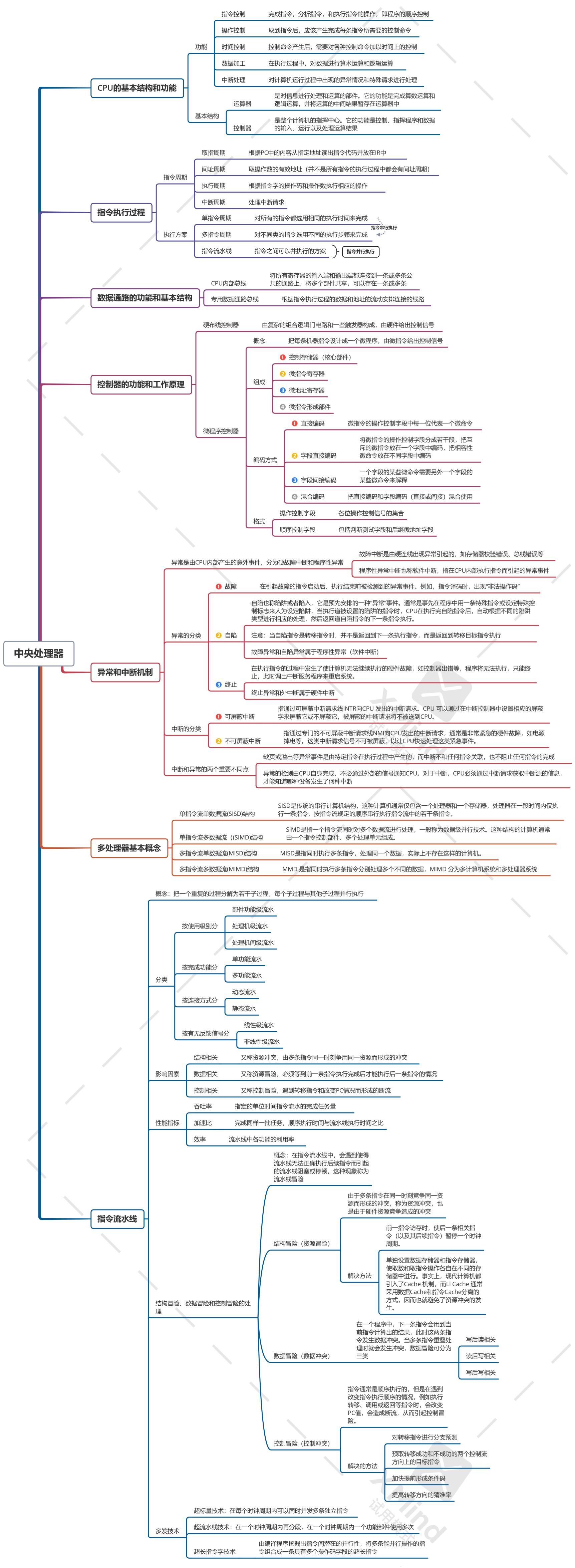
机器字长是指参与运算的基本位数,即CPU在同一时间内能进行一次处 理的二进制数的位数 标志着计算精度,也反应寄存器、运算部件和 数据总线的位数。机器字长越多,操作位数也 机器字长 ● 机器字长 就越多, 计算精度也就越高。 概念辨析 存储字长 一个存储单元的二进制代码长度 ● 指令字长 一个指令所包含的二进制位数 数据通路是指数据总线一次能并行传送信息的位数,它影响计算机的有效处理速度 CPU内部数据同类宽带 一般等于机器字长,即内部数据线的位数 数据通路带宽 等于系统数据总线一次所能并行传送的信息位数,即 CPU与主存、输入输出设备之间进行一次数据传送的 CPU外部数据同类宽带 信息位数,也称为存储字长 指一个主存储器所能存储信息的最大容量 对于字节编址的计算机,用字节数表示主存容量 计算机的性能指标 = 主存容量 对于字编址的计算机,用字数乘以字长表示主存容量 指系统在单位时间内处理的请求数。 ● 吞吐量 主要取决于主存的存取周期 指令系统对请求做出的响应时间 2 响应时间 响应时间 = CPU时间(运行一个程序所花费的时间) + 等待时间(用于 磁盘访问、主存储器访问、I/O操作、操作系统开销等时间)的总和 又称为时钟频率,表示在CPU内数字脉冲信号振荡的速度。 3 主频 主频越高、完成指令的一个执行步骤所用的时间就 越短,指令执行速度越快 是主频的倒数,简称时钟周期,是CPU中最小的时间单位。主 ⚠ CPU时钟周期 频通常以MHz为单位,1Hz表示1次/秒 运算速度 执行一条指令所需的时钟周期数 CPI 运行一个程序所花费的时间 ⑥ CPU执行时间 CPU执行时间 = 时钟周期数/主频 = (指令条数*CPI) /主频 每秒执行多少百万条指令 MIPS MIPS =指令条数 / 执行时间 $\times 10^6$ =主频 /CPI每秒执行百万次浮点运算 **MFLOPS** MIPS, MFLOPS, GFLOPS, TFLOPS MFLOPS =浮点操作次数 / 执行时间 $\times 10^6$ 每秒执行十亿次浮点运算 **GFLOPS** 每秒执行万亿次浮点运算 **TFLOPS**











概念: 总线是连接多个部件的信息传输线, 具有各部共享的传输介质 并行传输总线 按照数据传送方式 串行传输总线 分类 片内总线 用来连接芯片内部的各个部件 功能层次划分 ● 系统总线 用于连接计算机系统内部各功能部件 概述 通信总线 用于连接计算机系统之间或计算机系统与其他系统 ● 总线周期 一次总线操作所需要时间 2 总线频率 总线上各种操作的频率,是总线周期的倒数 性能指标 通常指总线数据的根数,也就是总线上能同时传输数据的位数 3 总线带宽 总线的数据传输速率,及单位时间内总线上传输数据的位数。 总线带宽 = 总线宽度×总线频率 4 总线宽度 链式查询 根据线的链接顺序依次查询每个部件有无请求 集中式 计数器定时查询 对每个设备进行编号,由计数器依次查询 总线 在总线控制器中排队,按照一定规则响应某个请求 独立请求方式 仲裁 不要中央仲裁器,每个潜在的主模块都有自己的仲裁器,多个总线仲裁器竞争使用总线 分布式 **申请分配阶段** 总线的主模块向总线提出使用请求 (寻址阶段 通过总线发出本次要访问的从模块的地址及有关的命令 总线周期 **|** 传输阶段 主模块和从模块进行数据交换,可单向或双向进行数据传送 结束阶段 主模块的有关信息从系统总线上擦除,让出总线使用权 ● 同步定时方式 系统采用一个统一的时钟信号来协调发送和接收双方的传递的定时关系 没有统一的时钟,也没有固定的时间间隔,完全依靠相互制约的"握 概念 手"信号来实现定时通信 定时 异步定时方式 主模块的请求信号和从模块的问答信号没有相互制约 ● 不互锁 分类 2 半互锁 主模块的请求信号和从模块的回答信号有简单的制约关系 3 全互锁 主模块的请求信号和从模块的问答信号有完全的制约关系

概念:输入/输出是以主机为中心而言的,输入/输出系统解决的 主要问题是对各种形式的信息进行输入和输出的控制 I/O系统基本概念 控制方式:程序查询方式、程序中断方式、DMA方式、通道方式 鼠标、键盘等 输入设备 输出设备 打印机、显示器等 外部设备 硬盘存储器、磁盘阵列、光盘存储器等 外部存储器 实现主机和外设的通信控制 进行地址译码和设备选择 主要功能 实现数据缓冲 信号格式的转换 传送控制命令和状态信息 串行接口 按数据传送方式 并行接口 可编程接口 按功能选择的灵活性 不可编程接口 I/O接口 类型 通用接口 按通用性 专用接口 输入/输出(I/O)系统 程序结构 按主机访问I/O设备的控制方式 DMA接口 把I/O端口当作存储器的单元进行地址分配,不需要CPU设 统一编址 置专门的I/O指令,用统一的访存指令就可以访问I/O端口 编址 I/O端口地址与存储器地址无关,需要CPU设置专门的I/O 独立编址 指令访问I/O端口 程序查询 由程序不断的查询外设的状态,直到外设设备就绪(在CPU的控制下进行) 概念: 计算机在执行现行程序的过程中, 出现某些急需处理的异常情况和特殊情 况,CPU暂时中止现行程序,转而去对这些异常处理情况和特殊情况进行处理, 处理完毕后,CPU将自动返回原来的程序继续执行 中断请求:中断源向CPU发出中断信号 中断判优: 判断多个中断源的优先级 ● 有中断源提出中断请求 ▶ 响应条件 ② CPU允许中断并且开中断 工作流程 程序中断 3 一条指令执行完毕且没有更紧迫的任务 中断隐指令:保存断点;引出终端服务程序;完成关中断 中断向量 查询中断服务程序的入口地址 中断处理 执行中断服务程序、最好恢复现场、中断返回 1/0方式 概念 当CPU处理中断时,又有更高优先级的中断请求 多重中断 中断服务程序中提前设置开中断指令 条件 优先级别高的中断源有权中断优先级别低的中断源 特点:一种完全由硬件进行成组信息传送的控 制方式 主存地址计数器 存放要交换的主存地址 传送长度计数器 用来记录传送数据的主存地址 用于暂存每次传送的数据 数据缓存寄存器 组成 I/O设备准备好数据后使DMA请求触发器置位 DMA请求触发器 控制/状态逻辑 由控制和时序电路及状态标志完成 ☼ DMA方式 中断机构 数据块传送完毕后触发中断机构,提出CPU对主存的访问 停止CPU访存 当需要传送数据时,停止CPU对主存的访问 周期挪用 I/O设备需要访存时,挪用一个或几个存取周期 传送方式 将CPU周期分为DMA访存和CPU访存两个部分, DMA与CPU交替访存 适用于CPU的工作周期比主存周期长的情况 DMA传送之前要进行初始化,完成寄存器置初始值、设置传 预处理 送方式之类的工作 传送过程 数据传送 占有总线传输数据,数据传输完全由DMA控制 CPU执行中断服务程序做结束DMA处理 DMA后处理