

2023-2024-2 DG2011X0S
数电B期末复习

2024.6

1.小明同学在使用卡诺图化简4元逻辑函数 $F(A,B,C,D)$ 时， 错误地将卡诺图中的0按照化简步骤圈了起来， 并得到了错误的最简与或式 $F(A,B,C,D)=\overline{B}\overline{D}+\overline{C}D+ABD$ 。
假定小明仅仅只是圈0这一步做错了， 其他步骤正确， 试写出正确的最简与或式。

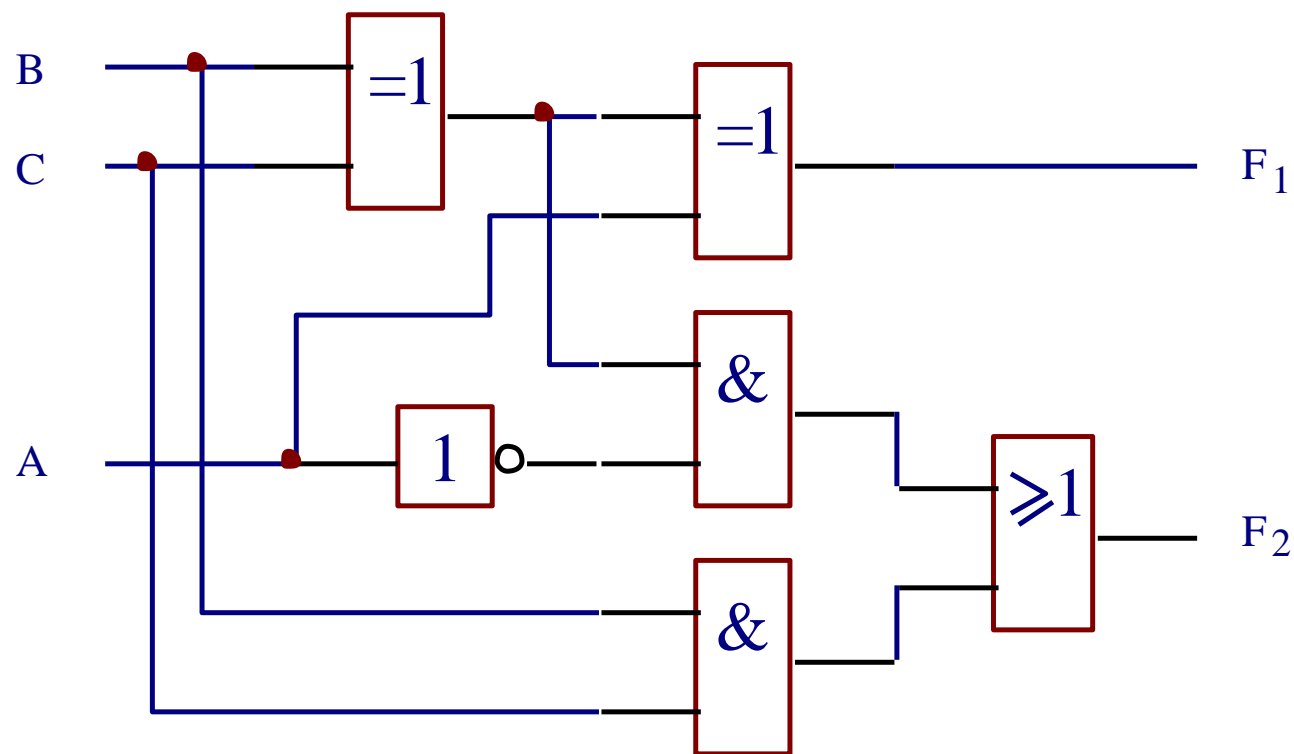
| $AB \backslash CD$ | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 0 | 0 | | 0 |
| 01 | | 0 | | |
| 11 | | 0 | 0 | |
| 10 | 0 | 0 | | 0 |

| $AB \backslash CD$ | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 0 |

| $AB \backslash CD$ | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 0 |

$$F(A,B,C,D)=B\overline{D}+\overline{A}CD+\overline{B}CD$$

2. 分析下图电路的逻辑功能。



(1) 由逻辑图逐级写出表达式, 进行化简与变换;

(2) 由表达式列出真值表;

(3) 分析逻辑功能。

1) 写表达式

$$F_1 = A \oplus B \oplus C$$

$$F_2 = \bar{A}(B \oplus C) + BC$$

2) 列真值表

3) 确定逻辑功能

该电路实现**1位二进制全减器**的功能。A、B、C、F₁、F₂分别表示被减数、减数、来自低位的借位、本位差、本位向高位的借位。

| A | B | C | F ₁ | F ₂ |
|---|---|---|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

3. 电话室需对3种电话编码控制，按紧急次序排列优先权高低为：火警电话、急救电话、普通电话，分别编码为11, 10, 01；当无电话时，编码为00。试用与非门设计编码电路。

- (1) 确定输入输出变量（个数、名称），列出真值表；
- (2) 写出逻辑表达式，并根据所选器件，化简成相应形式的最简表达式；
- (3) 画出逻辑图。

解：令火警电话、急救电话、普通电话分别为A，B，C，编码输出为 D_1 ， D_0 。

1) 列真值表

| A | B | C | D_1 | D_0 |
|---|---|---|-------|-------|
| 1 | Ø | Ø | 1 | 1 |
| 0 | 1 | Ø | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 |

2) 列卡诺图，写最简表达式

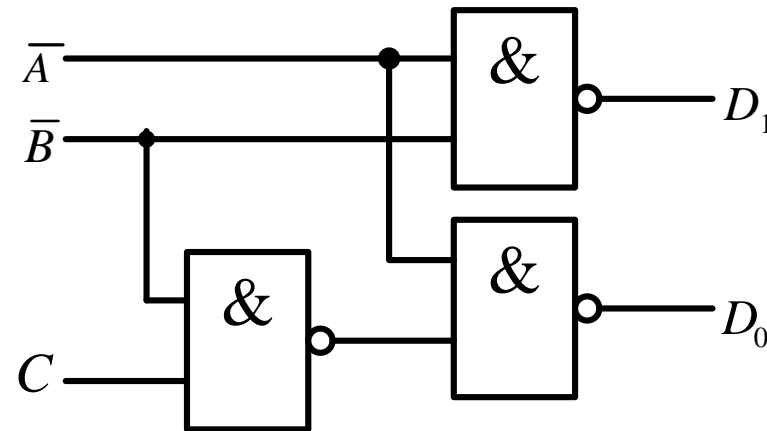
| A \ BC | BC | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 |

$$D_1 = A + B$$

| A \ BC | BC | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

$$D_0 = A + \bar{B}C$$

3) 画电路图



4.已知BCD码 $(A_3A_2A_1A_0.a_3a_2a_1a_0)_{8421BCD}$ ，设计电路将该数四舍五入。

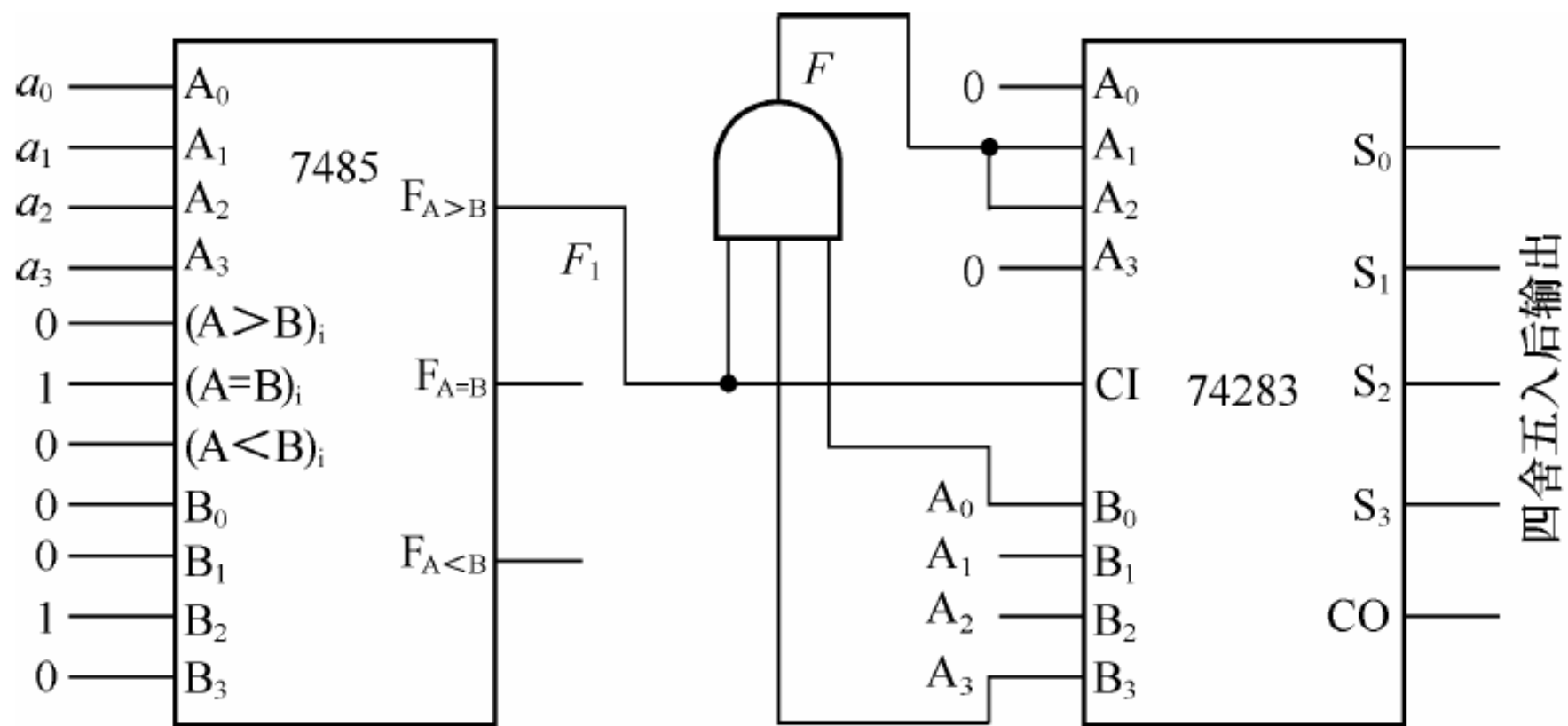
解：当小数部分大于4时，整数部分应加1，即

$$\begin{array}{r} A_3A_2A_1A_0 \\ + \quad \quad \quad 1 \\ \hline CO\ S_3\ S_2\ S_1\ S_0 \end{array}$$

当相加结果 $S_3S_2S_1S_0$ 为1010时，应进行修正。

因为**1010**不是 $(10)_{10}$ 的8421BCD码表示形式，
正确结果应为**0001 0000**，所以：

| | |
|------------------|------|
| 1010 | 非法码 |
| + 0110 | 加6修正 |
| <hr/> | |
| 0001 0000 | |



5.分别用一片74151和 $\frac{1}{2}$ 74153 实现函数

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{D} + A\bar{B}D + AC\bar{D}。$$

解：这是一个四变量函数，对其一次降维后可用74151实现，两次降维后可用 $\frac{1}{2}$ 74153实现。

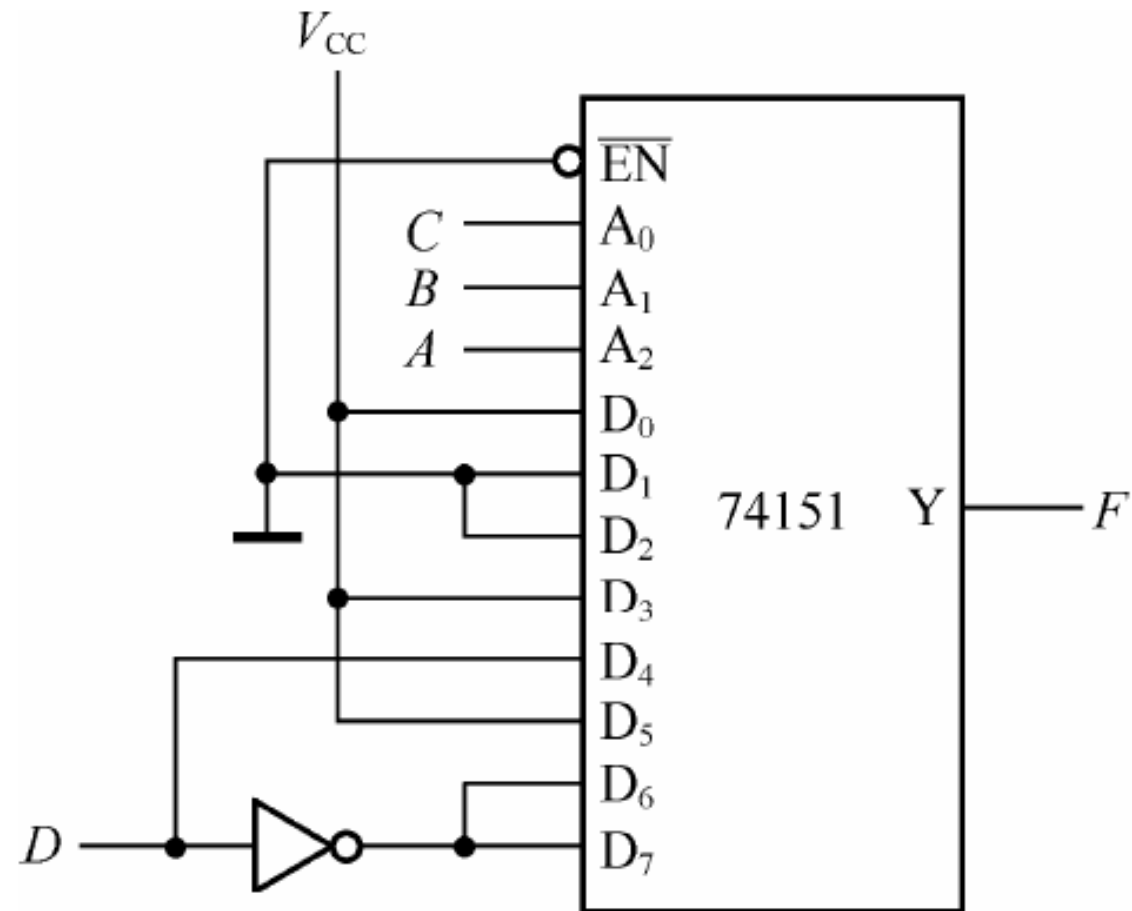
| $AB \backslash CD$ | | CD | | | |
|--------------------|----|------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| AB | 00 | 1 | 1 | | |
| | 01 | | | 1 | 1 |
| | 11 | 1 | | | 1 |
| | 10 | | 1 | 1 | 1 |

| $A \backslash BC$ | | BC | | | |
|-------------------|---|----------|----|----------------|----------------|
| | | 00 | 01 | 11 | 10 |
| A | 0 | 1 | 0 | 1 | 0 |
| | 1 | D | 1 | \overline{D} | \overline{D} |

| $A \backslash B$ | | B | |
|------------------|---|----------------|----------------|
| | | 0 | 1 |
| A | 0 | \overline{C} | C |
| | 1 | C+D | \overline{D} |

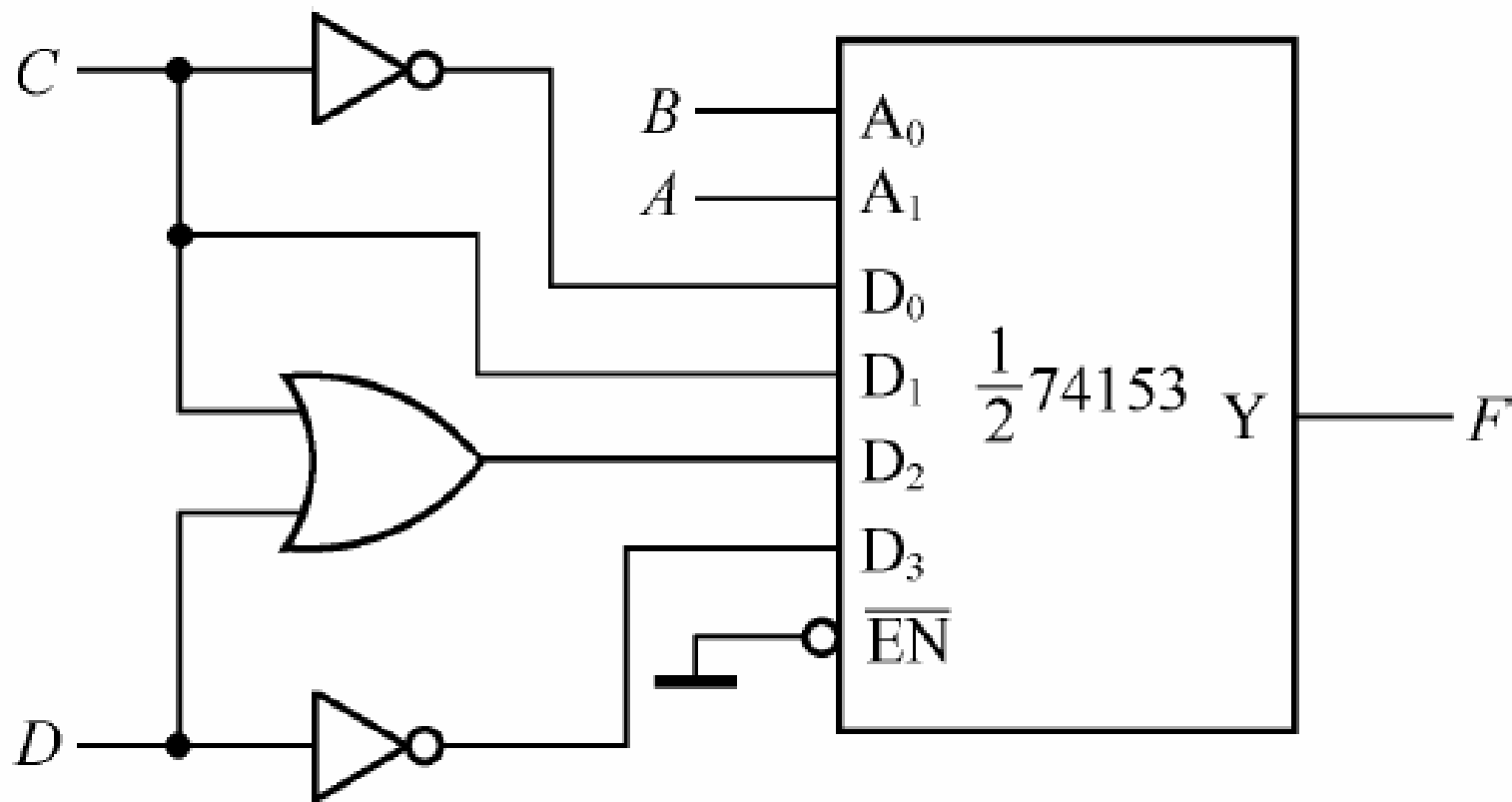
| A_1A_0 | | 00 | 01 | 11 | 10 |
|----------|---|-------|-------|-------|-------|
| A_2 | 0 | D_0 | D_1 | D_3 | D_2 |
| | 1 | D_4 | D_5 | D_7 | D_6 |

| BC | | 00 | 01 | 11 | 10 |
|------|---|-----|----|----------------|----------------|
| A | 0 | 1 | 0 | 1 | 0 |
| | 1 | D | 1 | \overline{D} | \overline{D} |

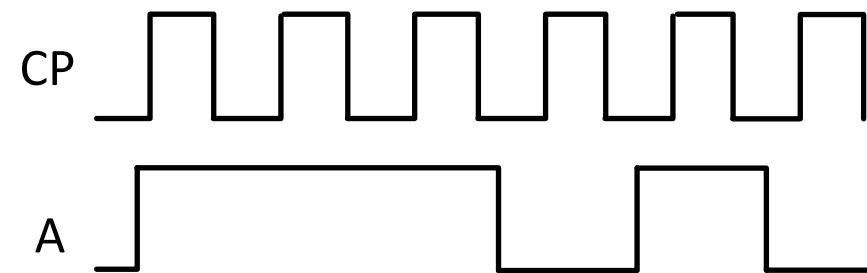
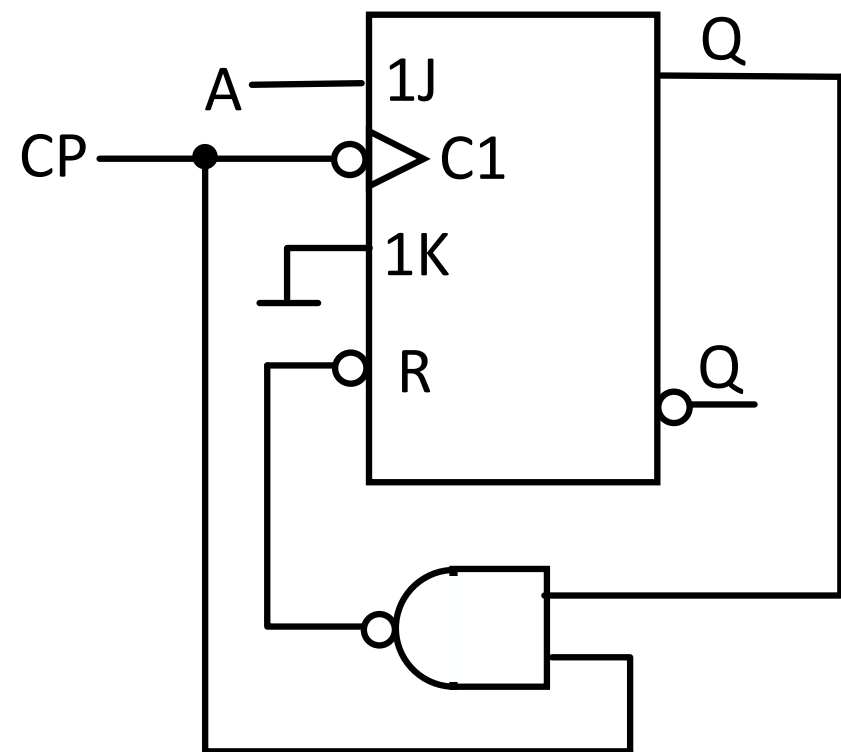


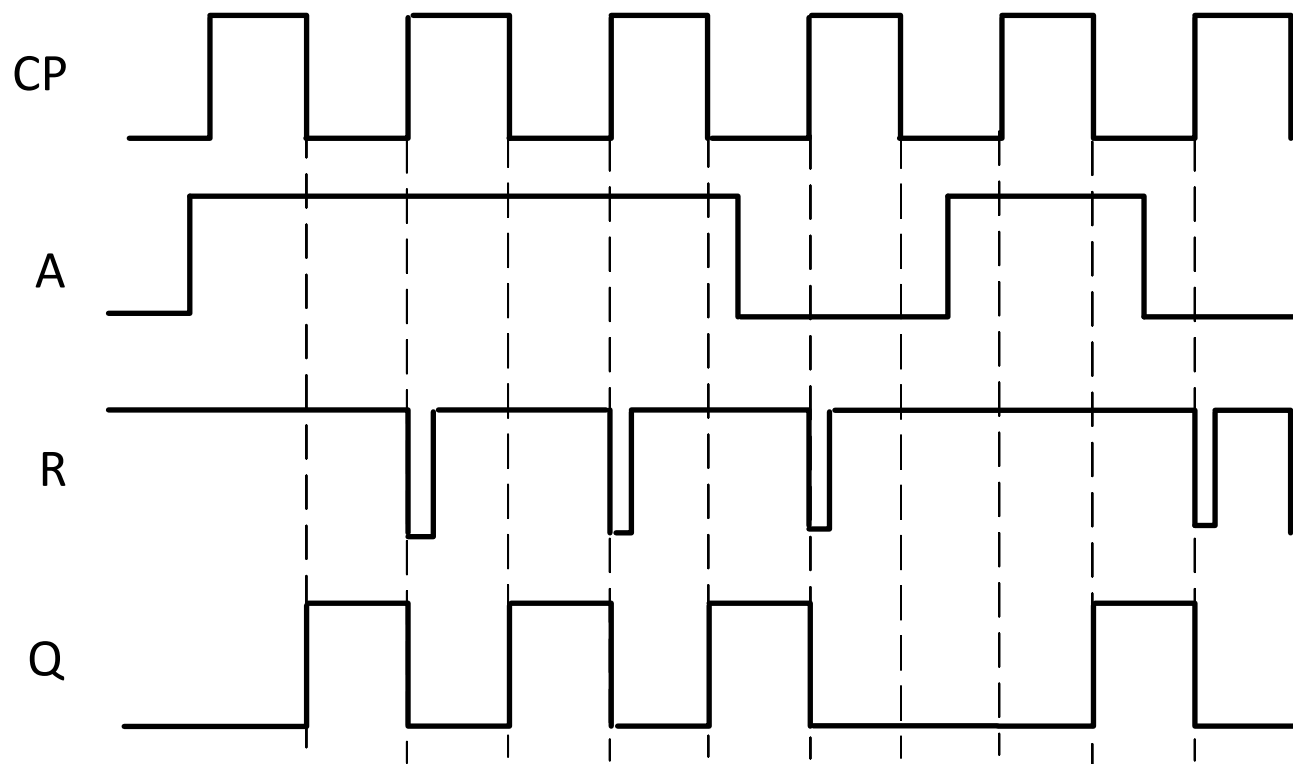
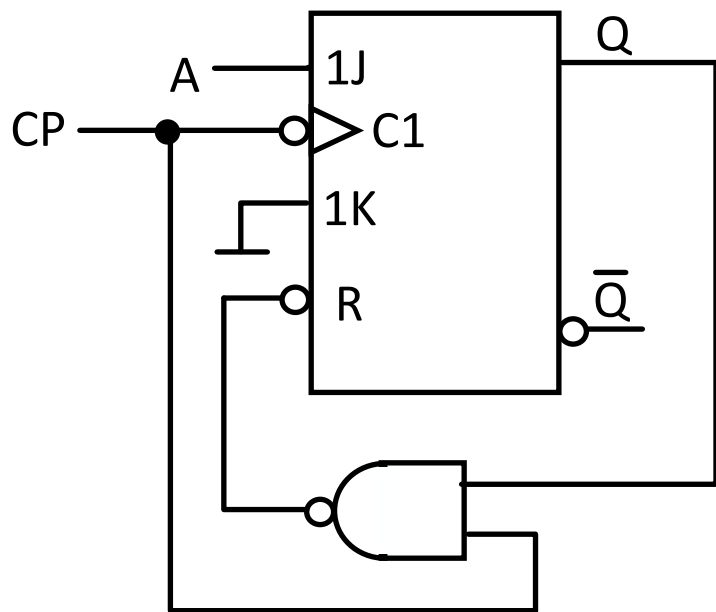
| | | A_0 | |
|-------|---|-------|-------|
| | | 0 | 1 |
| A_1 | 0 | D_0 | D_1 |
| | 1 | D_2 | D_3 |

| | | B | |
|-----|---|----------------|----------------|
| | | 0 | 1 |
| A | 0 | \overline{C} | C |
| | 1 | $C+D$ | \overline{D} |

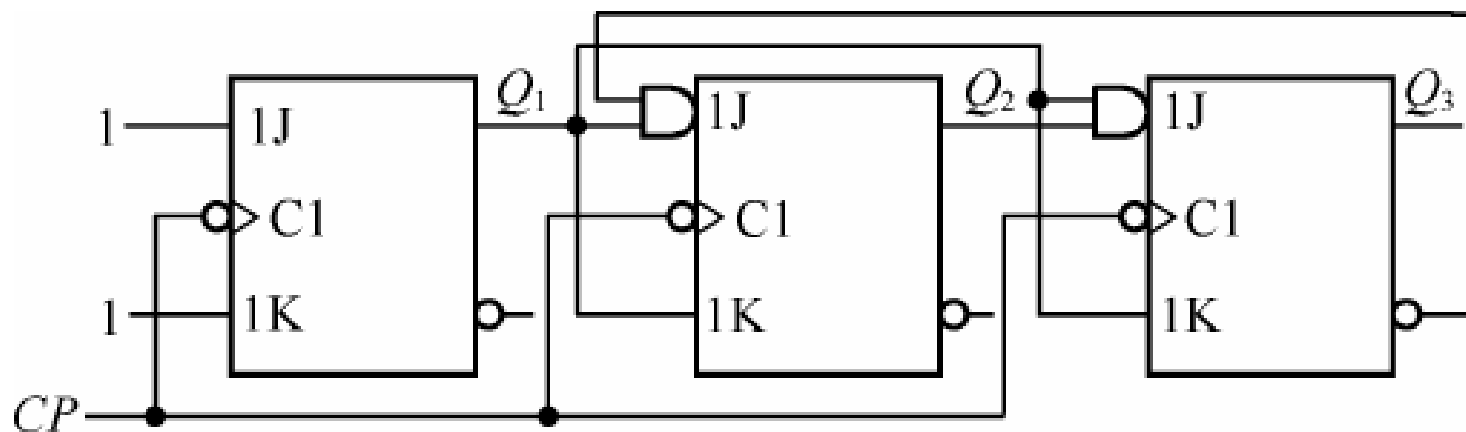


6. 逻辑电路如图所示，已知CP和A的波形，请画出触发器Q端的波形，假设触发器的初始状态为0。





7.分析下图同步计数电路，画出状态转移图并说明能否自启动。

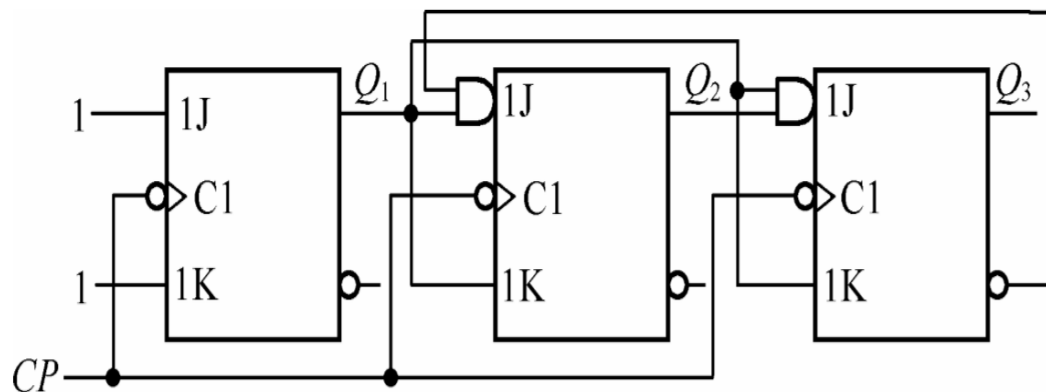


①根据电路图写出三组方程

a. 激励方程 b. 次态方程 c. 输出方程

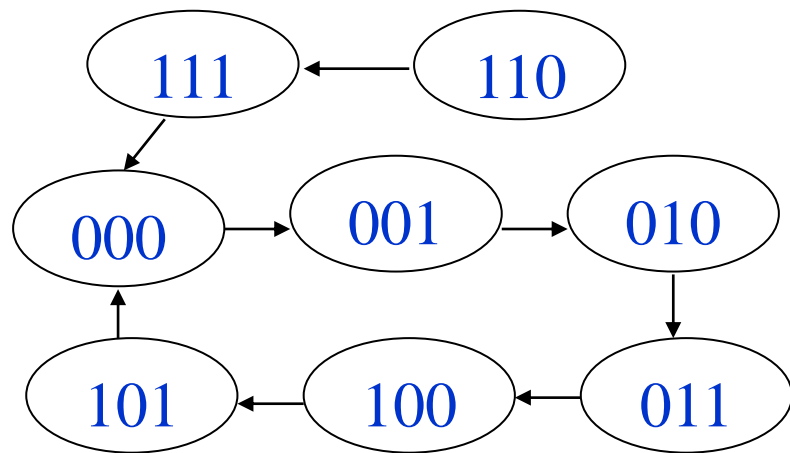
②作状态转移表或状态转移图或波形图

③电路的逻辑功能描述



状态转移图

$Q_3Q_2Q_1$



该电路具有自启动性。

解：激励方程：

$$J_1=K_1=1; \quad J_2=Q_1^n \bar{Q}_3^n, \quad K_2=Q_1^n$$

$$J_3=Q_1^n Q_2^n, \quad K_3=Q_1^n$$

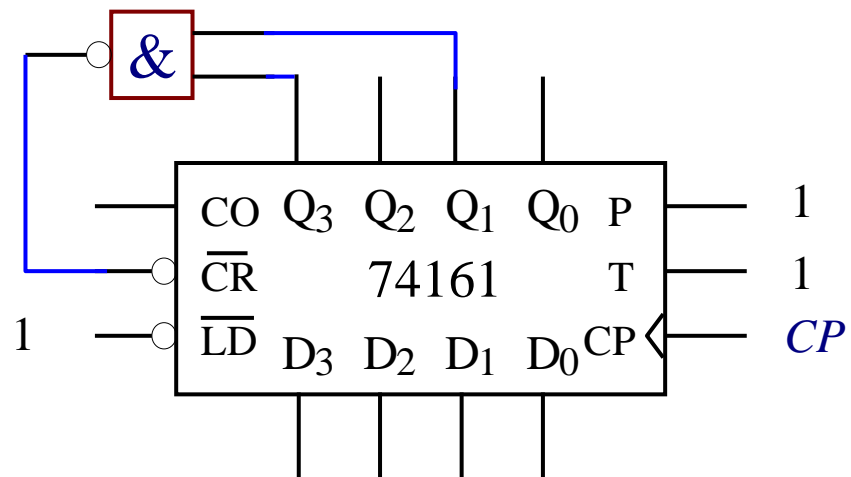
状态方程：

$$Q_1^{n+1}=[\bar{Q}_1^n] \cdot CP \downarrow$$

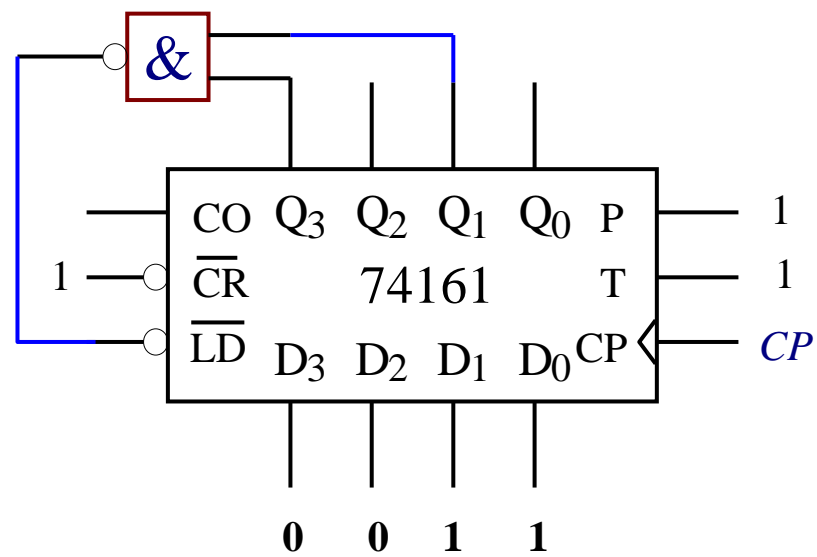
$$Q_2^{n+1}=[Q_1^n \bar{Q}_3^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n] \cdot CP \downarrow$$

$$Q_3^{n+1}=[Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_1^n Q_3^n] \cdot CP \downarrow$$

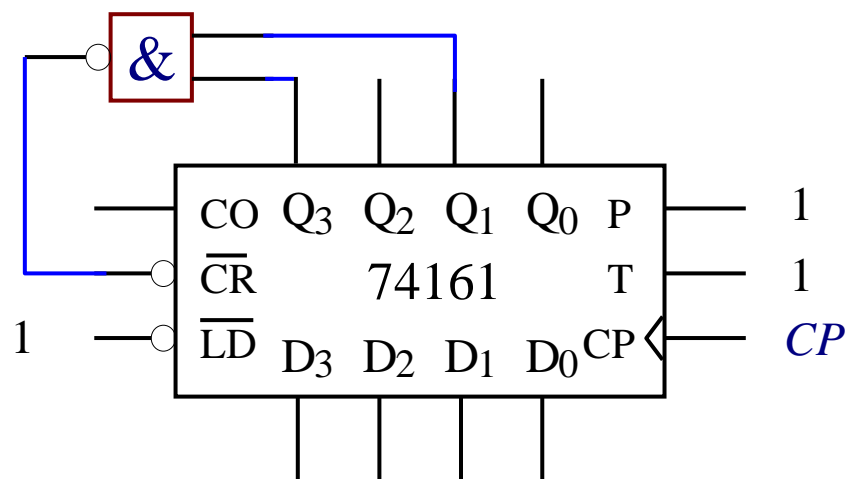
8.试写出下图各电路的状态转移表。



(a)



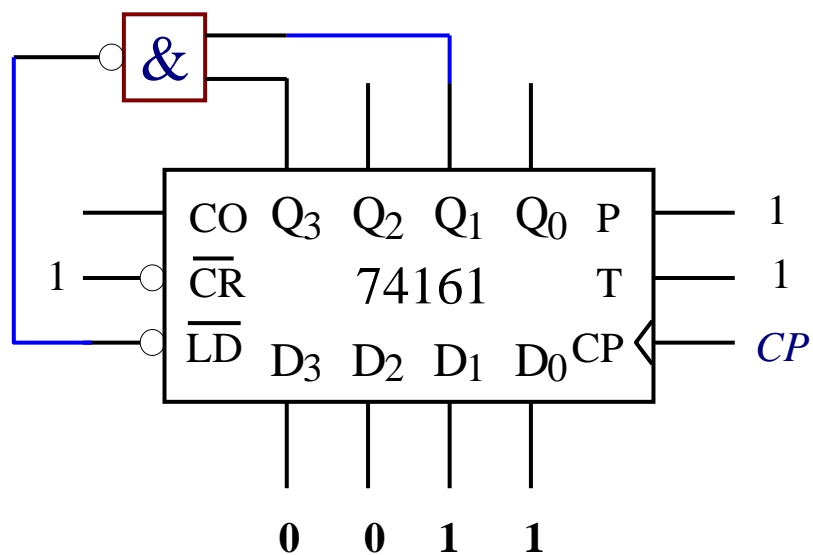
(b)



(a)

| 序号 | Q_3 | Q_2 | Q_1 | Q_0 |
|----|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 1/0 | 0 | 1/0 | 0 |

起跳状态
反馈状态

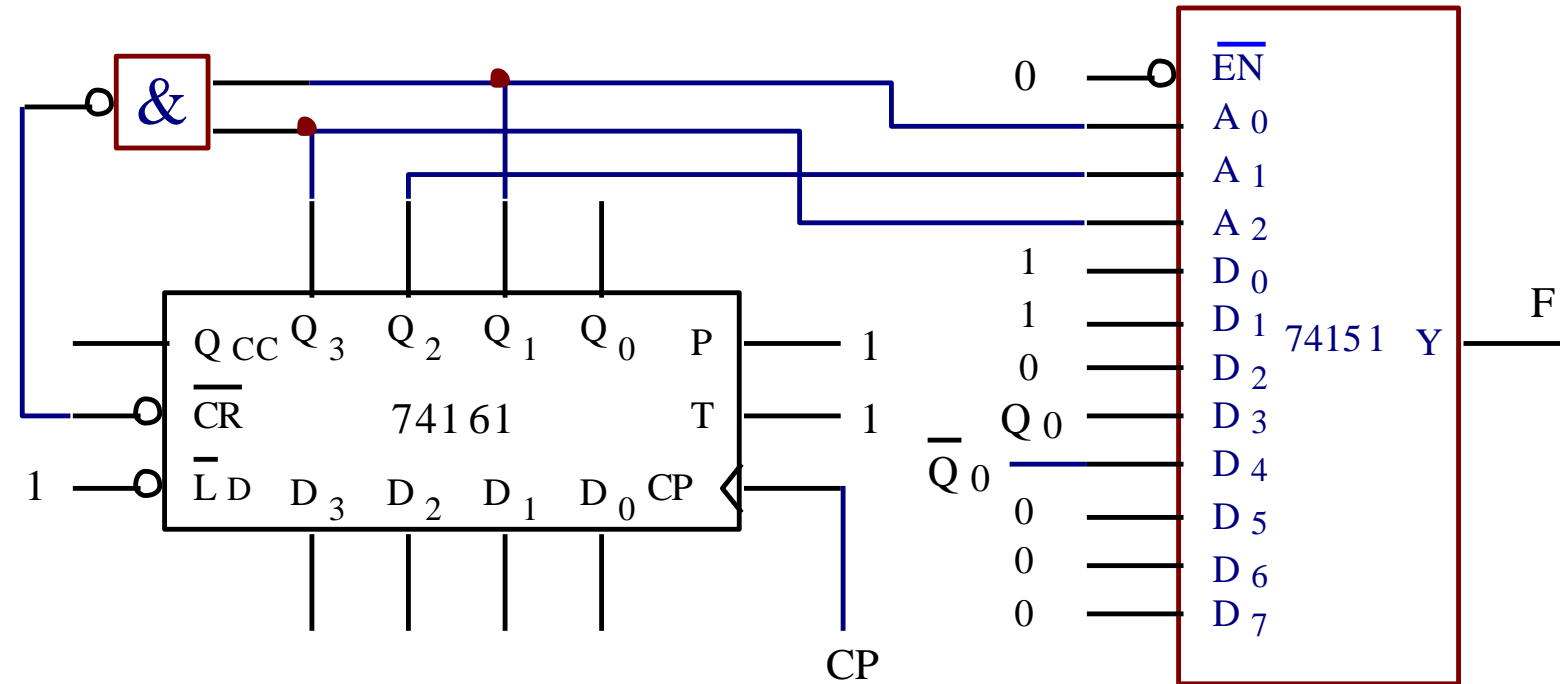


(b)

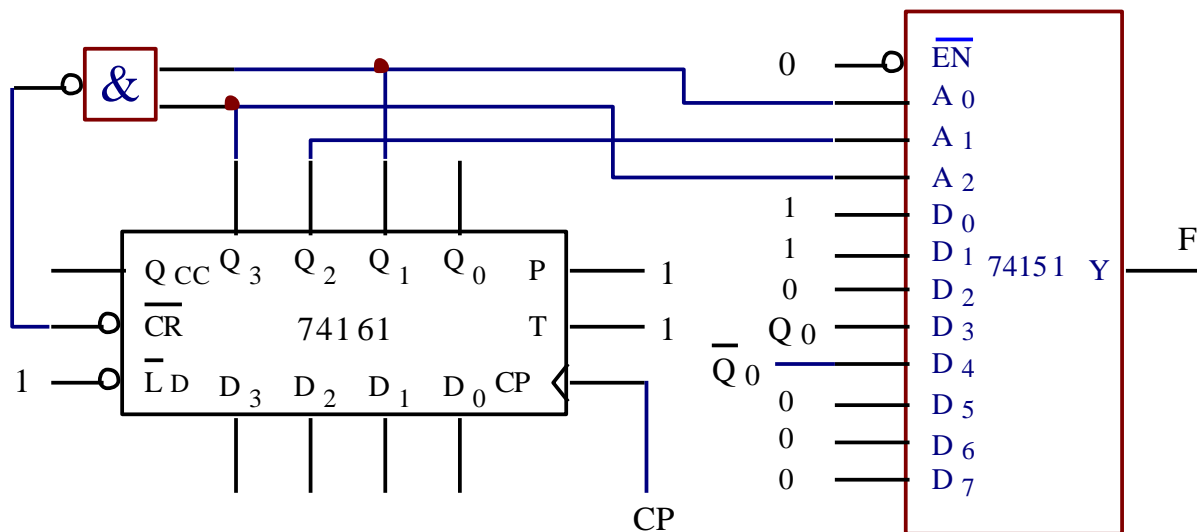
| 序号 | Q_3 | Q_2 | Q_1 | Q_0 |
|----|-------|-------|-------|-------|
| 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 1 | 1 |
| 5 | 1 | 0 | 0 | 0 |
| 6 | 1 | 0 | 0 | 1 |
| 7 | 1 | 0 | 1 | 0 |

起跳状态 反馈状态

9. 写出下图中74161输出端的状态编码表及74151输出端产生的序列信号。



解：74161采用复0法，实现模 $M=10$ 的计数器



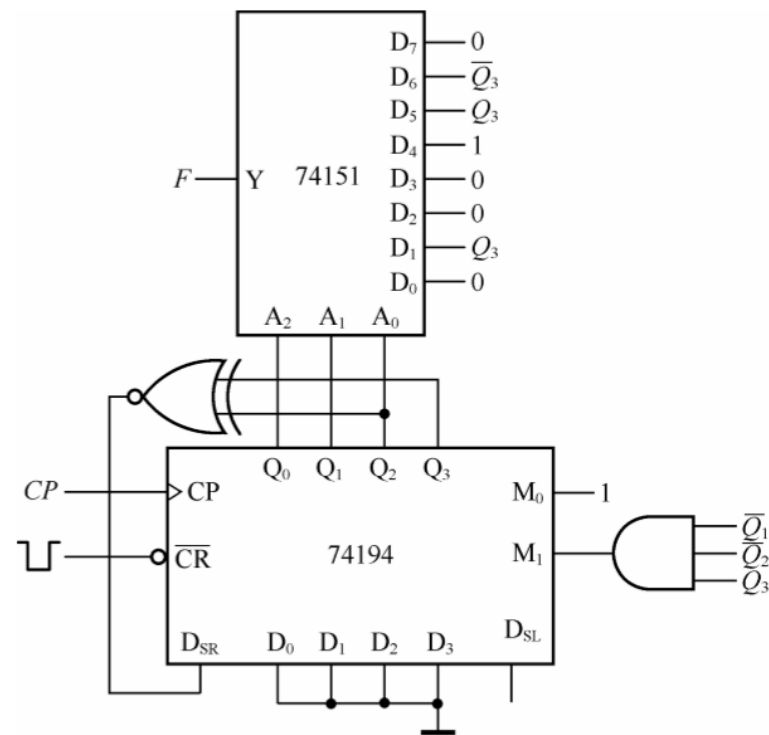
| Q_3 | Q_2 | Q_1 | Q_0 | F |
|-------|-------|-------|-------|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1/0 | 0 | 1/0 | 0 | |

74151输出端产生的序列信号为：1111000110, ...

10.写出图中的74194输出端的编码表及数据选择器输出端F处的序列信号。

$$D_{SR} = \overline{Q_2^n \oplus Q_3^n} = Q_2^n Q_3^n + \overline{Q_2^n} \overline{Q_3^n}$$

$$M_1 = \overline{Q_1^n} \overline{Q_2^n} Q_3^n$$



| 序号 | D_{SR} | Q_0 | Q_1 | Q_2 | Q_3 | F | M_1 |
|----|----------|-------|-------|-------|-------|-----|-------|
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 4 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 5 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 7 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 9 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |

F处的序列为：0110010011。

11. (1) 如图 (a) 所示的PLA阵列, 写出 F_1 的逻辑表达式; (2) 对 F_1 进行化简后, 在图 (b) 中重新表示。

解: $F_1(A, B, C) = \sum m(0, 1, 3, 7)$ 。化简后可得: $F_2 = \bar{A}\bar{B} + BC$ 。用PLA重新表示 F_1 如图 (b) 所示。

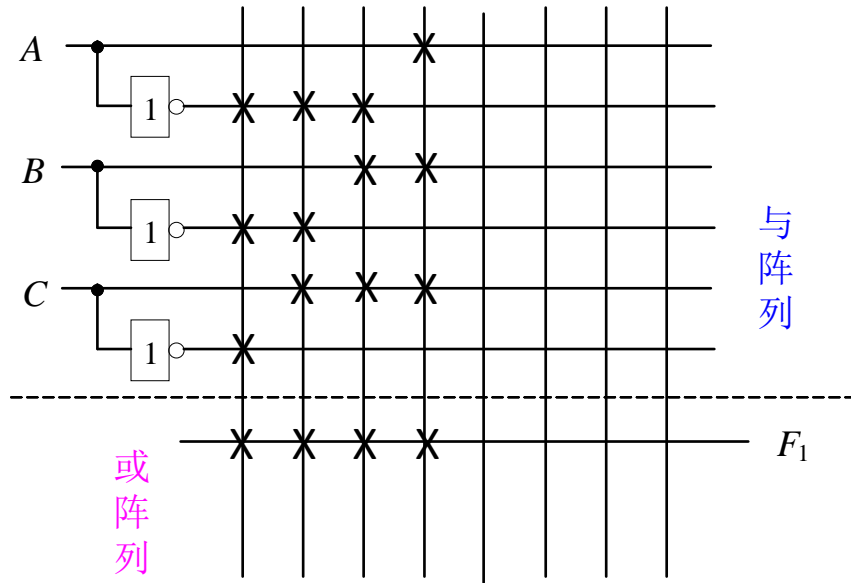


图 (a)

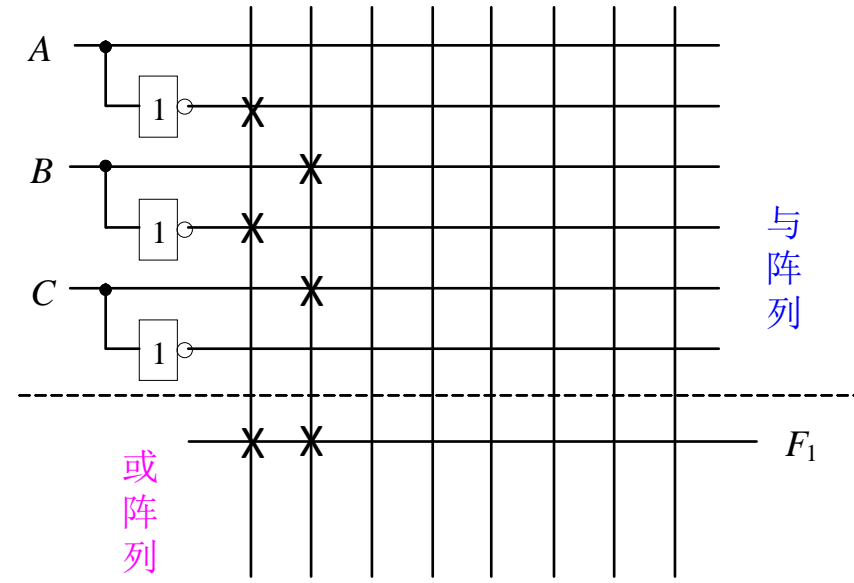
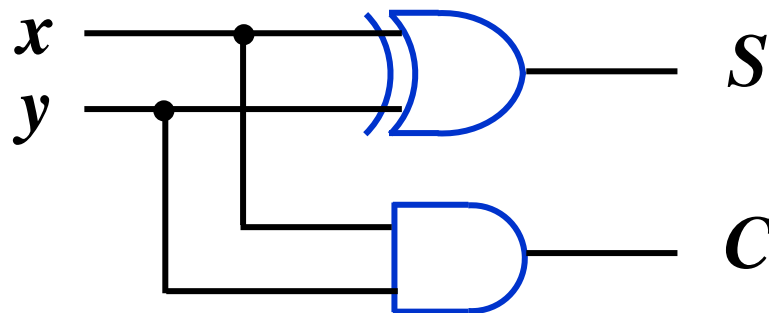


图 (b)

12.Verilog HDL 描述组合电路、触发器

```
//module half_adder (S, C, x, y); 1995版  
//output S, C;  
//input x,y;  
module half_adder (output S, C, input x, y); 2001、2005版  
xor (S, x, y);  
and (C, x, y);  
endmodule
```



//D flip-flop with asynchronous reset (V2001,V2005)

module DFF (**output reg** Q, **input** D, CLK, RST);

always @ (posedge CLK , negedge RST)

begin

if (!RST) Q <= 1'b0; //same as: **if** (RST == 0)

else Q <= D;

end

endmodule

