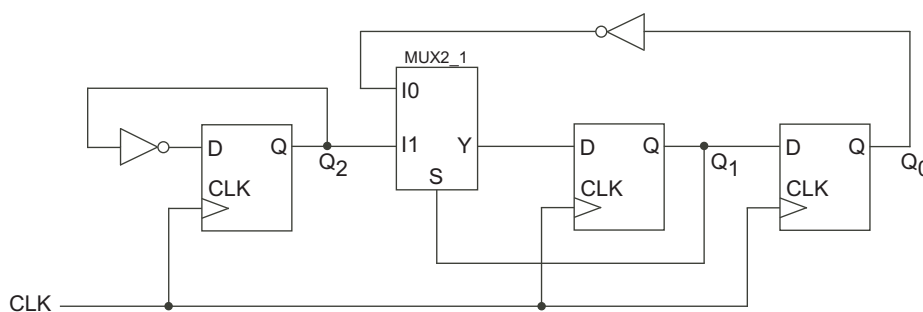


AOCO (1ª parte): Questões e exercícios adicionais (soluções)

As questões de escolha múltipla (secção 1) e os problemas de resposta aberta (secção 2) foram retirados de testes de AOCO dos anos anteriores.

1 Questões de escolha múltipla

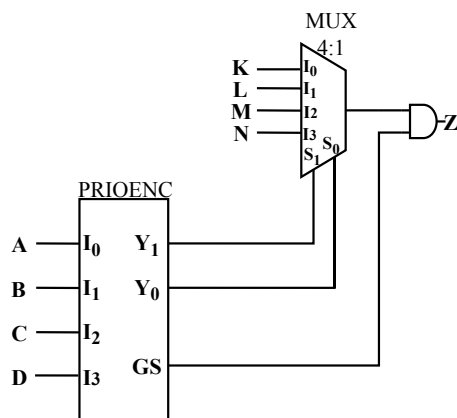
1. Considere os números sem sinal $S=10110000_2$ e $T=00110111_2$. O resultado da operação $S-T$ é:
A. 01101001_2 B. 01011001_2 C. 01111101_2 **D. 01111001_2**
2. Qual das seguintes funções **não** é equivalente a $F(A, B, C) = (A + B) \cdot (\overline{B} + C)$?
A. $F(A, B, C) = (A + B + A) \cdot (\overline{B} + B \cdot C)$
B. $F(A, B, C) = \overline{\overline{B} + \overline{C}} + A \cdot \overline{B}$
C. $F(A, B, C) = B \cdot C + A \cdot \overline{B}$
D. $F(A, B, C) = \overline{B} \cdot C + A \cdot B$
3. A representação hexadecimal do número X no formato IEEE-754 é C0700000. Indique o valor decimal de X.
A. -3,75 B. -2,75 C. 5 D. -3
4. Quantas linhas da tabela de verdade da função $F(X, Y, Z) = \overline{X} \cdot \overline{Y} + \overline{X} \cdot Y \cdot Z + \overline{X} \cdot Z$ estão a 1?
A. 5 B. 7 C. 4 **D. 3**
5. Que conjunto de circuitos **não** permite implementar todas as funções booleanas possíveis?
A. {OR2, NOT} B. {MUX4:1} C. {NAND2} **D. {AND2, OR2}**
6. A figura apresenta um circuito com *flip-flops* D e um multiplexador de 2 para 1.



Considere que o valor inicial na saída dos *flip-flops* é 0. Indique o estado do circuito, $Q_2Q_1Q_0$, após quatro transições do sinal de relógio.

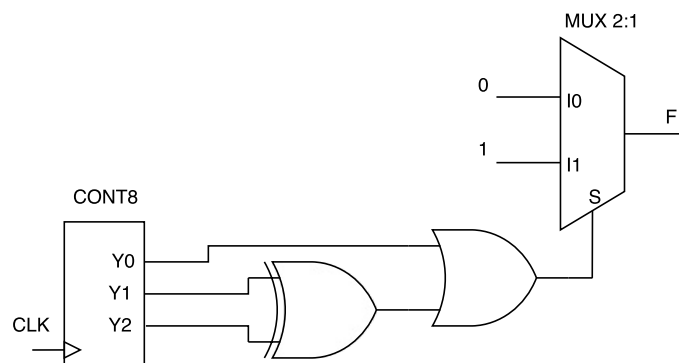
- A. 110 B. 101 **C. 000** D. 111
7. No sistema de memória de um CPU com 16 bits de endereço e 8 bits de dados, o sinal de *chip select* de uma memória RAM de 8 KiB é definido por $CS = \overline{A_{15}} \cdot A_{13}$. Que endereços do CPU são mapeados nessa memória?
A. 2000_H-5FFF_H B. 2000_H-7FFF_H
C. 2000_H-3FFF_H e 6000_H-7FFF_H D. 4000_H-5FFF_H e 8000_H-9FFF_H

8. No seguinte circuito, a entrada I_0 do codificador de prioridade é a entrada de menor prioridade.



Suponha que as entradas (DCBA) assumem sucessivamente os valores (0110), (1010) e (0001). Então, a saída Z assume sucessivamente os valores:

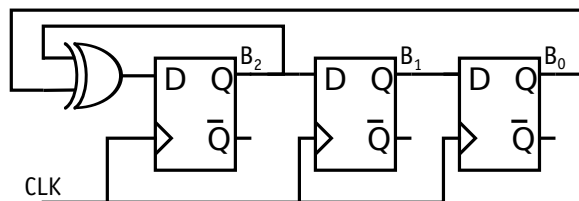
- A. L, L, K
B. M, N, K
 C. M, N, L
 D. L, K, M
9. A saída F do circuito mostrado abaixo repete-se a cada 8 períodos do sinal de relógio CLK ligado a um contador binário.



O padrão repetido é:

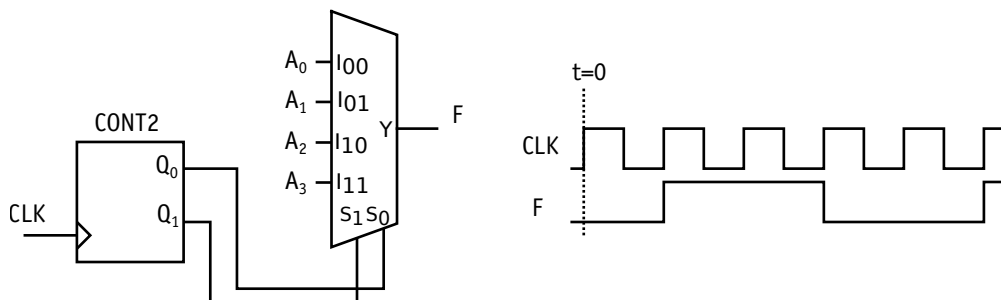
- A. **01111101** B. 01101111 C. 10111110 D. 01110101
10. O intervalo de números inteiros representáveis em complemento para dois com 7 bits é:
 A. [-63; 63] **B. [-64; 63]** C. [0; 127] D. [-64; 64]
11. Qual das seguintes expressões booleanas é equivalente a $X \cdot Y + \overline{X} \cdot Y \cdot Z$?
 A. $Y \cdot (X + \overline{Y} + Z)$ B. $\overline{\overline{X \cdot Y} + \overline{X \cdot Y \cdot Z}}$
 C. $(\overline{X} + \overline{Y}) \cdot (X + \overline{Y} + \overline{Z})$ D. $\overline{(\overline{X \cdot Y}) \cdot (\overline{X \cdot Y \cdot Z})}$
12. Quantos bits tem um barramento de endereços de um banco de 64 registos de 32 bits?
 A. 32 B. 64 **C. 6** D. 5
13. Um CPU tem um barramento de dados de 8 bits e um barramento de endereços de 20 bits. Pretende-se dotar o sistema de uma memória RAM de $2^{15} \times 8$ bit, cuja primeira posição corresponda ao endereço D4000_H. Qual é o endereço da última posição assumindo descodificação total?
 A. DFFFF_H B. D7FFF_H C. D4FFF_H **D. DBFFF_H**
14. Considere a representação em complemento para dois com 8 bits. O menor número que pode ser somado a 00101100₂ sem causar *overflow* é:
 A. 11010100₂ **B. 10000000₂** C. 10101100₂ D. 11111111₂

15. Um parque de estacionamento tem 350 lugares. O sistema de *hardware* que controla as entradas guarda o número de lugares ocupados num registo com N bits. Qual é o menor valor possível de N ?
 A. 8 **B. 9** C. 11 D. 10
16. Considere os números $S = 1010111_2$ e $T = 0111000_2$. Tendo em conta que os números estão representados em sinal e grandeza com 7 bits, o resultado da operação binária $S+T$ é:
 A. Não é possível representar com 7 bits B. 0101001 C. 1001111 **D. 0100001**
17. Considerar o circuito da figura em que inicialmente $B_2 = B_1 = 0$ e $B_0 = 1$.



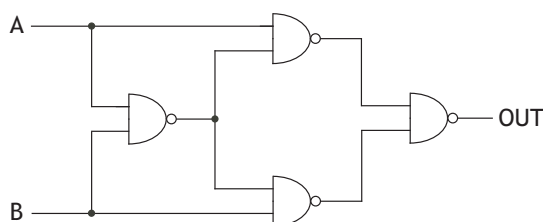
Após 5 ciclos de relógio, o estado do sistema é:

- A. $B_2 = 1$ $B_1 = 0$ $B_0 = 1$
 B. $B_2 = 1$ $B_1 = 1$ $B_0 = 1$
 C. $B_2 = 0$ $B_1 = 1$ $B_0 = 1$
 D. $B_2 = 0$ $B_1 = 0$ $B_0 = 1$
18. Um CPU tem um barramento de endereços de 18 bits e um barramento de dados de 8 bits. Supor que apenas dispõe de circuitos RAM com 64 KiB (com 8 bits por posição). Quantos circuitos RAM são necessários para dotar o sistema da maior capacidade de memória possível?
 A. 8 B. 2 **C. 4** D. 16
19. Considere o seguinte circuito e a forma de onda gerada.



Para $t = 0$, $Q_1 Q_0 = 00$. Quais são os valores das entradas $A_3 A_2 A_1 A_0$?

- A. 1100 **B. 0110** C. 0101 D. 0011
20. Considere a figura seguinte.



O circuito realiza a função: A. $\overline{A \cdot B} + \overline{A} \cdot B$ B. $\overline{A \cdot B}$ C. $(A + B) \cdot \overline{(A + B)}$ **D. $A \oplus B$**

2 Problemas de resposta aberta

1. A representação em formato IEEE 754 (precisão simples) de B é $40A00000_{16}$. Seja $A = -2,5_{10}$.

(a) Converter A para o formato IEEE 754 e apresentar o resultado da conversão em hexadecimal.

A é negativo: sinal é 1.

$$2,5_{10} = 10,1_2 = 1,01 \times 2^1$$

Expoente codificado é $127+1 = 128 = 10000000_2$

Codificação de A : $1 \mid 10000000 \mid 01000\dots 0 = C0200000_{16}$

(b) Apresentar todos os passos do cálculo de $A \times B$ (em binário).

Codificação de B : $0 \mid 10000001 \mid 01000\dots 0$

1. Sinal: negativo (operandos com sinais diferentes)

2. Expoente: $10000000 + 10000001 = 100000001$
Subtraindo 127_{10} : $100000001 - 01111111 = 10000010$

3. Produto das mantissas: $1,01 \times 1,01 = 1,1001$

4. Normalização: desnecessária.

O resultado é: $1 \mid 10000010 \mid 100100\dots 0 = C1480000_{16}$.

2. Considere os números X e Y cujos valores decimais são respetivamente -57 e 71. Considere também $Z = AC0_{16}$.

(a) Determine o valor decimal Z considerando que este é um número sem sinal.

$$Z = 10 \times 16^2 + 12 \times 16^1 = 2752_{10}$$

(b) Represente X e Y em complemento para 2 com 10 bits.

$$X = 1111000111_2 \text{ e } Y = 0001000111_2$$

(c) Qual deve ser o tamanho mínimo da representação de X e Y para que não ocorra *overflow* na operação $X - Y$?

$$X - Y = -57 - 71 = -128$$

Como a gama de representação com N bits, em complemento para 2, é $[-2^{N-1}; 2^{N-1}-1]$, é necessário ter no mínimo $N = 8$.

3. Considerando a norma IEEE-754 para a representação de números em vírgula flutuante de 32 bits, responda às seguintes questões.

(a) Indique o valor decimal do número representado por $BEA00000_{16}$.

$$\text{BEA00000}_{16} = 10111110101000000000000000000000_2$$

Como primeiro bit é 1, o sinal do número é negativo.

$$\text{Expoente Real: } 01111101_2 - 01111111_2 = 125 - 127 = -2$$

$$\text{Valor da Mantissa: } 1.010000_2 = 2^0 + 2^{-2} = 1.25$$

$$\text{Valor decimal: } -\text{Valor da Mantissa} \times 2^{\text{Expoente}} = -1.25 \times 2^{-2} = -1.25 \times 0.25 = -0.3125$$

- (b) Para o caso de um expoente real igual a 4, indique o valor máximo representável. Apresente o resultado em notação hexadecimal.

O maior número representável deve ser positivo e ter a maior mantissa possível. Assim o bit de sinal será 0 e a mantissa será $1,1111(\dots)_2$.

Quanto ao expoente, dado que o expoente real é 4:

$$\text{Expoente}_{\text{Real}} = 00000100_2 + 01111111_2 = 10000011_2$$

Assim sendo, a representação em binário é: $01000001111111111111111111111111_2$

A correspondente representação em hexadecimal é: 41FFFFFF_{16}

- (c) A representação dos números reais X e Y no formato IEEE-754 é:

$$X: 40\text{E00000}_{16}$$

$$Y: 42040000_{16}$$

Realize a operação $X + Y$ (sem conversão para decimal), indicando todos os passos.

$$\text{Exp}_X = 10000001_2 - 01111111_2 = 00000010_2 \quad (= 2_{10})$$

$$\text{Exp}_Y = 10000100_2 - 01111111_2 = 00000101_2 \quad (= 5_{10})$$

$$\text{Mant}_X = 1,11_2$$

$$\text{Mant}_Y = 1,00001_2$$

Como o valor absoluto de X é menor que o de Y , a mantissa de X deve ser deslocada de $00000101_2 - 00000010_2 = 00000011_2 (= 3_{10})$ posições para a direita.

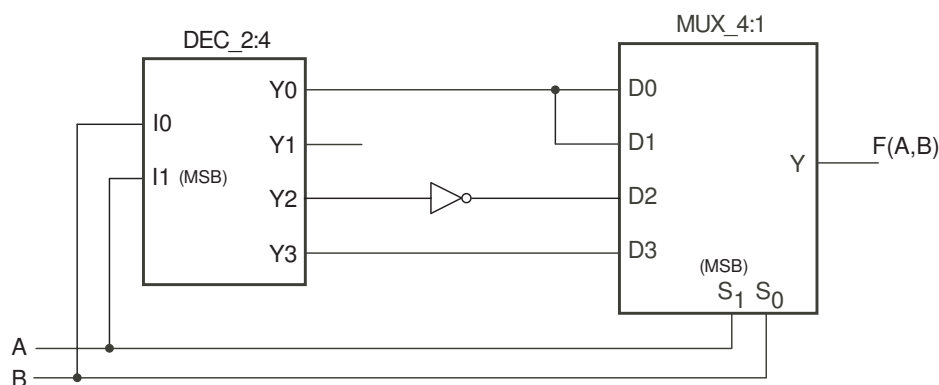
$$\text{Mant}_X = 0,00111_2 \quad (\text{expoente comum aos dois números é } 00000101_2 = 5_{10})$$

$$\text{Somando as mantissas: } 0,00111_2 + 1,00001_2 = 1,01000_2$$

Como o resultado da soma está normalizado, o resultado final é:

$$01000010001000000000000000000000_2 = 42200000_{16}$$

4. A figura mostra um circuito, com duas entradas A e B , e uma saída $F(A, B)$, composto por um decodificador de 2 para 4 e um multiplexador de 4 para 1.



- (a) Determine
- $F(1,0)$
- .

$AB = 10$ à entrada do decodificador ativa a saída Y_2 , i.e., $Y_2 = 1$, permanecendo as restantes saídas em 0. As entradas de seleção do multiplexador com $AB = 10$ determinam a seleção da entrada D_2 , encaminhando o valor nela presente (0) para a saída F . Portanto, $F(1,0) = 0$.

- (b) Defina a função
- $F(A, B)$
- realizada pelo circuito numa tabela de verdade.

Aplicando o procedimento usado na alínea anterior às restantes combinações das entradas A e B obtém-se:

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

5. O sistema de controlo de um frigorífico regista a temperatura em décimos de grau centígrado usando números inteiros. A gama de temperaturas prevista vai de -20°C a 10°C . Indique uma representação binária apropriada com o menor número possível de bits. Cada valor da temperatura deve ter uma representação única.

Como há valores positivos e negativos, deve usar-se uma representação com sinal. A representação em sinal e grandeza tem dois códigos para o valor 0. Portanto, usar a representação em complemento para dois.

Em décimos de grau, a gama a representar é $[-200; 100]$. São necessários 9 bits (gama $[-256; +255]$), porque a gama da representação em complemento para dois com N bits é $[-2^{N-1}; 2^{N-1}-1]$

6. A representação em formato IEEE 754 (precisão simples) de B é $40A00000_{16}$. Seja $A = -2,5_{10}$.

- (a) Converter
- A
- para o formato IEEE 754 e apresentar o resultado da conversão em hexadecimal.

A é negativo: sinal é 1.

$$2,5_{10} = 10,1_2 = 1,01 \times 2^1$$

Expoente codificado é $127+1 = 128 = 10000000_2$

Codificação de A : $1 \mid 10000000 \mid 01000\dots 0 = C0200000_{16}$

- (b) Apresentar todos os passos do cálculo de
- $A \times B$
- (em binário).

Codificação de B : $0 \mid 10000001 \mid 01000\dots 0$

1. Sinal: negativo (operandos com sinais diferentes)

2. Expoente: $10000000 + 10000001 = 100000001$

Subtraindo 127_{10} : $100000001 - 01111111 = 10000010$

3. Produto das mantissas: $1,01 \times 1,01 = 1,1001$

4. Normalização: desnecessária.

O resultado é: $1 \mid 10000010 \mid 100100\dots 0 = C1480000_{16}$.

7. A função booleana $F(X_2, X_1, X_0)$ tem o valor 1 se e só se o número de três bits $X_2X_1X_0$ for múltiplo inteiro (não-nulo) de 2 ou 3.

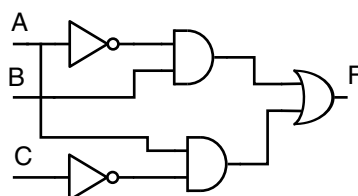
(a) Preencher a tabela de verdade de F apresentada a seguir.

X_2	X_1	X_0	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

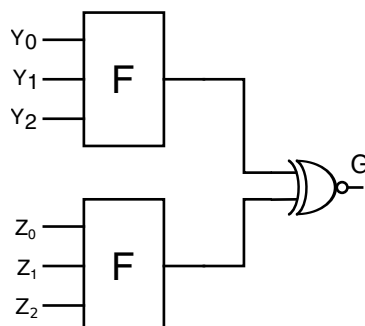
(b) Determinar a representação de F como soma de produtos simplificada.

$$F = \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot \overline{C} = \overline{A} \cdot B + A \cdot \overline{C}$$

(c) Apresentar o circuito lógico que implementa a função F .



(d) No circuito da figura, o bloco F implementa a função F . Explicar em que situações é que a saída $G(Y_2, Y_1, Y_0, Z_2, Z_1, Z_0)$ toma o valor 1.

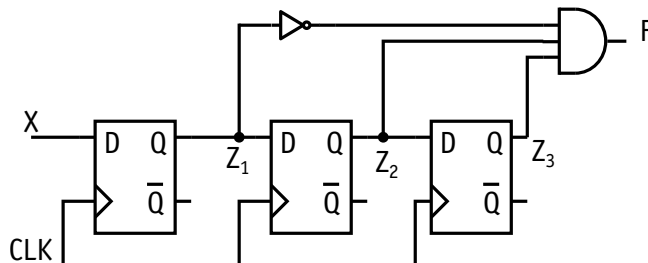


A porta XNOR é 1 sempre que as suas entradas são iguais.

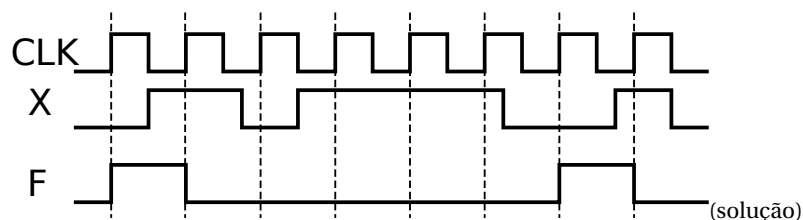
Portanto, $G = 1$ sempre que os valores A_2, A_1, A_0 e B_2, B_1, B_0 são ambos múltiplos de 2 ou 3, ou então quando nenhum dos valores é múltiplo de 2 ou 3. No primeiro caso,

não é necessário que sejam o mesmo múltiplo. Por exemplo, o número A_2, A_1, A_0 pode ser múltiplo de 3 e B_2, B_1, B_0 múltiplo de 2.

8. Considere o circuito sequencial indicado na figura.



- (a) Assumindo que inicialmente $Z_1 = Z_2 = Z_3 = 1$, apresentar a forma de onda da saída F para a sequência de valores da entrada X indicada. (Usar o diagrama apresentado a seguir).



- (b) Explicar a finalidade do circuito. Quando é que se tem $F = 1$?

- O sinal Z_1 é igual ao valor de X no ciclo anterior.
- O sinal Z_2 é igual ao valor de X dois ciclos antes.
- O sinal Z_3 é igual ao valor de X três ciclos antes.

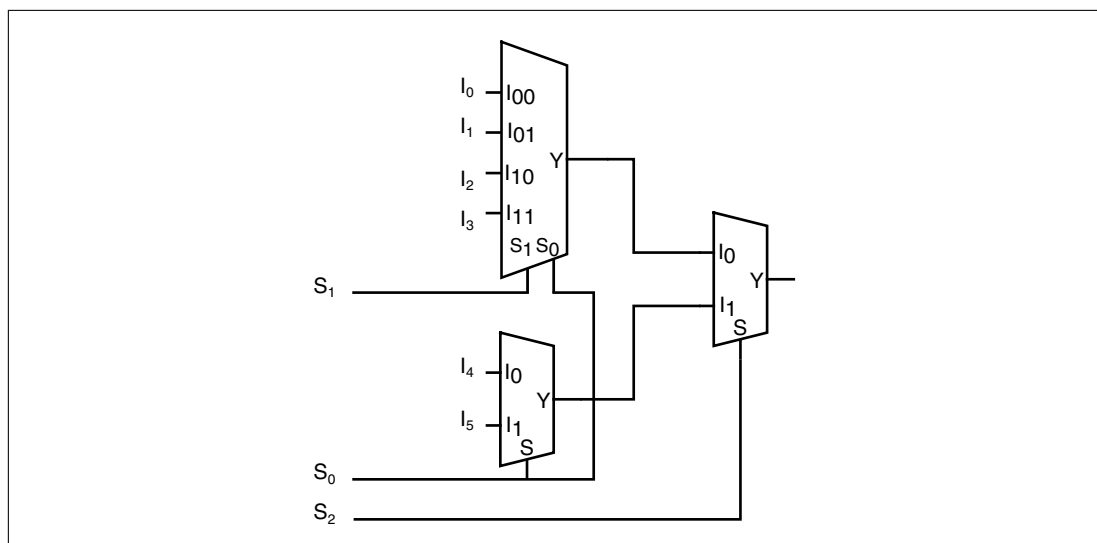
Como $F = \overline{Z_1} \cdot Z_2 \cdot Z_3$, a saída vem a 1 (um) sempre que valores sucessivos da entrada X constituem a sequência 110. (O circuito *deteta* a sequência 110.)

9. Simplificar algebricamente a seguinte expressão booleana: $\overline{A \cdot B + A \cdot C} + \overline{A} \cdot \overline{B} \cdot C$.

$$\begin{aligned}
 \overline{A \cdot B + A \cdot C} + \overline{A} \cdot \overline{B} \cdot C &= \overline{A \cdot B} \cdot \overline{A \cdot C} + \overline{A} \cdot \overline{B} \cdot C \\
 &= (\overline{A} + \overline{B}) \cdot (\overline{A} + \overline{C}) + \overline{A} \cdot \overline{B} \cdot C \\
 &= \overline{A} + \overline{A} \cdot \overline{C} + \overline{A} \cdot \overline{B} + \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C \\
 &= \overline{A} \cdot (1 + \overline{C} + \overline{B} + \overline{B} \cdot C) + \overline{B} \cdot \overline{C} \\
 &= \overline{A} + \overline{B} \cdot \overline{C}
 \end{aligned}$$

10. Um multiplexador 6:1 tem três entradas de seleção e 6 entradas de dados.

- (a) Mostrar como se constrói um multiplexador 6:1 a partir de multiplexadores 2:1 e 4:1.



- (b) Os valores das entradas de seleção do multiplexador 6:1 permitem especificar 8 valores diferentes. Indicar qual a entrada selecionada para cada valor (de acordo com o circuito apresentado na alínea anterior).

S_2	S_1	S_0	Entrada ligada à saída
0	0	0	I_0
0	0	1	I_1
0	1	0	I_2
0	1	1	I_3
1	0	0	I_4
1	0	1	I_5
1	1	0	I_4
1	1	1	I_5

11. A função booleana $F(A_1, A_0, B_1, B_0)$ tem o valor 1 se e só os números de 2 bits A_1A_0 e B_1B_0 diferirem exatamente de uma unidade.

- (a) Preencher a tabela de verdade de F apresentada a seguir.

A_1	A_0	B_1	B_0	F	A_1	A_0	B_1	B_0	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	1	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	0
0	1	1	0	1	1	1	1	0	1
0	1	1	1	0	1	1	1	1	0

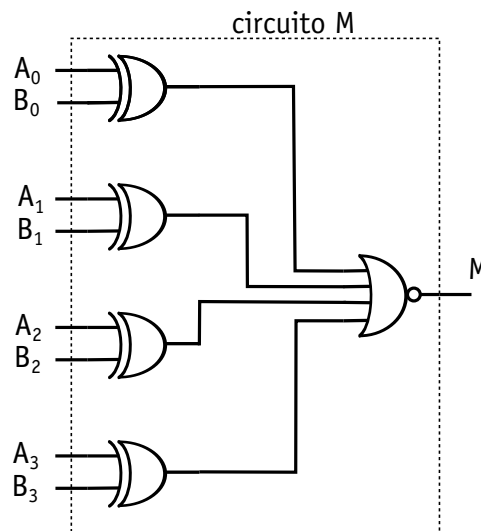
- (b) Mostrar que $F(A_1, A_0, B_1, B_0) = \overline{A_0} \cdot \overline{B_1} \cdot B_0 + \overline{A_1} \cdot A_0 \cdot \overline{B_0} + A_0 \cdot B_1 \cdot \overline{B_0} + A_1 \cdot \overline{A_0} \cdot B_0$.

Termo	Condição para termo = 1	Linhas da tabela de verdade
$\overline{A_0} \cdot \overline{B_1} \cdot B_0$	$A_0 = 0, B_1 = 0, B_0 = 1$	1, 9
$\overline{A_1} \cdot A_0 \cdot \overline{B_0}$	$A_1 = 0, A_0 = 1, B_0 = 0$	4, 6
$A_0 \cdot B_1 \cdot \overline{B_0}$	$A_0 = 1, B_1 = 1, B_0 = 0$	6, 14
$A_1 \cdot \overline{A_0} \cdot B_0$	$A_1 = 1, A_0 = 0, B_0 = 1$	9, 11

As linhas indicadas são exatamente as linhas que estão a 1 na tabela de verdade da alínea anterior, pelo que a expressão corresponde à função definida pela tabela.

Alternativa: construir a expressão soma-de-produtos a partir da tabela da alínea anterior e simplificar.

12. (a) O circuito M indicado na figura tem duas entradas de 4 bits $A = A_3A_2A_1A_0$ e $B = B_3B_2B_1B_0$. Indicar, justificando, qual é a função do circuito M?

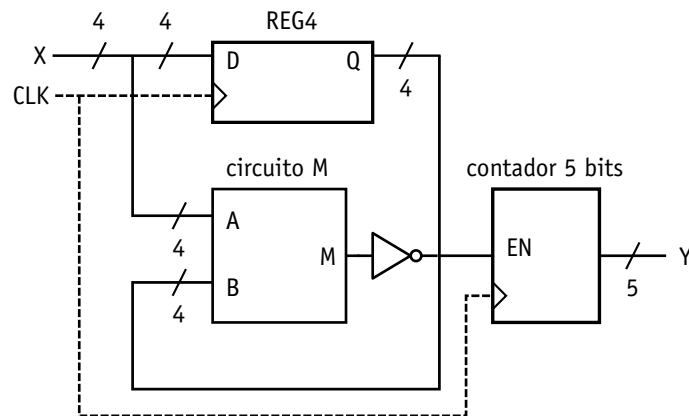


A saída vem a 1 sempre que todas as entradas da porta lógica NOR sejam 0.

Isso acontece quando os bits correspondentes de A e B são iguais.

O circuito é um comparador de igualdade: a saída fica a 1 apenas quando $A_3A_2A_1A_0 = B_3B_2B_1B_0$.

- (b) O circuito M é usado no circuito síncrono (sinal de relógio CLK) indicado na figura, que inclui ainda um registo de 4 bits e um contador de 5 bits. O circuito tem uma entrada X de 4 bits e usa saída Y de 5 bits. Assumir que a entrada X está sincronizada com o sinal de relógio CLK.



Assumindo que inicialmente $Y = 0$ e que o conteúdo do registro é o valor 7, determinar o valor da saída (valor inicial e nos 8 ciclos seguintes) para a seguinte sequência de valores de X (um valor por ciclo): **11, 5, 5, 9, 3, 3, 3, 2, 2**.

Notar que $EN = \overline{M}$ e que $Q = (\text{valor de } X \text{ no ciclo anterior})$. O contador incrementa a sua saída sempre que $EN = 1$ (na passagem do ciclo anterior para o atual).

ciclo	X	Q	M	EN	Y
inicial	11	7	0	1	0
1	5	11	0	1	1
2	5	5	1	0	2
3	9	5	0	1	2
4	3	9	0	1	3
5	3	3	1	0	4
6	3	3	1	0	4
7	2	3	0	1	4
8	2	2	1	0	5

Os valores de Y em ciclos sucessivos são (em decimal): 0 (valor inicial), 1, 2, 2, 3, 4, 4, 4, 5.

(c) Explicar a funcionalidade do circuito da alínea anterior.

O sinal de habilitação do contador (EN) está ativo (a 1) sempre que os valores de X e Q são diferentes. Em cada ciclo, Q é igual ao valor da entrada no ciclo anterior. Portanto, o circuito conta o número de alterações de valor da entrada X .

Fim.