



## Mestrado Integrado em Engenharia Informática e Computação Arquitetura e Organização de Computadores Teste 1

1º ano 2019-11-13 Duração 1:45 Sem consulta

| Nome: | ${ m N}^{{ m o}}$ de estudante: |
|-------|---------------------------------|
|       |                                 |

Atenção: Este teste tem 14 questões em 6 páginas, num total de 200 pontos.

## Parte I — Questões de Escolha Múltipla

Cada questão tem uma resposta certa. Respostas erradas não descontam.

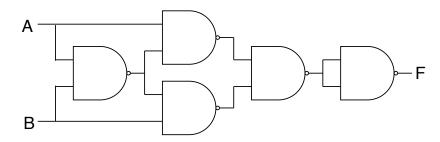
As respostas às questões de escolha múltipla devem ser assinaladas com x na grelha seguinte.

Apenas as respostas indicadas na grelha são consideradas para efeitos de avaliação.

|       | Questão |   |   |   |   |   |   |   |   |    |
|-------|---------|---|---|---|---|---|---|---|---|----|
| Opção | 1       | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| A     |         |   |   | × |   |   |   |   | × | ×  |
| В     | ×       |   | × |   |   |   |   | × |   |    |
| С     |         | × |   |   | × | × | × |   |   |    |
| D     |         |   |   |   |   |   |   |   |   |    |

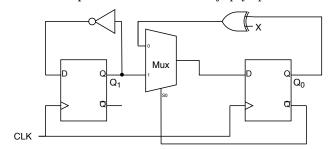
Pontos: \_\_\_\_ / 100

- [10] 1. Quantos valores do intervalo [1; 2[ podem ser representados em formato IEEE-754 (precisão simples)?
  - A.  $2^{24}$  B.  $2^{23}$  C.  $2^{32}$  D.  $\infty$
- [10] 2. O intervalo de números inteiros representáveis em sinal e grandeza com 9 bits é:
  - A. [-255; 256] B. [-256; 256] C. [-255; 255] D. [-256; 255]
- [10] 3. Indique qual a função realizada pelo circuito apresentado.

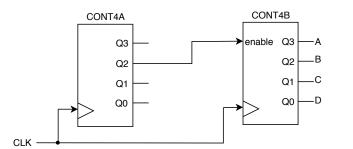


- A.  $F = A \oplus B$  B.  $F = \overline{A} \cdot \overline{B} + A \cdot B$  C.  $F = \overline{A} \oplus \overline{B}$  D.  $F = \overline{A} \cdot B + A \cdot \overline{B}$
- [10] 4. Considerando complemento para 2 com 8 bits, qual dos seguintes valores leva à ocorrência de overflow quando somado a 11010110<sub>2</sub>?
  - **A.** 10101001<sub>2</sub> B. 011111111<sub>2</sub> C. 010111110<sub>2</sub> D. 11010110<sub>2</sub>
- [10] 5. A soma de  $093_{\rm H}$  com  $1D6_{\rm H}$ , considerando que os valores estão representados em complemento para 2 com 9 bits, é:
  - A. 69<sub>10</sub> B. 42<sub>10</sub> C. 105<sub>10</sub> D. 41<sub>10</sub>

[10] 6. Indique o estado do circuito,  $Q_1Q_0$ , logo após o terceiro flanco ascendente de relógio. Considere que o valor inicial dos flip-flops  $\acute{e}$  0 e X  $\acute{e}$  sempre 1.

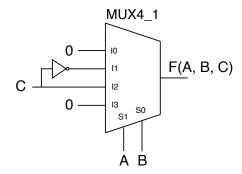


- A. 01
- B. 11
- **C.** 10
- D. 00
- [10] 7. Considere um codificador de prioridade 4:2 com entradas  $I_3I_2I_1I_0 = 1010$ . Assinale a alternativa que apresenta a saída desse circuito.
  - C. 11 A. 10 B. 00 D. 01
- [10] 8. Dois contadores de 4 bits são ligados conforme a figura. Considere que o valor inicial dos contadores é 0000 e a saída Q3 representa o bit mais significativo para ambos. Indique a saída do circuito, ABCD, após 10 ciclos de relógio.



- A. 0101
- **B.** 0100
- C. 0111
- D. 1010

[10] 9.



Considere a função F(A, B, C) desempenhada pelo circuito na figura. Na sua tabela de verdade, quantas linhas se encontram a 0?

B. 2 C. 3 D. 5 A. 6

- [10] 10. No sistema de memória de um CPU com 12 bits de endereço e 8 bits de dados, o sinal chip select de uma memória ROM de 1 KiB é definido por  $CS = A_{11}\bar{A}_0$ . Indique qual das gamas de endereçamento contém todos os endereços a que essa memória responde.
  - **A.**  $800_{H}$ -FFE<sub>H</sub> B.  $801_{H}$ -FFF<sub>H</sub> C.  $000_{H}$ -7FF<sub>H</sub> D.  $401_{H}$ -7FE<sub>H</sub>

Fim da parte I

## Parte II — Questões de Resposta Aberta

Atenção: Responder a cada questão numa folha separada. Justificar todas as respostas.

- 11. Considere os números A e B em que o valor de A é  $15,625_{10}$  e a representação do número B no formato IEEE-754 (precisão simples) é  $41000000_{\rm H}$ .
- [10] (a) Represente o número A segundo a norma IEEE-754. Apresente o resultado em hexadecimal.

 $15,625_{10} = 1111,101_2 \times 2^0$ , normalizando: 1,111101<sub>2</sub> × 2<sup>3</sup>

- Sinal: 0 (positivo);
- Expoente real: 3, logo o expoente codificado será 127 + 3 = 130 que em binário é 10000010;
- Mantissa: 1,111101···.

[20] (b) Determine  $A \times B$  apresentando o resultado em hexadecimal no formato IEEE-754.

A representação binária de B é: 0100 0001 0000 0000 0000 0000 0000. Portanto:

- Sinal: 0 (positivo);
- Expoente: 10000010<sub>2</sub> (decimal 130);
- Expoente real: 130 127 = 3;
- Mantissa:  $1,0\cdots$ ;
- Valor final: Deslocando a vírgula 3 posições para a direita obtém-se 1000,02, que em decimal é 8.

Uma vez que 8 é uma potência de 2, realizar a operação  $A \times B$  consiste em somar ao expoente real do número A o expoente real do número B. Desta forma o expoente real do resultado é 6. Logo, o resultado de  $A \times B$  é:

- Sinal: 0 (positivo);
- Expoente real: 6, logo o expoente codificado será 127 + 6 = 133 que em binário é 10000101;
- Mantissa: 1,111101...;

- 12. A função booleana OU-exclusivo (XOR, símbolo  $\oplus$ ) é definida como  $a \oplus b = a \cdot \overline{b} + \overline{a} \cdot b$ . Recordar que:  $a \oplus (b \oplus c) = (a \oplus b) \oplus c = a \oplus b \oplus c$ .
- [10] (a) Mostrar que os conjuntos de funções booleanas {AND, NOT} e {XOR, AND} são ambos completos, i.e., permitem representar todas as funções booleanas.

Para mostrar que um conjunto é completo, basta mostrar que pode implementar as operações booleanas definidas nos axiomas: AND, OR e NOT.

O conjunto {AND, NOT} já inclui duas dessas operações. A operação que falta, OR, pode ser definida à custa destas duas:  $a+b=\overline{\overline{a}\cdot\overline{b}}$ . Logo, o conjunto é completo. Quanto ao conjunto {XOR, AND}: a função NOT pode ser implementada por  $\overline{a}=a\oplus 1$ . Portanto, este conjunto é equivalente ao anterior e, logo, também é completo.

[5] (b) Qual  $\acute{e}$  o valor da seguinte expressão com n termos iguais?

$$\underbrace{x \oplus x \oplus x \dots \oplus x}_{n \text{ vezes}}$$

Apresentar o resultado em função do valor de n e justificar.

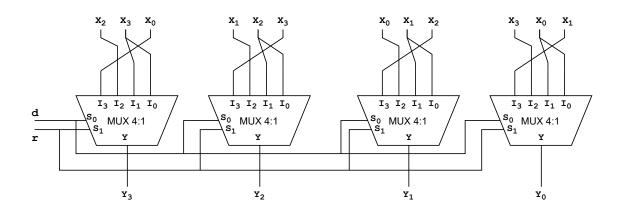
Tendo em atenção que

$$0 \oplus x = x$$

$$x \oplus x = 0$$

podemos eliminar os pares  $x \oplus x$  da expressão inicial, porque são equivalentes a 0. Portanto, para n par, a expressão indicada é 0; para n ímpar, fica reduzida a x.

[20] 13. Considerar o circuito seguinte.



Apresentar uma tabela com os valores das saídas  $Y_3Y_2Y_1Y_0$  em função das entradas d e r. Explicar a relação entre as entradas  $X_i$  ( $i \in \{0,1,2,3\}$ ) e as saídas  $Y_i$ .

Por inspeção, é possível construir a seguinte tabela para descrever o comportamento do circuito em função das entradas de controlo d e r (e para quaisquer valores das entradas de dados  $X_i$ ):

| r | d | $Y_3$ | $Y_2$ | $Y_1$                   | $Y_0$ |
|---|---|-------|-------|-------------------------|-------|
| 0 | 0 | $X_3$ | $X_2$ | $X_1$ $X_1$ $X_0$ $X_2$ | $X_0$ |
| 0 | 1 | $X_3$ | $X_2$ | $X_1$                   | $X_0$ |
| 1 | 0 | $X_2$ | $X_1$ | $X_0$                   | $X_4$ |
| 1 | 1 | $X_0$ | $X_3$ | $X_2$                   | $X_1$ |

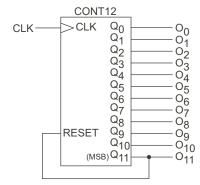
Pode ver-se que, para r = 0 (duas primeiras linhas), as saídas têm o mesmo valor que as entradas de dados  $(Y_i = X_i)$ .

Para r = 1, o sinal d define o sentido de rotação:

- d = 0: os valores das saídas são iguais aos das entradas, mas posicionados por rotação da sequência de entrada  $X_i$  de uma posição para a esquerda;
- d=1: os valores das saídas são iguais aos das entradas, mas posicionados por rotação da sequência de *uma posição* para a *direita*.

0 sinal r funciona como sinal de habilitação (enable): se r=0 não há rotação dos dados, se r=1 existe uma rotação (de uma posição) com o sentido definido por d.

14. Considerar o circuito com um contador de 12 bits. A entrada RESET, síncrona com o sinal de relógio, quando ativa (RESET=1) põe as saídas do contador a 0.



[10] (a) Assumir que o estado atual é  $O_{11}O_{10}\cdots O_0=0111111111110$ . Indicar, justificando, o estado do contador após 3 ciclos do sinal de relógio.

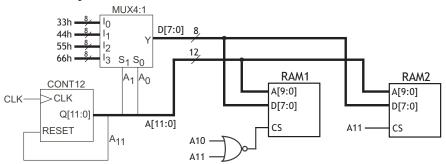
| Ciclo | Estado         | RESET |
|-------|----------------|-------|
| 0     | 0111 1111 1110 | 0     |
| 1     | 0111 1111 1111 | 0     |
| 2     | 1000 0000 0000 | 1     |
| 3     | 0000 0000 0000 | 0     |

No ciclo 2 a entrada RESET do contador é ativada. Como é síncrona com o sinal de relógio, o seu efeito (colocar as saídas do contador a zero) ocorre no ciclo seguinte.

[10] (b) Determinar o número de estados que podem ocorrer na saída O do circuito.

Entre 0000 0000 0000 e 0111 1111 1111 ocorrem  $2^{11} = 2048$  estados. Como ainda ocorre o estado 1000 0000 0000 (depois deste reinicia), então o total é 2049.

(c) Considerar que o contador é usado para gerar endereços de acesso a um sistema de memória formado por duas memórias RAM. Neste circuito apenas ocorrem operações de escrita, sendo os dados de 8 bits provenientes de um multiplexador conforme apresentado na figura. Assumir que o conteúdo inicial das memórias é 0.



[5] i. Determinar a capacidade de RAM1.

Capacidade de memória = nº posições × nº bits/posição =  $2^{10} \times 8$  bits = 1 KiB

[10] ii. Considerar a ocorrência de 2<sup>12</sup> ciclos de relógio a partir do estado 0. Nestas condições, determinar quantas posições de RAM2 são alteradas e o valor nela(s) escrito.

RAM2 só é selecionada para endereços com  $A_{11} = 1$ . O primeiro e único endereço em que tal ocorre é 1000 0000 0000. O endereço que sucede a este é 0000 0000 0000, devido ao *reset* do contador. Portanto, embora RAM2 utilize descodificação parcial de endereços, esta memória só é acedida uma vez considerando  $2^{12}$  ciclos de relógio a partir do estado 0. A posição acedida tem endereço 0 e o valor nela escrito é 33h ( $S_1S_0 = 00$  no multiplexador).

Fim.