

计算机系统综合设计 实验平台使用手册



西安电子科技大学 计算机科学与技术学院
计算机网络与信息安全国家级实验教学示范中心

张剑贤 刘锦辉 吴文华 陈勉 编写

2021 年 6 月

目 录

1. 实验平台硬件电路说明	- 1 -
1.1 硬件资源概述	- 1 -
1.2 硬件电路功能模块说明	- 7 -
1.2.1 USB 与 UART 转换电路	- 7 -
1.2.2 千兆以太网电路	- 7 -
1.2.3 拨动开关电路	- 8 -
1.2.4 键盘电路	- 8 -
1.2.5 Led 灯电路	- 9 -
1.2.6 数码管电路	- 10 -
1.2.7 蜂鸣器电路	- 10 -
1.2.8 音频电路电路	- 11 -
1.2.9 VGA 视频输出接口	- 11 -
1.2.10 HDMI 接口电路	- 12 -
1.2.11 Micro-SD 接口电路	- 12 -
1.2.13 QSPI flash 电路	- 13 -
1.2.14 USB-SID 接口电路	- 13 -
1.2.15 扩展 IO 接口电路	- 14 -
2 Vivado 软件使用说明	- 14 -
2.1 新建工程	- 14 -
2.2 功能仿真	- 18 -
2.3 电路综合	- 18 -
2.4 引脚约束	- 19 -
2.5 执行以及生成二进制文件	- 19 -
3 测试工程使用说明	- 20 -
3.1 CSLAB_XD_test_all_2.0 工程	- 20 -
3.2 UDP_TEST 工程	- 22 -
3.3 独立 LED 测试、独立开关测试	- 22 -
3.4 独立按键测试、蜂鸣器测试	- 23 -
3.5 矩阵键盘测试、数码管测试	- 23 -
3.6 HDMI 输入输出接口测试	- 24 -
3.7 音频输入输出接口测试	- 25 -
3.8 VGA 输出接口测试	- 25 -
3.9 串口测试、用户 Flash 测试、DDR3 测试	- 26 -
3.10 千兆以太网接口测试	- 27 -
3.11 USB-HID 接口测试	- 28 -
3.12 PMOD 接口测试	- 29 -

1. 实验平台硬件电路说明

1.1 硬件资源概述

计算机系统综合设计实验平台是基于 Kintex7 可编程逻辑器件构建的一套计算机专业课程实验平台。该平台采用 Kintex7 系列芯片为核心，片内具有丰富的可编程逻辑资源，可针对数字逻辑、计算机组成原理、处理器系统设计、嵌入式系统设计等课程设计相应课程实验。平台提供有丰富的开关按键、LED 灯等外设接口，还具有千兆以太网接口、音频、视频输入输出接口。同时平台还具有丰富的扩展 IO，便于进行功能扩展。

◆ 实验平台系统主芯片 Kintex7 XC7K160T-2FBG676I

◆ 实验平台开发软件：Xilinx Vivado 集成开发软件

◆ 实验平台接口外设

- ✓ 1024MB DDR3 存储器
- ✓ 256MB Flash 配置存储器
- ✓ 256MB Flash 用户存储器
- ✓ 10/100/1000M 以太网
- ✓ USB-JTAG 接口
- ✓ JTAG 2X7 接口
- ✓ USB-UART 接口
- ✓ USB-HID 接口
- ✓ Micro-SD 接口
- ✓ OLED 128x64 液晶屏
- ✓ 4 个独立按键
- ✓ 4x4 矩阵按键
- ✓ 32 个独立开关
- ✓ 32 个独立 LED 灯
- ✓ 16 个数码管
- ✓ 1 个蜂鸣器
- ✓ 音频输入输出接口
- ✓ VGA 视频输出接口
- ✓ HDMI 输入接口
- ✓ HDMI 显示接口
- ✓ PMODx3 扩展接口

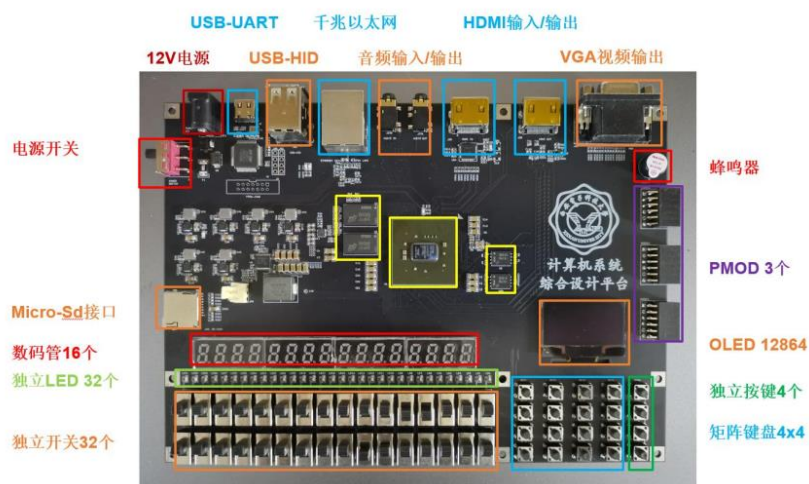


表 1 硬件接口资源引脚说明

元器件名称	元器件编号/信号	FPGA 引脚
LED 灯 LD0~LD31	LED_0	G16
	LED_1	H16
	LED_2	D16
	LED_3	D15
	LED_4	C18
	LED_5	C17
	LED_6	B19
	LED_7	C19
	LED_8	A17
	LED_9	B17
	LED_10	K20
	LED_11	J20
	LED_12	J18
	LED_13	J19
	LED_14	L19
	LED_15	L20
	LED_16	K16
8 段数码管 U17~U20	Seg_DIG1	B20
	Seg_DIG2	C22
	Seg_DIG3	D21
	Seg_DIG4	C24
	Seg_DIG5	B26
	Seg_DIG6	B25
	Seg_DIG7	L23
	Seg_DIG8	K21
	Seg_DIG9	H22
	Seg_DIG10	J24
	Seg_DIG11	J25
	Seg_DIG12	A20
	Seg_DIG13	C26
	Seg_DIG14	D26
	Seg_DIG15	A24
	Seg_DIG16	A23
	Seg_a	J21
	Seg_b	H24
	Seg_c	H23
	Seg_d	G21
	Seg_e	H21
	Seg_f	H26
	Seg_g	J26
	Seg_dp	E26
32 个拨动开关	SW_0	C9

SW0~SW31	SW_1	B9
	SW_2	G11
	SW_3	F10
	SW_4	D10
	SW_5	E11
	SW_6	D11
	SW_7	A14
	SW_8	B10
	SW_9	A10
	SW_10	B15
	SW_11	A15
	SW_12	A13
	SW_13	A12
	SW_14	D8
	SW_15	D9
	SW_16	F8
	SW_17	F9
	SW_18	H11
	SW_19	H12
	SW_20	G14
	SW_21	J10
	SW_22	H14
	SW_23	J11
	SW_24	H13
	SW_25	J13
	SW_26	G9
	SW_27	G10
	SW_28	H8
	SW_29	H9
	SW_30	J14
	SW_31	J8
4*4 矩阵键盘 KEY0~KEYF	BTN_C0	AA12
	BTN_C1	AA13
	BTN_C2	AC12
	BTN_C3	AB12
	BTN_R0	AE10
	BTN_R1	AD10
	BTN_R2	AE12
	BTN_R3	AD12
UART 串行收发 U27	FPGA_TXD_K7	E18
	FPGA_RXD_K7	D18
蜂鸣器	BEEP_EN_K7	F25
独立按键 BNT0~BNT3	BTN0	AF12
	BTN1	Y13

	BTN2	AD13
	BTN3	AC13
VGA 接口 J43	VGA_HS	M21
	VGA_VS	M22
	VGA_B1	U17
	VGA_B2	T17
	VGA_B3	R18
	VGA_B4	P18
	VGA_R1	N16
	VGA_R2	U16
	VGA_R3	N26
	VGA_R4	M26
	VGA_G1	P19
	VGA_G2	P20
	VGA_G3	R25
	VGA_G4	P25
音频接口 U22	AUD_MCLK	R22
	AUD_SCL	N24
	AUD_SDA	P24
	AUD_LRCLK (GPIO3)	P26
	AUD_BCLK (GPIO2)	R26
	AUD_ADC_SDATA (GPIO1)	K26
	AUD_DAC_SDATA (GPIO0)	K25
	AUD_ADR0	M25
HDMI 输出接口 J39	AUD_ADR1	L25
	HDMI_TX0_P	T24
	HDMI_TX1_P	T20
	HDMI_TX2_P	T22
	HDMI_TX_CLK_P	N21
	HDMI_TX_CEC	D25
	HDMI_TX_HPD	E25
	HDMI_TX_SDA	R17
HDMI 输入接口 J38	HDMI_TX_SCL	R16
	HDMI_RX0_P	U19
	HDMI_RX1_P	T18
	HDMI_RX2_P	P16
	HDMI_RX_CLK_P	R21
	HDMI_RX_CEC	B21
	HDMI_RX_HPD	C21
	HDMI_RX_SDA	M19
千兆以太网网络接口 U16	HDMI_RX_SCL	N18
	ETH_RXD0	F14
	ETH_RXD1	F13
	ETH_RXD2	G12

	ETH_RXD3	F12
	ETH_RXCK	C12
	ETH_RXCTL	C11
	ETH_TXD0	E13
	ETH_TXD1	E12
	ETH_TXD2	C14
	ETH_TXD3	C13
	ETH_MDC	B12
	ETH_MDIO	B11
	ETH_RST_B	B14
PMOD 接口 PMODA~PMODC	JA1_P	G17
	JA1_N	F18
	JA2_P	G19
	JA2_N	F20
	JA3_P	F19
	JA3_N	E20
	JA4_P	H19
	JA4_N	G20
	JB1_P	F17
	JB1_N	E17
	JB2_P	D19
	JB2_N	D20
	JB3_P	E15
	JB3_N	E16
	JB4_P	H17
	JB4_N	H18
	JC1_P	G24
	JC1_N	F24
	JC2_P	E21
	JC2_N	E22
	JC3_P	L22
	JC3_N	K22
	JC4_P	K23
	JC4_N	J23
用户 QSPI FLASH 接口 U25	QSPI_DQ0	E23
	QSPI_DQ1	F22
	QSPI_DQ2	D24
	QSPI_DQ3	D23
	QSPI_CS	F23
	QSPI_SCK	G22
Micro SD 卡接口 J44	SD_CD	R23
	SD_D0	L24
	SD_D1	M24
	SD_D2	M20

1.2.1 USB 与 UART 转换电路

[illegible]

1.2.2 千兆以太网电路

The schematic diagram illustrates the internal circuitry of the BLM1518 module. Key components and connections include:

- Power Management:**
 - VCC_1V8:** Connected to pins 34 (DVDD_OUT), 35 (DVDD_1), 36 (DVDD_2), 43 (VDDO_1), 44 (VDDO_2), and 46 (VDDO_3).
 - VCC_IV8:** Connected to pins 3 (ETH_RXD<2>), 3 (ETH_RXD<1>), 3 (ETH_RXD<0>), 3 (ETH_TXD<2>), 3 (ETH_TXD<1>), 3 (ETH_TXD<0>), 3 (ETH_MDIO), and 3 (ETH_RST).
 - VCC_3V3:** Connected to pin 21 (AVDD3_1).
- Signal Processing:**
 - ETH_RXD<2>:** Connected to pin 39 (RX_CLK).
 - ETH_TXD<2>:** Connected to pin 47 (TX_CLK).
 - ETH_MDIO:** Connected to pin 4 (MDIO).
 - ETH_RST:** Connected to pin 25 (RESET).
- Configuration and Control:**
 - REG_IN:** Connected to pins 31 (REG_IN), 32 (AVDD18_1), 33 (AVDD18_2), 34 (AVDD18_3), 35 (AVDD18_4), 36 (AVDD18_5), 37 (AVDD18_6), 38 (AVDD18_7), 39 (AVDD18_8), 40 (AVDD18_9), 41 (AVDD18_10), 42 (AVDD18_11), 43 (AVDD18_12), 44 (AVDD18_13), 45 (AVDD18_14), 46 (AVDD18_15), 47 (AVDD18_16), 48 (AVDD18_17), 49 (AVDD18_18).
 - MDIO:** Connected to pins 23 (MDIO), 24 (MDIO), 25 (MDIO), 26 (MDIO), 27 (MDIO), 28 (MDIO), 29 (MDIO), 30 (MDIO), 31 (MDIO), 32 (MDIO), 33 (MDIO), 34 (MDIO), 35 (MDIO), 36 (MDIO), 37 (MDIO), 38 (MDIO), 39 (MDIO), 40 (MDIO), 41 (MDIO), 42 (MDIO), 43 (MDIO), 44 (MDIO), 45 (MDIO), 46 (MDIO), 47 (MDIO), 48 (MDIO), 49 (MDIO).
 - HSDACP:** Connected to pins 20 (HSDACP), 21 (HSDACP), 22 (HSDACP), 23 (HSDACP), 24 (HSDACP), 25 (HSDACP), 26 (HSDACP), 27 (HSDACP), 28 (HSDACP), 29 (HSDACP), 30 (HSDACP), 31 (HSDACP), 32 (HSDACP), 33 (HSDACP), 34 (HSDACP), 35 (HSDACP), 36 (HSDACP), 37 (HSDACP), 38 (HSDACP), 39 (HSDACP), 40 (HSDACP), 41 (HSDACP), 42 (HSDACP), 43 (HSDACP), 44 (HSDACP), 45 (HSDACP), 46 (HSDACP), 47 (HSDACP), 48 (HSDACP), 49 (HSDACP).
- External Components:**
 - Capacitors:** C212 (0.1uF), C213 (0.1uF), C209 (2.2uF), C214 (0.1uF), C216 (0.1uF), C217 (0.1uF), C218 (0.1uF), C220 (0.1uF), C210 (4.7uF), C221 (0.1uF), C222 (0.1uF), C223 (0.1uF), C224 (0.1uF), C225 (0.1uF), C226 (0.1uF), C227 (0.1uF), C228 (0.1uF), C229 (0.1uF), C230 (0.1uF), C231 (0.1uF), C232 (0.1uF), C233 (0.1uF), C234 (0.1uF), C235 (0.1uF), C236 (0.1uF), C237 (0.1uF), C238 (0.1uF), C239 (0.1uF), C240 (0.1uF), C241 (0.1uF), C242 (0.1uF), C243 (0.1uF), C244 (0.1uF), C245 (0.1uF), C246 (0.1uF), C247 (0.1uF), C248 (0.1uF), C249 (0.1uF), C250 (0.1uF), C251 (0.1uF), C252 (0.1uF), C253 (0.1uF), C254 (0.1uF), C255 (0.1uF), C256 (0.1uF), C257 (0.1uF), C258 (0.1uF), C259 (0.1uF), C260 (0.1uF), C261 (0.1uF), C262 (0.1uF), C263 (0.1uF), C264 (0.1uF), C265 (0.1uF), C266 (0.1uF), C267 (0.1uF), C268 (0.1uF), C269 (0.1uF), C270 (0.1uF), C271 (0.1uF), C272 (0.1uF), C273 (0.1uF), C274 (0.1uF), C275 (0.1uF), C276 (0.1uF), C277 (0.1uF), C278 (0.1uF), C279 (0.1uF), C280 (0.1uF), C281 (0.1uF), C282 (0.1uF), C283 (0.1uF), C284 (0.1uF), C285 (0.1uF), C286 (0.1uF), C287 (0.1uF), C288 (0.1uF), C289 (0.1uF), C290 (0.1uF), C291 (0.1uF), C292 (0.1uF), C293 (0.1uF), C294 (0.1uF), C295 (0.1uF), C296 (0.1uF), C297 (0.1uF), C298 (0.1uF), C299 (0.1uF), C300 (0.1uF), C301 (0.1uF), C302 (0.1uF), C303 (0.1uF), C304 (0.1uF), C305 (0.1uF), C306 (0.1uF), C307 (0.1uF), C308 (0.1uF), C309 (0.1uF), C310 (0.1uF), C311 (0.1uF), C312 (0.1uF), C313 (0.1uF), C314 (0.1uF), C315 (0.1uF), C316 (0.1uF), C317 (0.1uF), C318 (0.1uF), C319 (0.1uF), C320 (0.1uF), C321 (0.1uF), C322 (0.1uF), C323 (0.1uF), C324 (0.1uF), C325 (0.1uF), C326 (0.1uF), C327 (0.1uF), C328 (0.1uF), C329 (0.1uF), C330 (0.1uF), C331 (0.1uF), C332 (0.1uF), C333 (0.1uF), C334 (0.1uF), C335 (0.1uF), C336 (0.1uF), C337 (0.1uF), C338 (0.1uF), C339 (0.1uF), C340 (0.1uF), C341 (0.1uF), C342 (0.1uF), C343 (0.1uF), C344 (0.1uF), C345 (0.1uF), C346 (0.1uF), C347 (0.1uF), C348 (0.1uF), C349 (0.1uF), C350 (0.1uF), C351 (0.1uF), C352 (0.1uF), C353 (0.1uF), C354 (0.1uF), C355 (0.1uF), C356 (0.1uF), C357 (0.1uF), C358 (0.1uF), C359 (0.1uF), C360 (0.1uF), C361 (0.1uF), C362 (0.1uF), C363 (0.1uF), C364 (0.1uF), C365 (0.1uF), C366 (0.1uF), C367 (0.1uF), C368 (0.1uF), C369 (0.1uF), C370 (0.1uF), C371 (0.1uF), C372 (0.1uF), C373 (0.1uF), C374 (0.1uF), C375 (0.1uF), C376 (0.1uF), C377 (0.1uF), C378 (0.1uF), C379 (0.1uF), C380 (0.1uF), C381 (0.1uF), C382 (0.1uF), C383 (0.1uF), C384 (0.1uF), C385 (0.1uF), C386 (0.1uF), C387 (0.1uF), C388 (0.1uF), C389 (0.1uF), C390 (0.1uF), C391 (0.1uF), C392 (0.1uF), C393 (0.1uF), C394 (0.1uF), C395 (0.1uF), C396 (0.1uF), C397 (0.1uF), C398 (0.1uF), C399 (0.1uF), C400 (0.1uF), C401 (0.1uF), C402 (0.1uF), C403 (0.1uF), C404 (0.1uF), C405 (0.1uF), C406 (0.1uF), C407 (0.1uF), C408 (0.1uF), C409 (0.1uF), C410 (0.1uF), C411 (0.1uF), C412 (0.1uF), C413 (0.1uF), C414 (0.1uF), C415 (0.1uF), C416 (0.1uF), C417 (0.1uF), C418 (0.1uF), C419 (0.1uF), C420 (0.1uF), C421 (0.1uF), C422 (0.1uF), C423 (0.1uF), C424 (0.1uF), C425 (0.1uF), C426 (0.1uF), C427 (0.1uF), C428 (0.1uF), C429 (0.1uF), C430 (0.1uF), C431 (0.1uF), C432 (0.1uF), C433 (0.1uF), C434 (0.1uF), C435 (0.1uF), C436 (0.1uF), C437 (0.1uF), C438 (0.1uF), C439 (0.1uF), C440 (0.1uF), C441 (0.1uF), C442 (0.1uF), C443 (0.1uF), C444 (0.1uF), C445 (0.1uF), C446 (0.1uF), C447 (0.1uF), C448 (0.1uF), C449 (0.1uF), C450 (0.1uF), C451 (0.1uF), C452 (0.1uF), C453 (0.1uF), C454 (0.1uF), C455 (0.1uF), C456 (0.1uF), C457 (0.1uF), C458 (0.1uF), C459 (0.1uF), C460 (0.1uF), C461 (0.1uF), C462 (0.1uF), C463 (0.1uF), C464 (0.1uF), C465 (0.1uF), C466 (0.1uF), C467 (0.1uF), C468 (0.1uF), C469 (0.1uF), C470 (0.1uF), C471 (0.1uF), C472 (0.1uF), C473 (0.1uF), C474 (0.1uF), C475 (0.1uF), C476 (0.1uF), C477 (0.1uF), C478 (0.1uF), C479 (0.1uF), C480 (0.

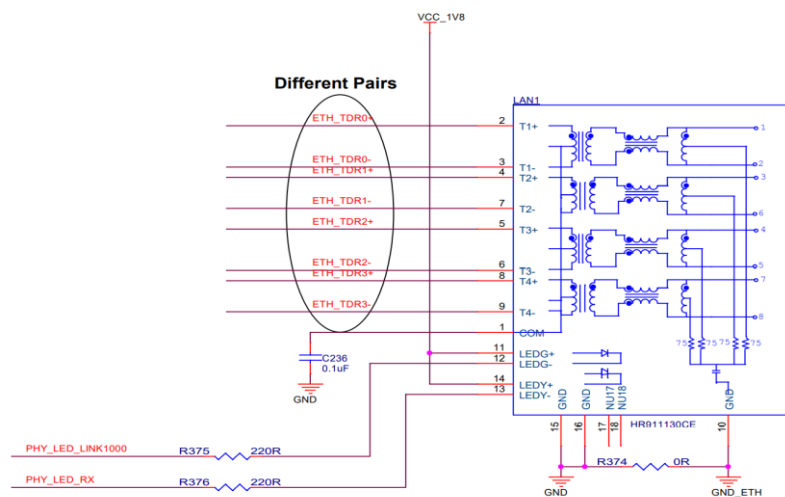


图 1.2 千兆以太网电路图

1.2.3 拨动开关电路

本实验平台设计了 32 个拨动开关，默认高电平，低电平有效，可以作为控制信号或操作数的输入。

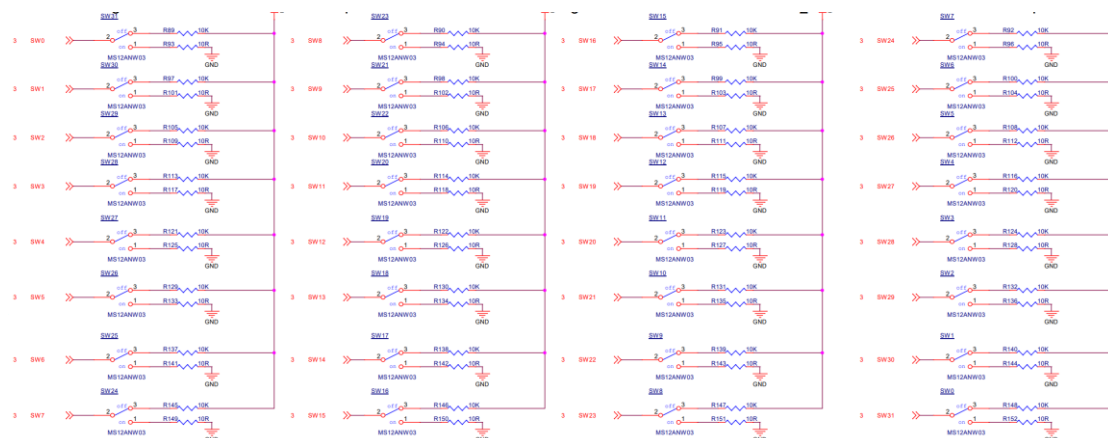
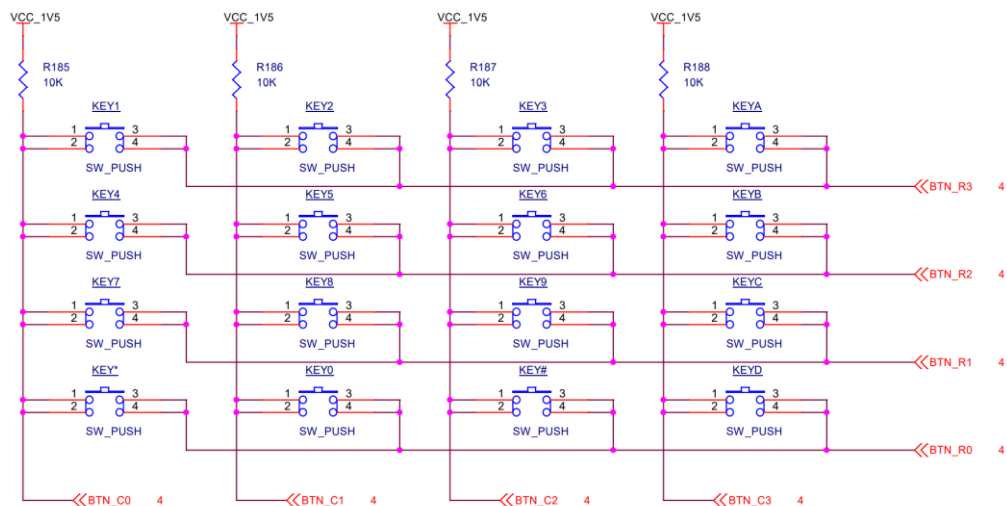


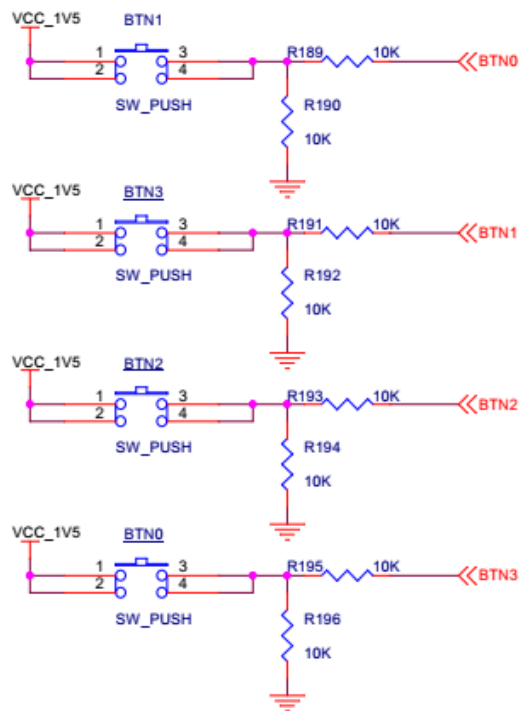
图 1.3 拨动开关电路图

1.2.4 键盘电路

本实验平台设计了 4 个独立按键和 4*4 矩阵键盘，实现系统人机交互输入控制。



(a) 4*4 矩阵键盘



(b) 独立键盘

图 1.4 按键电路图

1.2.5 Led 灯电路

本实验平台具有 32 个 LED 灯，高电平有效，输出信号为高电平时点亮 LED 灯。



图 1.5 LED 灯电路图

1.2.6 数码管电路

本实验平台设计了 4 组 4 位的共阳数码管，可以实现 64bit 数据的显示。

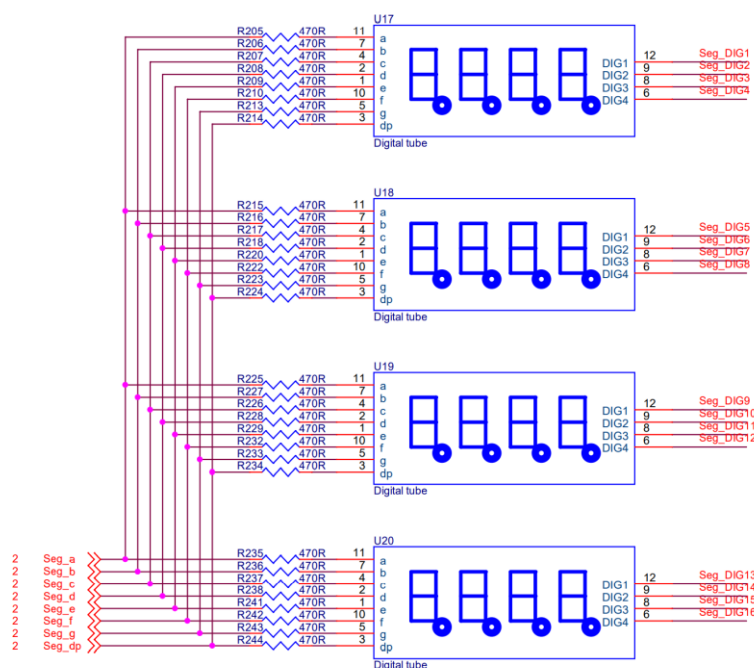


图 1.6 数码管电路

1.2.7 蜂鸣器电路

本实验平台采用 PNP 三极管作为开关管进行蜂鸣器控制，FPGA 引脚输出低电平时将导通开关管，启动蜂鸣器。

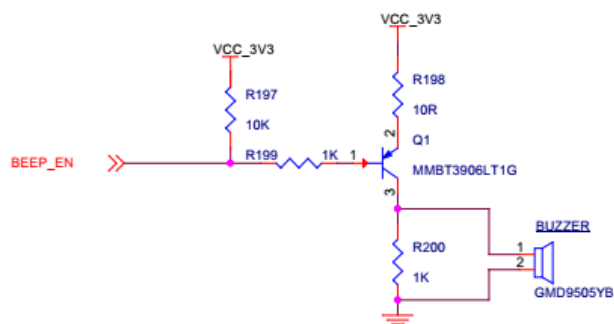


图 1.7 蜂鸣器电路

1.2.8 音频电路

使用 ADAU1761 音频编解码芯片搭建了立体声音频输入输出电路。该 ADAU1761 是一款低功耗，立体声音频编解码器。支持立体声 48 kHz 的集成数字音频处理。该立体音频 ADC 和 DAC 支持从 8 kHz 采样率 96 千赫以及数字音量控制功能。

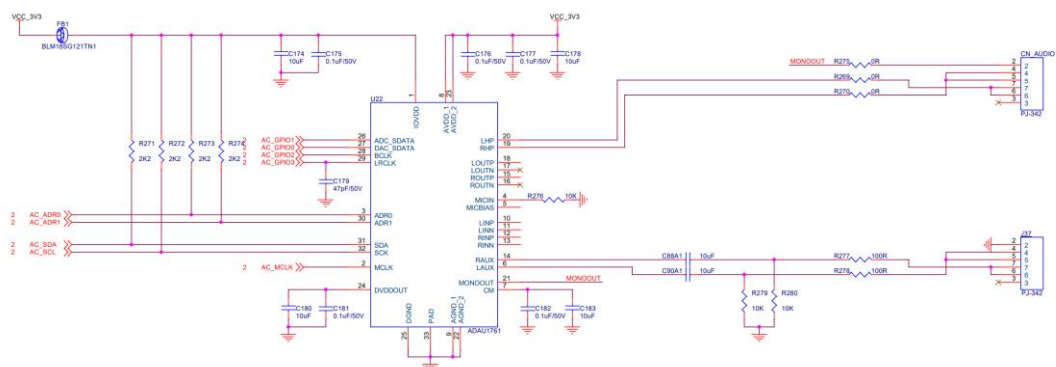


图 1.8 音频电路

1.2.9 VGA 视频输出接口

实验平台通过电阻网络的方式设计 VGA 视频输出接口，为 FPGA 提供视频信号输出。

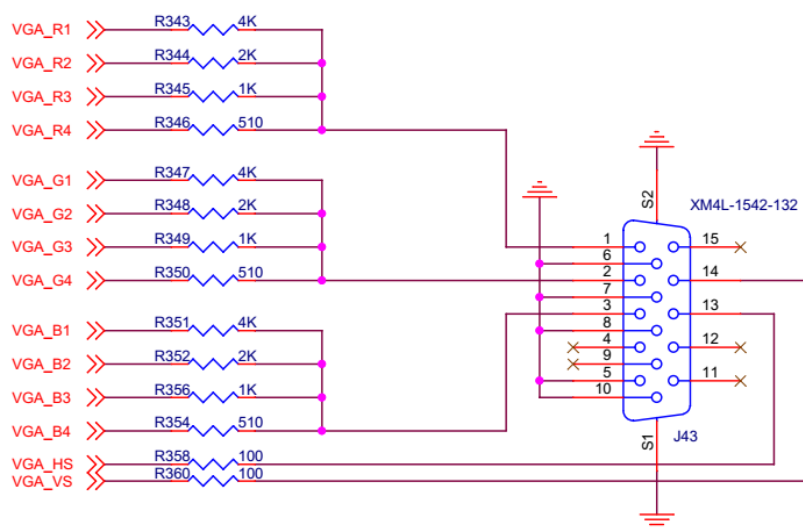


图 1.9 VGA 电路

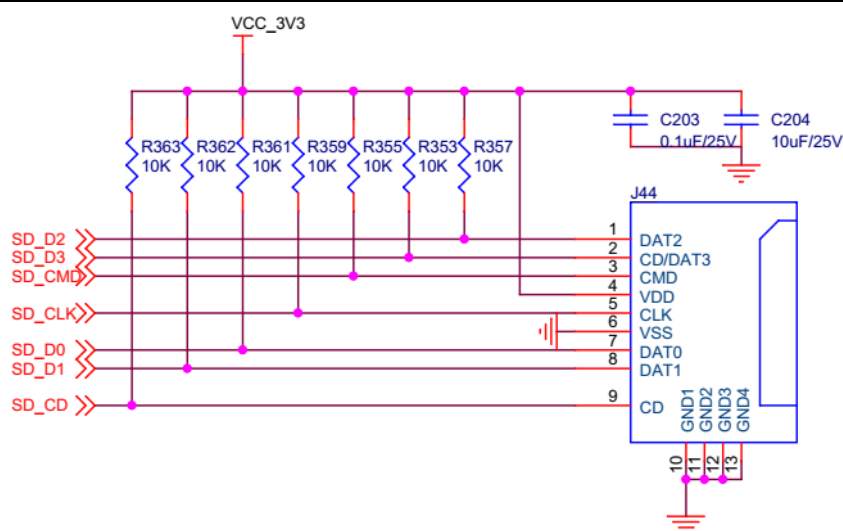
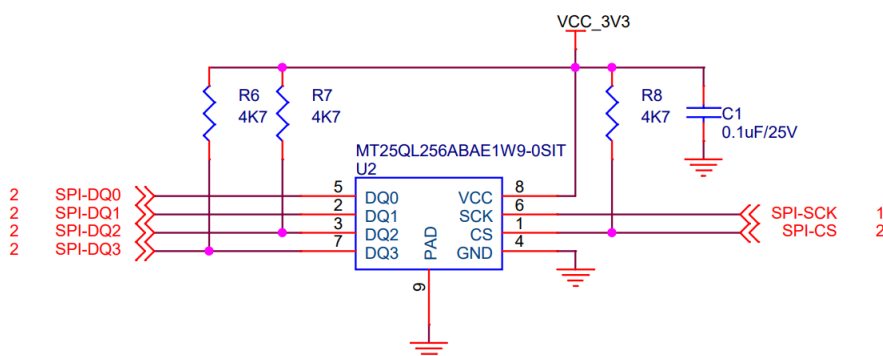


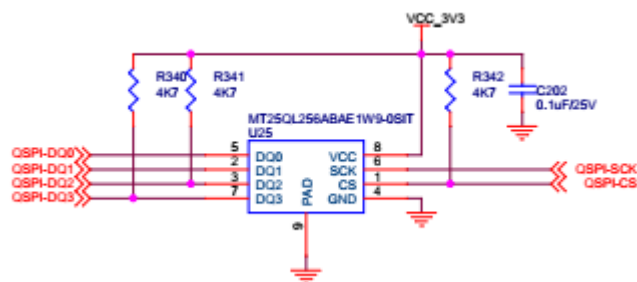
图 1.11 SD 卡接口电路

1.2.13 QSPI flash 电路

实验平台集成了两个 Micron 公司 MT25QL256ABAE1W9-0SIT Serial NOR Flash 芯片，U2 为用于 FPGA 配置的芯片，U25 为用户自由使用的 Flash。该芯片为 Quad-SPI 接口，容量 256MB。



(a) FPGA 配置 Flash 电路



(b) 用户自由使用 Flash 电路

图 1.13 QSPI 接口 Flash 电路

1.2.14 USB-SID 接口电路

实验平台通过 CH9350 芯片提供有两个 USB-HID 接口，可用于连接 HID 设备，如鼠标键盘。CH9350 芯片可将 USB-HID 信号转换为 UART 信号 FPGA。

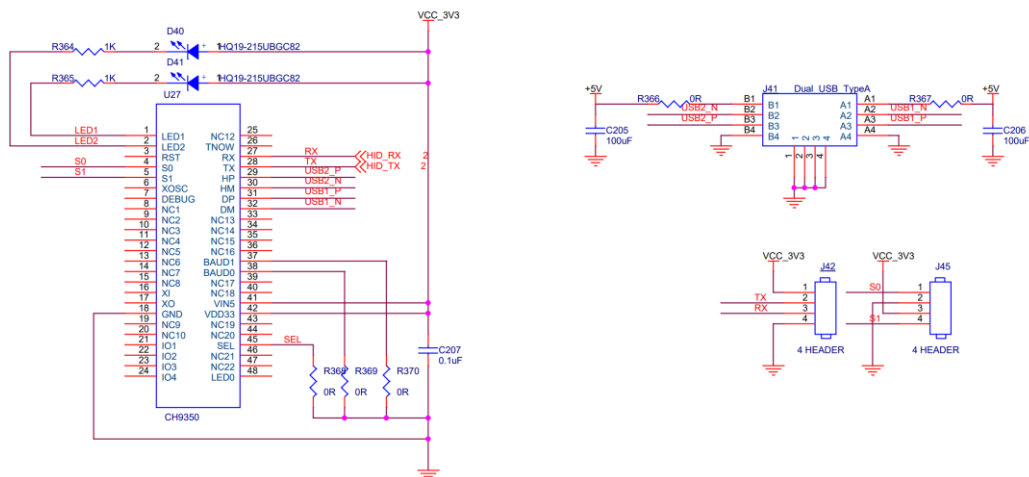


图 1.14 USB 接口电路

1.2.15 扩展 IO 接口电路

实验平台具有丰富的扩展 IO 资源，板载有 3 个 PMOD 接口。每个 PMOD 接口提供有 8 个 FPGA IO 信号，可以进行外部设备和资源的扩展。

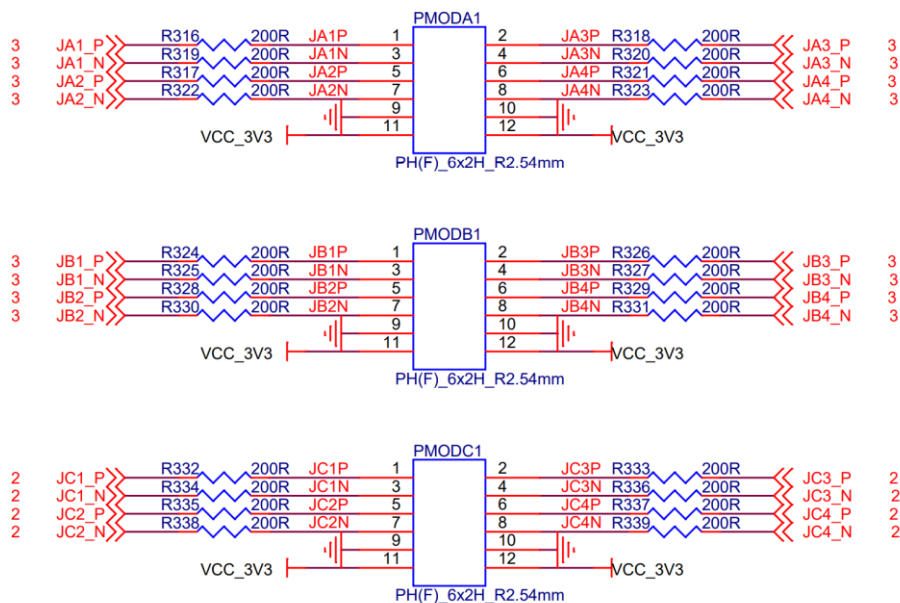
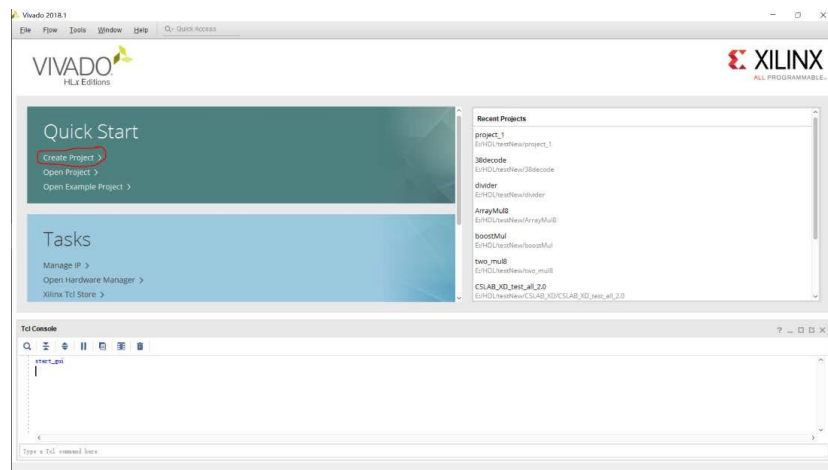


图 1.15 扩展 IO 接口电路

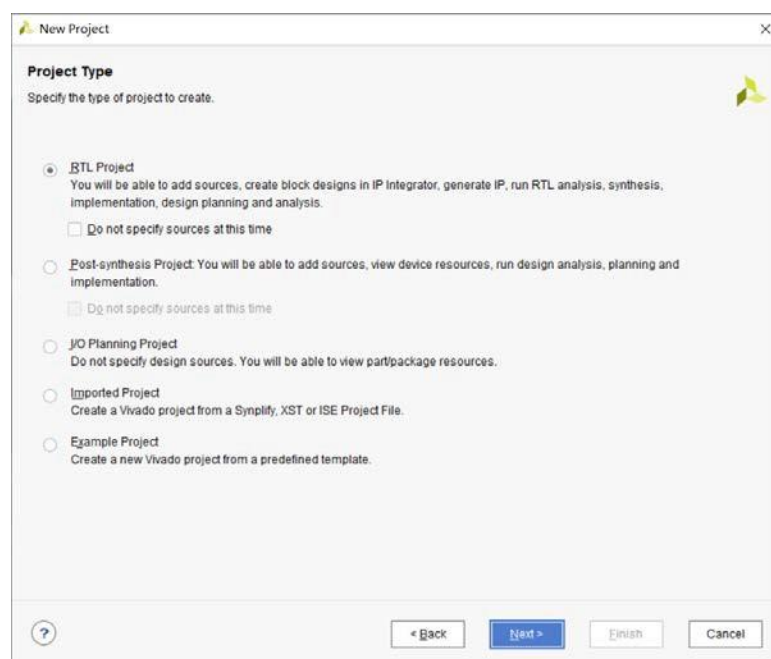
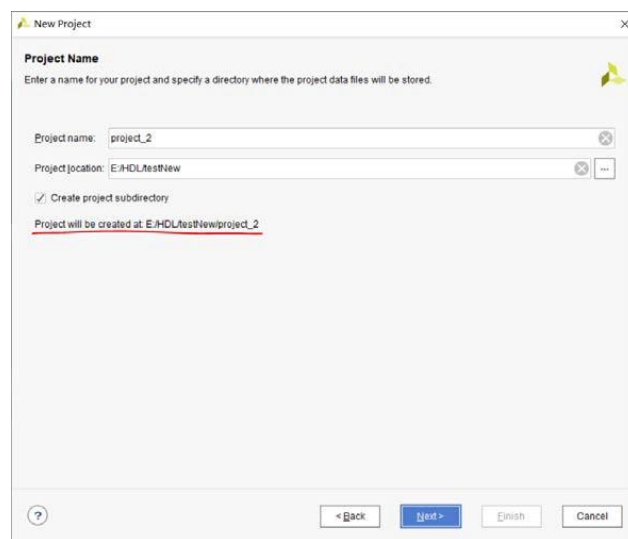
2 Vivado 软件使用说明

2.1 新建工程

首先打开 vivado2018.1，点击 create project。

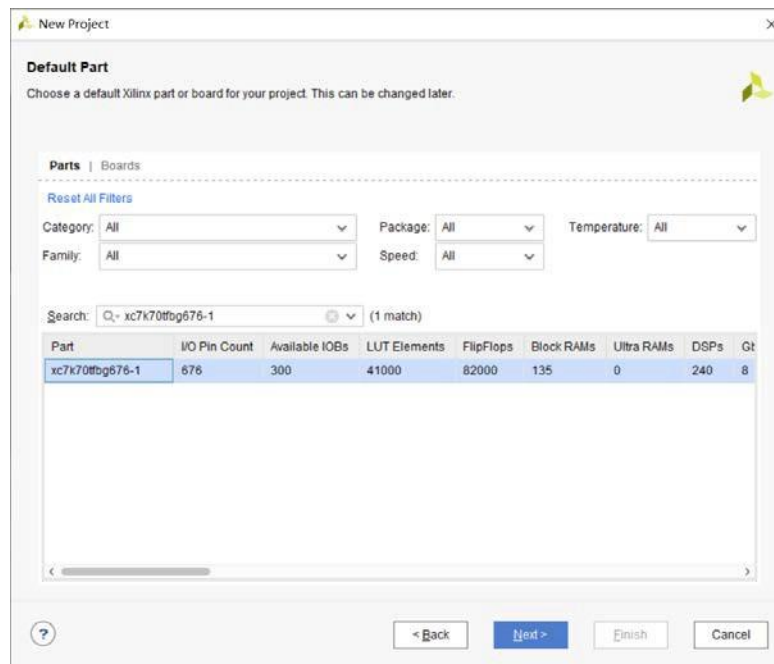


为新建的工程起名字，和名字都不要中文起好名字后点击 next。

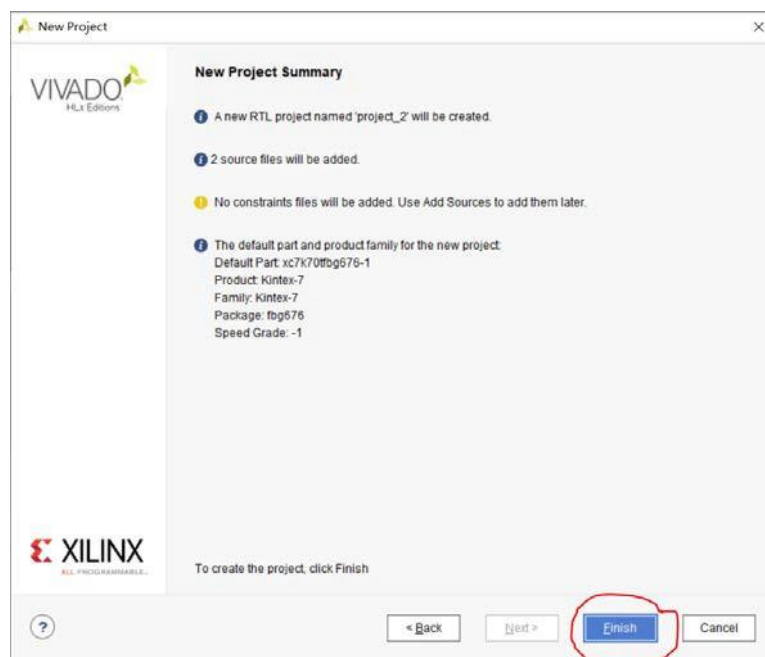


选择 RTL project，勾选 do not specify sources at this time,表示以后再配置资源文件选好了之后点击 next。

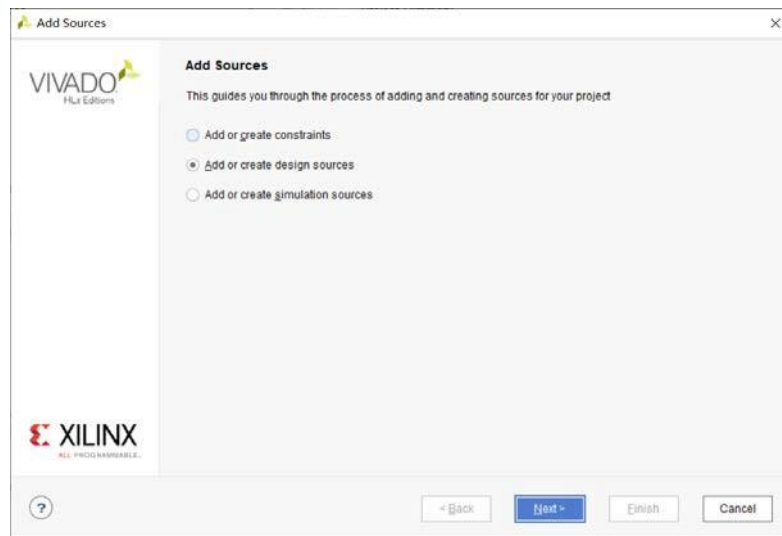
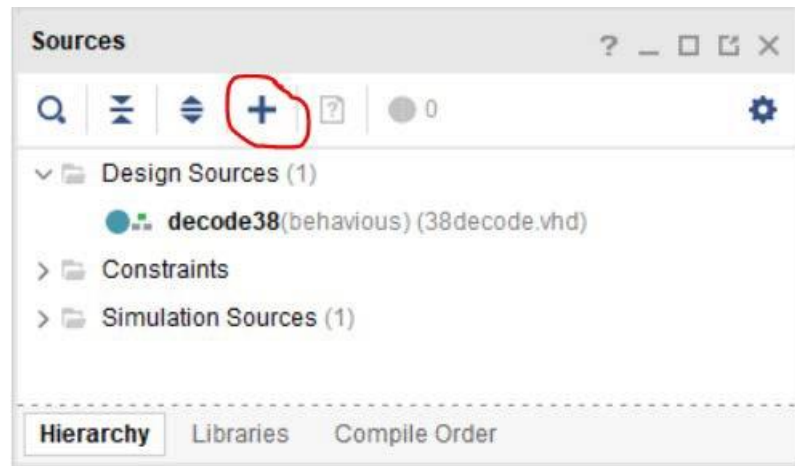
输入 FPGA 板的型号 XC7K70T-2FBG676I，然后点击 next。



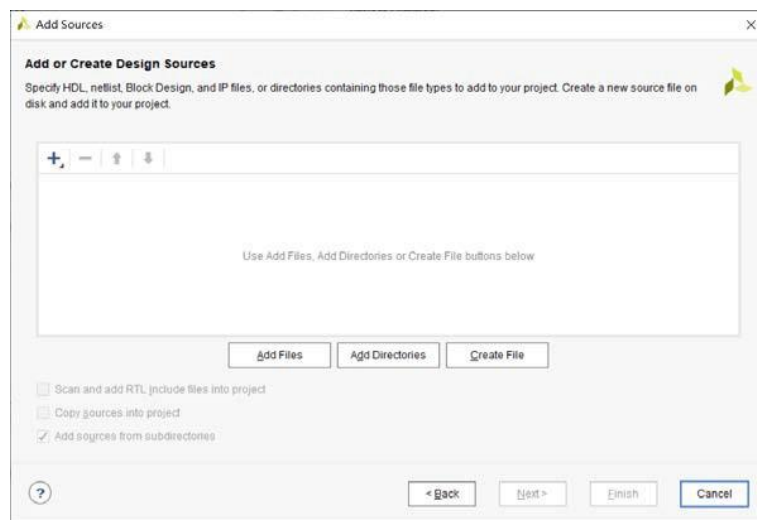
finish 之后，如图所示，可以配置语言，这里选择的是 VHDL

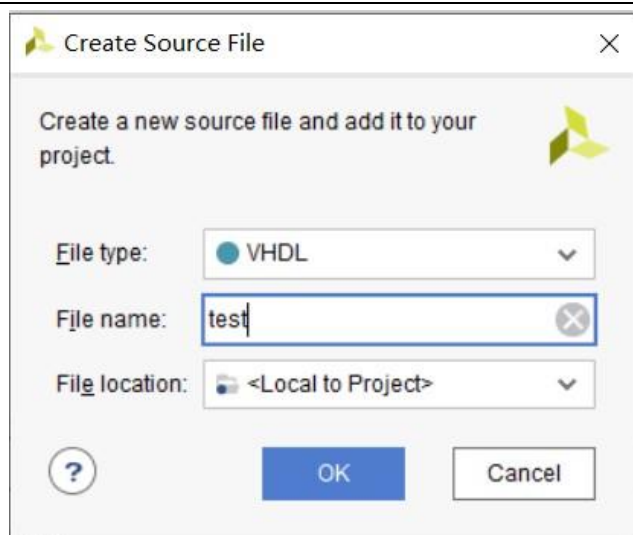


然后开始新建/添加文件，点击+。



选择 add or create design sources

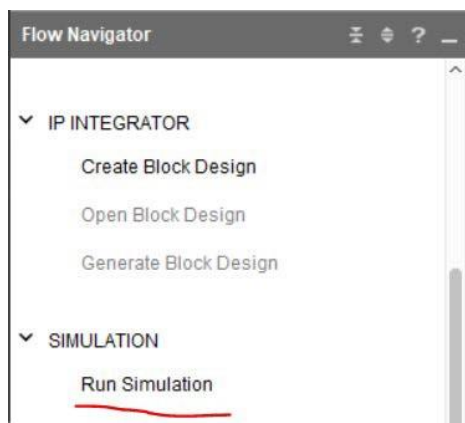




双击所建立的 source 之后，就可以开始写程序了。程序编译没有问题后，可以进行仿真验证。

2.2 功能仿真

编写 testbench 仿真测试文件，点击 SIMULATION 进行仿真验证，仿真波形没有错误，可以进行综合。



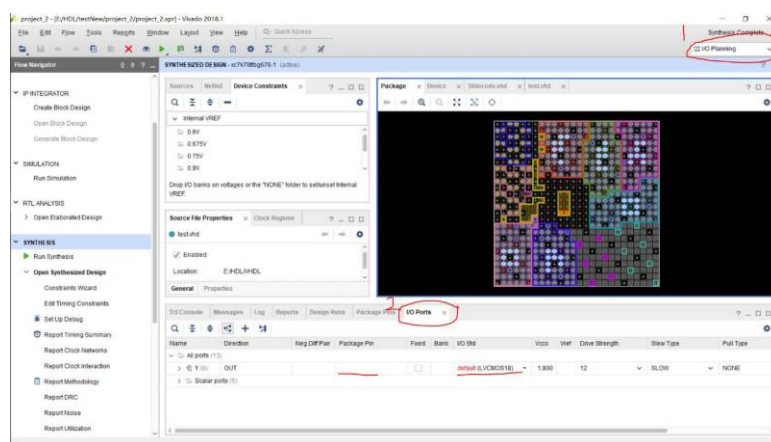
2.3 电路综合

点击 run synthesis,等待一段时间，即可完成电路综合。



2.4 引脚约束

先点击 open synthesized design，进行引脚分配及电平约束，然后重新执行综合。



2.5 执行以及生成二进制文件

点击 IMPLEMENTATION，完成逻辑电的布局布线，然后生成二进制文件。下载 bit 流文件时，点击 open hardware manager，点击 open target，选择所需要下载的 bit 流文件，点击 device program 进行 FPGA 下载。

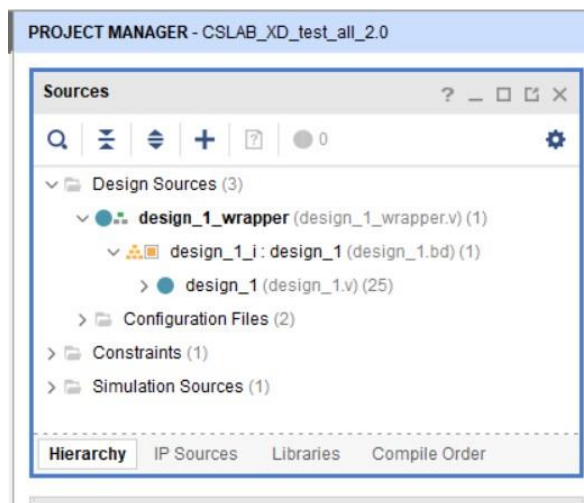


3 测试工程使用说明

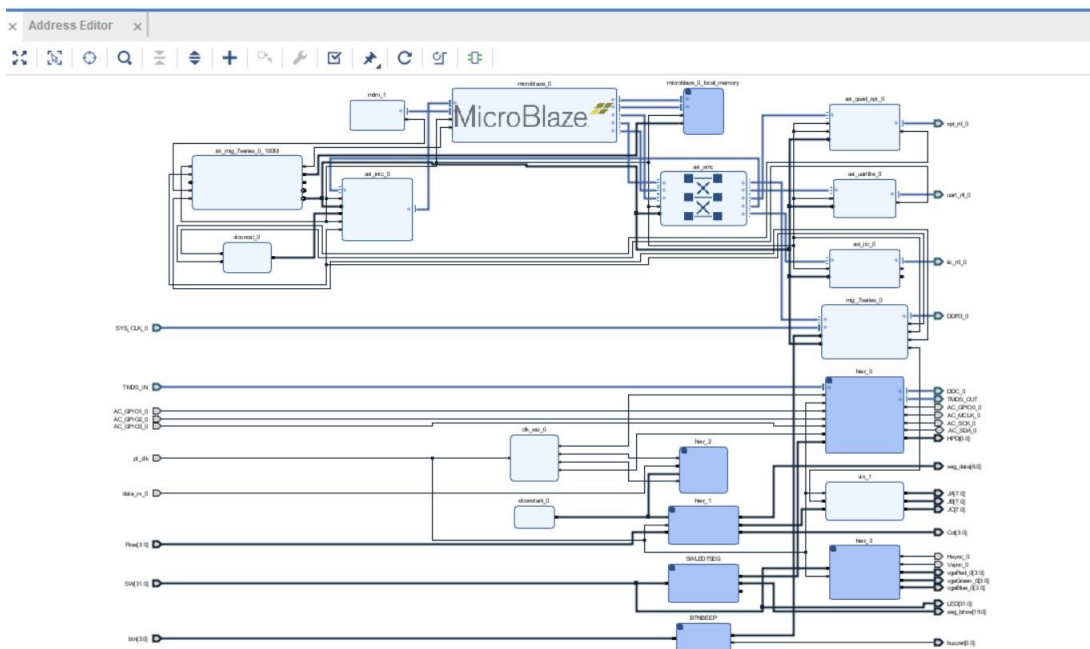
为了确保实验平台各项功能模块的正确运行，提供了实验平台测试工程，包括基本 GPIO 类外设测试（32 个独立 LED、32 个独立开关、4 个独立按键、4x4 矩阵键盘、数码管和蜂鸣器），多媒体接口测试（HDMI 输入输出接口、音频输入输出接口、VGA 输出接口）以及其他接口测试（串口、千兆以太网接口、USB-HID 接口、用户 Flash 和 PMOD 接口）等测试项目。

3.1 CSLAB_XD_test_all_2.0 工程

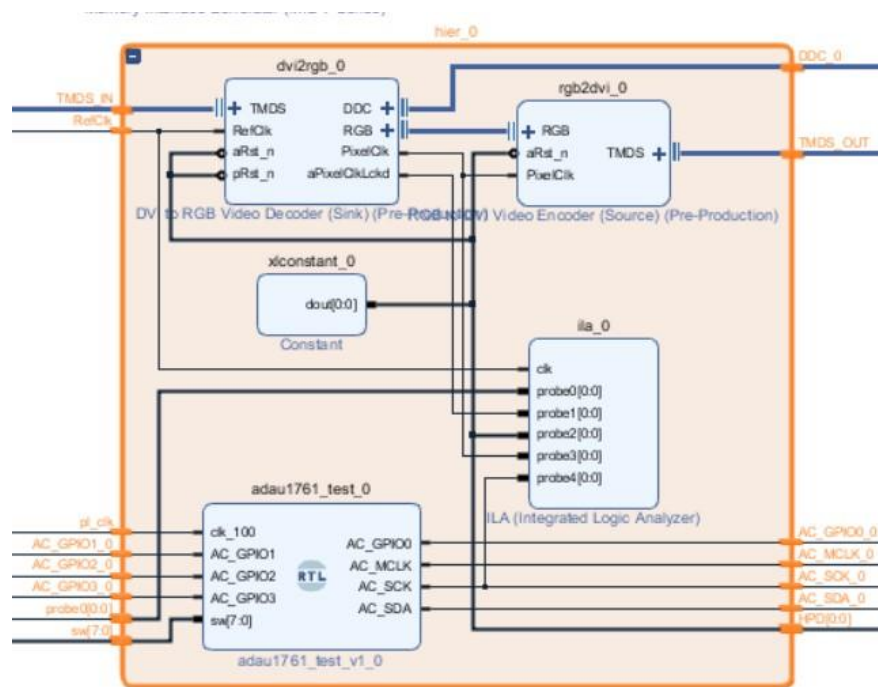
在 CSLAB_XD_test_all_2.0 工程中包含了除千兆以太网之外全部板卡接口的测试功能。CSLAB_XD_test_all_2.0 工程基于 IP 集成器进行搭建，其中使用 MicroBlaze CPU 软核构建了一个嵌入式系统，以便进行相关测试。



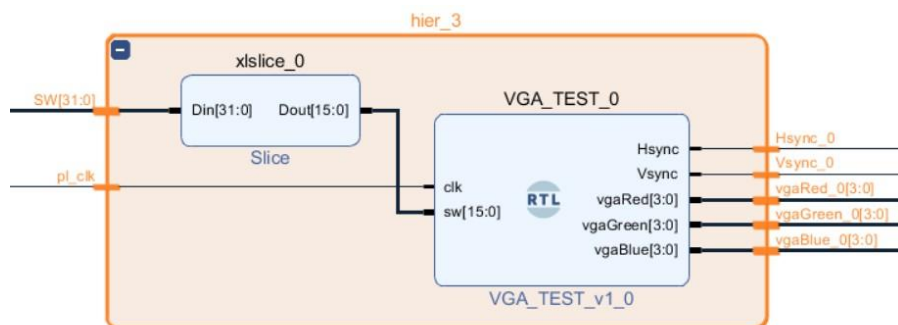
CSLAB_XD_test_all_2.0 工程中 IP 集成器下的设计图纸如下。其中，上半部分为基于 MicroBlaze CPU 软核部分，下半部分为纯逻辑实现的相关接口测试模块。



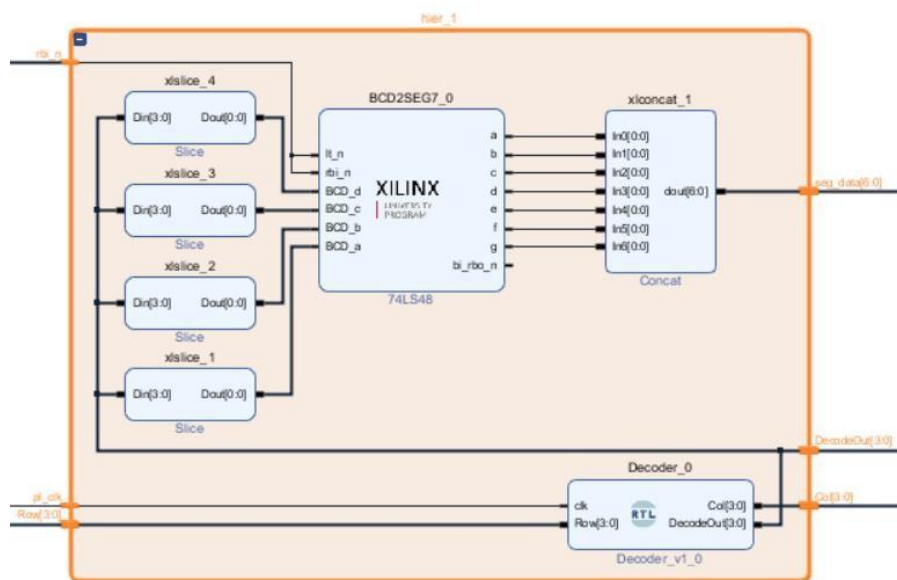
Hier_0 模块中为音视频输入输出回环测试功能模块。



Hier_3 模块中为 VGA 视频输出控制测试模块。



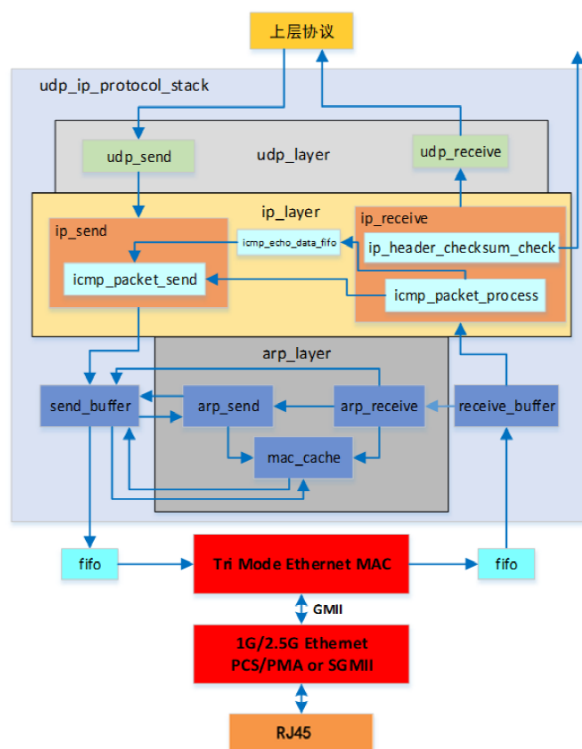
Hier_1 模块中为 4x4 矩阵键盘与数码管测试模块。



更多细节，请直接参考工程源文件。

3.2 UDP_TEST 工程

UDP_TEST 工程基于 MAC IP、UDP 协议栈等模块构建，可通过网线连接板卡与 PC，通过网络调试助手构建 UDP 通讯。

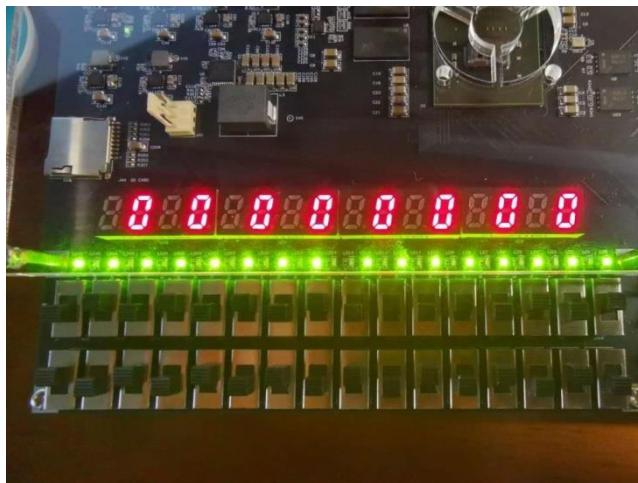


3.3 独立 LED 测试、独立开关测试

(1) 测试方法：使用独立开关控制对应独立 LED 的亮灭。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；拨动开关，观察 LED。

(3) 实验结果：平台上 32 个开关与 LED 可正常工作。



3.4 独立按键测试、蜂鸣器测试

(1) 测试方法：使用按键（4 个其中任意 1 个）来控制蜂鸣器的鸣叫。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；按下任意独立按键，听蜂鸣器声音。

(3) 测试结果：平台上独立按键与蜂鸣器可正常工作。

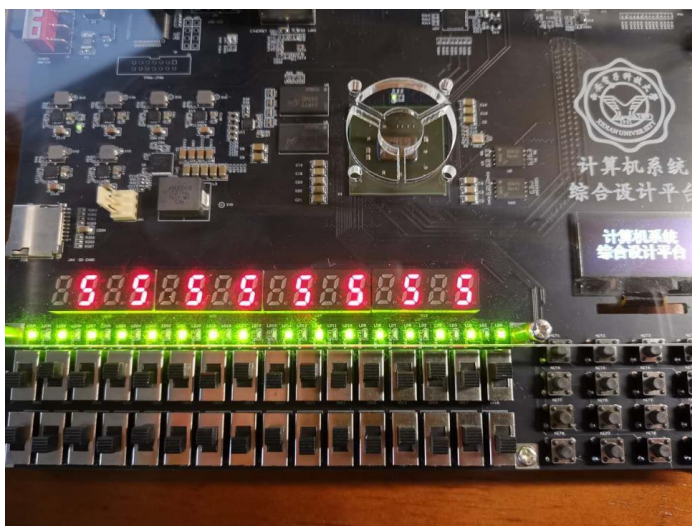
3.5 矩阵键盘测试、数码管测试

(1) 测试方法：使用矩阵键盘输入数字，通过数码管进行显示。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；按下 4x4 键盘按键，观察数码管状态。

注意：16 个数码管显示使能通过 SW16-31 进行控制，即将上排独立开关拨动向上的位置，可使能对应位置的数码管。

(3) 测试结果：数码管与矩阵键盘可正常工作。



3.6 HDMI 输入输出接口测试

(1) 测试方法: 使用 PC 接入 HDMI 输入接口, 内部回环, 通过 HDMI 输出接口接 HDMI 显示器。

(2) 测试步骤: 烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡; 使用 HDMI 线缆连接 PC 与 HDMI 输入接口; 使用 HDMI 线缆连接 HDMI 输出接口与 HDMI 显示器; 观察 HDMI 显示器的显示。

(3) 测试结果: HDMI 输入输出接口可正常工作。



3.7 音频输入输出接口测试

(1) 测试方法：使用 MP3 或手机通过音频线缆接入音频输入接口，输入音频，内部回环，通过音频输出接口接入耳机输出声音。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；使用音频线缆连接 PC 与音频输入接口；使用耳机连接音频输出接口；通过耳机听音频输出接口的声音。

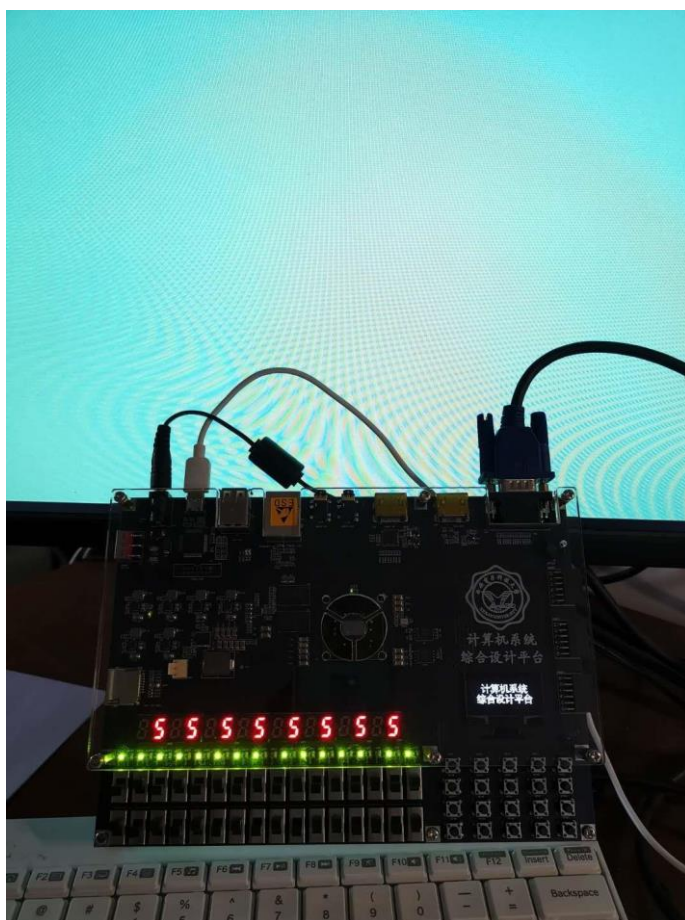
(3) 测试结果：音频输入与输出接口可正常工作。

3.8 VGA 输出接口测试

(1) 测试方法：对接 VGA 显示器，完成图像输出。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；使用 VGA 显示器，对接板卡 VGA 输出接口；拨动开关 SW0-11，可改变输出的像素值；观察 VGA 显示器的对应显示画面。

(3) 测试结果：VGA 接口可正常工作。

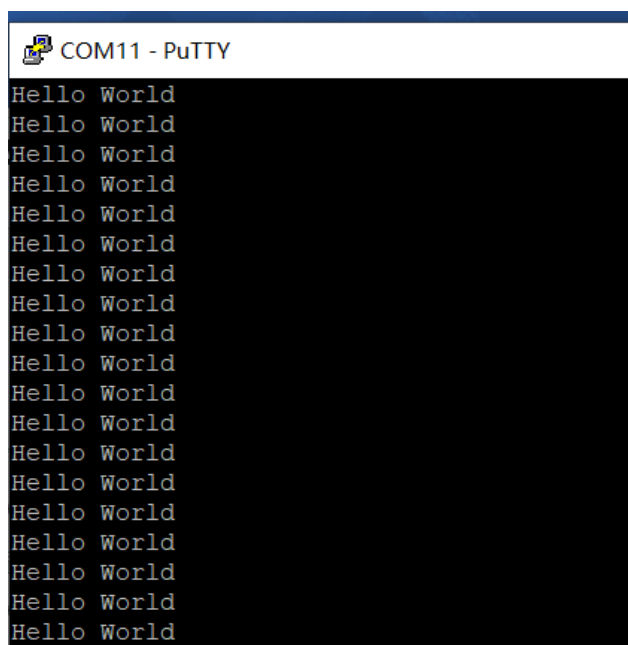


3.9 串口测试、用户 Flash 测试、DDR3 测试

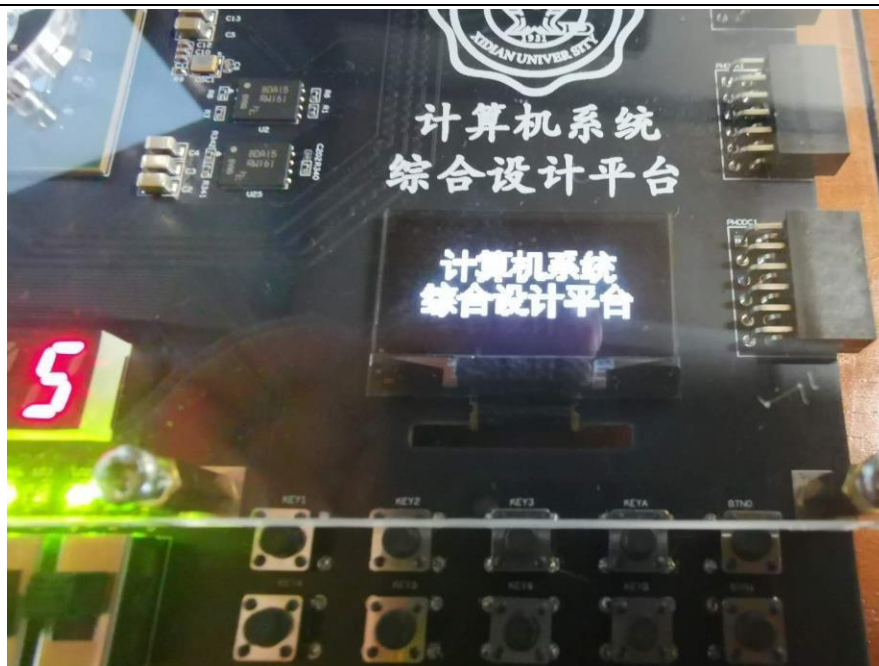
(1) 测试方法: FPGA 使用内嵌 Microblaze 软核 CPU, 运行软件, 完成串口文本输出显示、Flash 接口自测试, DDR3 存储测试。

(2) 测试步骤: 烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡; 通过 USB-TYPEC 接口连接至 PC, PC 打开 PUTTY 等串口终端软件; 打开 CSLAB_XD_test_all_2.0 工程的 SDK 工程, 运行 Hello2.elf。观察板卡 OLED 屏幕显示, 观察串口终端的输出; 打开 CSLAB_XD_test_all_2.0 工程的 SDK 工程, 运行 PTEST.elf 与 mtest.elf; 观察串口终端的输出结果。

(3) 测试结果: OLED 屏幕可正常工作; USB-UART 串口可正常工作; 板上 DDR3 存储器可正常工作; 板上用户 QSPI Flash 器件可正常工作。



```
COM11 - PuTTY
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
Hello World
```



```
COM11 - PuTTY
Hello---Entering main---

Running IntcSelfTestExample() for axi_intc_0...
IntcSelfTestExample PASSED
Intc Interrupt Setup PASSED

Runnning SpiSelfTestExample() for axi_quad_spi_0...
SpiSelfTestExample PASSED

Running Interrupt Test for axi_quad_spi_0...
Spi Interrupt Test PASSED
---Exiting main---
```

```
COM11 - PuTTY
--Starting Memory Test Application--
NOTE: This application runs with D-Cache disabled.As a result, cacheline request
s will not be generated
Testing memory region: mig_7series_0_memaddr
Memory Controller: mig_7series_0
Base Address: 0x80000000
Size: 0x20000000 bytes
32-bit test: PASSED!
16-bit test: PASSED!
8-bit test: PASSED!
--Memory Test Application Complete--
```

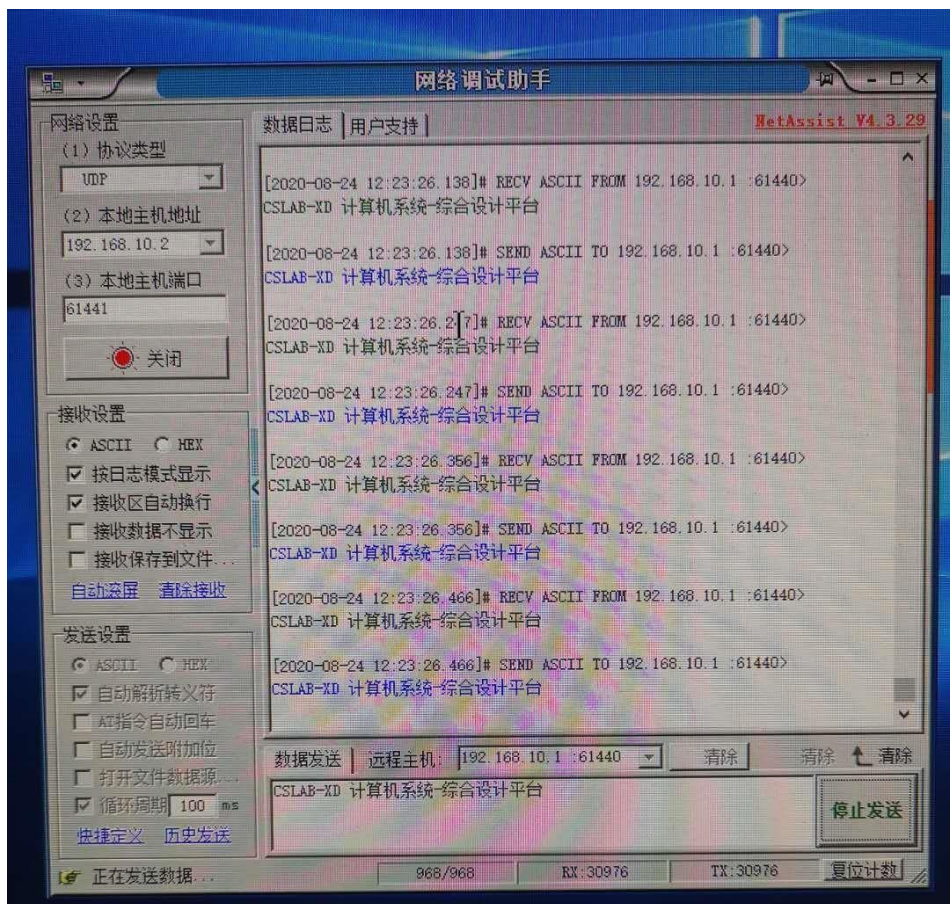
3.10 千兆以太网接口测试

(1) 测试方法：使用 UDP 协议，与 PC 进行交互，PC 发送 UDP 数据至 FPGA，FPGA 内部回环至 PC 显示。

(2) 测试步骤：烧写 UDP_TEST 工程 bit 配置文件至 FPGA 板卡； 使用网线连接

板卡与 PC 机器的网口；PC 机网口与板卡设定在同一网段。在 PC 机上运行网络调试助手，通过 UDP 协议连接板卡；本地端口 61441，FPGA 卡端口 61440；板卡 SW0 为系统复位，拨上方复位有效，测试时拨在下方；通过 PC 网络调试助手发 UDP 数据包，观察回环显示的数据。

(3) 测试结果：网口可正常工作。

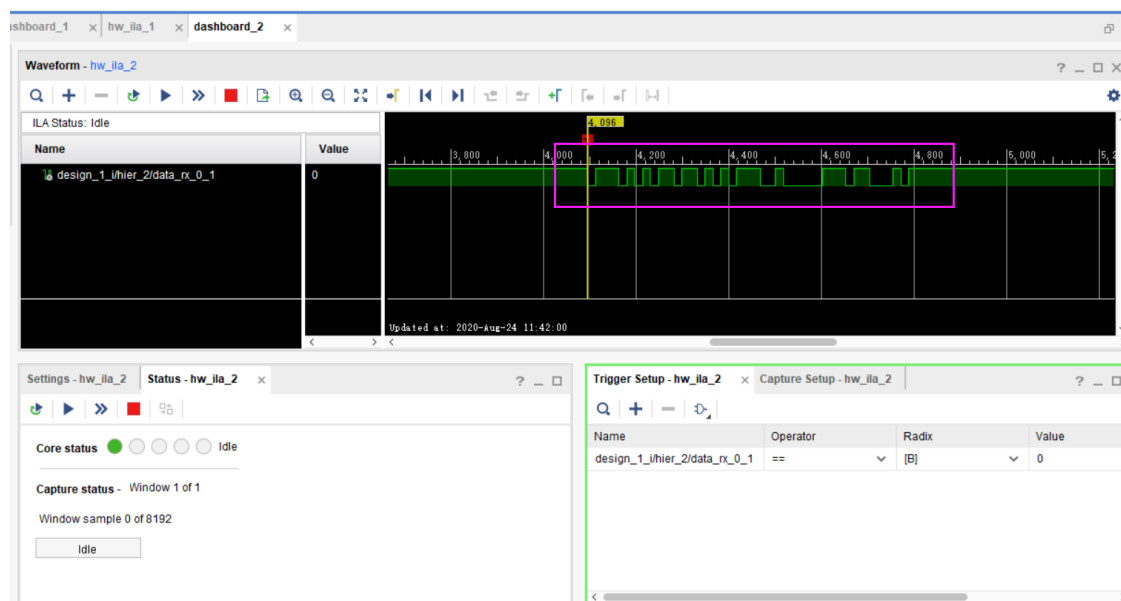


3.11 USB-HID 接口测试

(1) 测试方法：外部连接 USB 键盘外设，通过 ILA 抓取数据。

(2) 测试步骤：烧写 CSLAB_XD_test_all_2.0 工程 bit 配置文件至 FPGA 板卡；在 USB-HID 接口插入 USB 键盘；通过 ILA 观察抓取数据进行观察。

(3) 测试结果：USB-HID 接口可正常工作。



3.12 PMOD 接口测试

- (1) 测试方法：通过 VIO 改变 IO 输出，通过外部示波器或万用表观察 IO 输出。
- (2) 测试步骤：烧写工程 bit 配置文件至 FPGA 板卡；打开 VIVADO 调试界面；进入 VIO 操作界面，设定 IO 输出电平；通过万用表或示波器进行测试。
- (3) 测试结果：PMOD IO 扩展接口可正常工作。

dashboard_1 x hw_ila_1 x dashboard_2 x hw_ila_2 x

hw_vio_1

Dashboard Options

Name	Value	Activity	Direction	VIO
> design_1_iVio_1_probe_out0[7:0]	[H] 00		Output	hw_vio_1
> design_1_iVio_1_probe_out1[7:0]	[H] 00		Output	hw_vio_1
> design_1_iVio_1_probe_out2[7:0]	[H] 00		Output	hw_vio_1