

北京理工大学

计算机组成与体系结构

第5章
主存储器

张健
ZJSS@BIT.EDU.CN
北京理工大学计算机学院
SCHOOL OF COMPUTER SCIENCE & TECHNOLOGY
BEIJING INSTITUTE OF TECHNOLOGY

2025年11月

北京理工大学

第5章主存储器

5.1主存储器的组织

5.2数据的宽度和存储

5.3半导体随机存储器和只读存储器

5.4主存储器的连接和控制

5.5提高主存读写速度的技术

2025年11月

北京理工大学

5.1主存储器的组织

5.1.1主存储器的基本结构

主存储器通常由存储体、地址译码驱动电路、I/O和读写电路组成。

```
graph LR; AddressBus[地址线] --> Decoder[地址译码驱动]; Decoder --> StorageBody[存储体]; StorageBody <--> IO[I/O和读写电路]; IO <--> DataBus[数据线]; IO --- Control[读/写控制线];
```

2025年11月

北京理工大学

5.1主存储器的组织

存储体是主存储器的核心，程序和数据都存放在存储体中。地址译码驱动电路实际上包含译码器和驱动器两部分。译码器将地址总线输入的地址码转换成与之对应的译码输出线上的有效电平，以表示选中了某一单元，并由驱动器提供驱动电流去驱动相应的读、写电路，完成对被选中单元的读、写操作。I/O和读写电路包括读出放大器、写入电路和读/写控制电路，用以完成被选中存储单元中各位的读出和写入操作。

2025年11月

北京理工大学

5.1主存储器的组织

5.1.2主存储器的存储单元

位是二进制数的最基本单位，也是存储器存储信息的最小单位。一个二进制数由若干位组成，当这个二进制数作为一个整体存入或取出时，这个数称为存储字。存放存储字或存储字节的存储空间称为存储单元或主存单元，大量存储单元的集构成一个存储体MB，程序和数据都存放在存储体中，它是存储器的核心。

注意

2025年11月

北京理工大学

5.1主存储器的组织

一个存储单元可能存放一个字，也可能存放一个字节，这是由计算机的结构确定的。对于字节编址的计算机，最小寻址单位是一个字节，相邻的存储单元地址指向相邻的存储字节；对于字编址的计算机，最小寻址单位是一个字，相邻的存储单元地址指向相邻的存储字。

存储单元是CPU对主存可访问操作的最小存储单位。

2025年11月

5.1主存储器的组织

5.1.3主存储器的分类

主存储器都是采用半导体材料制造的，主要有MOS型存储器和双极型（TTL电路或ECL电路）存储器两类。MOS型存储器具有集成度高、功耗低、价格便宜、存取速度较慢等特点；双极型存储器具有存取速度快、集成度较低、功耗较大、成本较高等特点。

主存储器根据采用的存取方式可分为随机存取存储器（RAM）和只读存储器（ROM）两种。

随机存取是指CPU可以对存储器中的内容随机地存取，CPU对任何一个存储单元的写入和读出时间是一样的，即存取时间相同，与其所处的物理位置无关。RAM读/写方便，使用灵活。

2025年11月

5.1主存储器的组织

只读存储器可以看作RAM的一种特殊形式，其特点是：存储器的内容只能随机读出而不能写入。由于信息一旦写入存储器就固化了，即使断电，写入的内容也不会丢失，所以ROM又称为固定存储器。ROM除了存放某些系统程序（如BIOS程序）外，还用来存放专用的子程序，或用作函数发生器、字符发生器及微程序控制器中的控制存储器。

半导体RAM中存储的信息会因为断电而丢失，所以称作易失性存储器；而半导体ROM中存储的信息不会因为断电而丢失，所以称为非易失性存储器。

如果某个存储单元所存储的信息被读出时，原存信息将被破坏，则称破坏性读出；如果读出时，被读单元原存信息不被破坏，则称非破坏性读出。具有破坏性读出性能的存储器，每当一次读出操作之后，必须紧接一个重写（再生）的操作，以便恢复被破坏的信息。

2025年11月

5.1主存储器的组织

1. 存储容量

对于字节编址的计算机，以字节数来表示存储容量；对于字编址的计算机，以字数与其字长的乘积来表示存储容量。

2.存取速度

(1)存取时间 T_a

存取时间又称为访问时间或读/写时间，它是指从启动一次存储器操作到完成该操作所经历的时间。

(2)存取周期 T_m

存取周期又可称作读写周期、访存周期，它是指存储器进行一次完整的读写操作所需的全部时间，即连续两次访问存储器操作之间所需要的最短时间。

2025年11月

5.1主存储器的组织

显然，一般情况下， $T_m > T_a$ 。这是因为对任何一种存储器，在读写操作之后，总要有一段恢复内部状态的复原时间。对于破坏性读出的存储器，存取周期往往比存取时间要大得多，甚至可以达到 $T_m = 2T_a$ 。这是因为存储器中的信息读出后需要马上进行重写（再生）。

2025年11月

5.1主存储器的组织

(3)主存带宽 B_m

与存取周期密切相关的指标是主存的带宽，它又称为数据传输率，表示每秒从主存进出信息的最大数量，单位为字/秒或字节/秒或位/秒。

主存带宽与主存的等效工作频率及主存位宽有关系，若单位为字节每秒，则有：

$$B_m = \text{主存等效工作频率} \times \text{主存位宽} \div 8$$

2025年11月

5.1主存储器的组织

3. 可靠性

可靠性是指在规定的时间内，存储器无故障读写的概率。通常，用平均无故障时间（MTBF）来衡量可靠性。MTBF越长，说明存储器的可靠性越高。

4. 功耗

功耗是一个不可忽视的问题，它反映了存储器件耗电的多少，同时也反映了其发热的程度。通常希望功耗要小，这对存储器件的工作稳定性有好处。大多数半导体存储器的工作功耗与维持功耗是不同的，后者大大地小于前者。

2025年11月

第5章主存储器

5.1主存储器的组织

5.2数据的宽度和存储

5.3半导体随机存储器和只读存储器

5.4主存储器的连接和控制

5.5提高主存储读写速度的技术

5.2数据的宽度和存储

5.2.1数据的宽度

字表示被处理信息的单位，用来度量各种数据类型的宽度，而字长表示数据运算的宽度，反映了计算机处理信息的能力。它们两者的长度可以一样，也可以不一样。例如，在Intel 80x86系列机中把一个数据字定义为16位，所以将32位数据称为双字，64位数据称为四倍字；而在IBM303X系列机中把一个数据字定义为32位，所以将32位数据称为单字，64位数据称为双字。

5.2数据的宽度和存储

5.2.2数据的排列顺序

在所有计算机中，多字节数据都被存放在连续的字节序列中。根据数据中各字节在连续字节序列中的排列顺序的不同，有两种排列方式：**大端方案**和**小端方案**。如果将一个32位的整数0x12345678存放到一个整型变量（int）中，这个整型变量采用大端或者小端方案在主存中的存放如表所示（假设从地址0x4000开始存放）。

主存地址	大端方案	小端方案
0x4000	12 (MSB)	78 (LSB)
0x4001	34	56
0x4002	56	34
0x4003	78 (LSB)	12 (MSB)

5.2数据的宽度和存储

大端方案将高字节（MSB）存放在低地址，小端方案将高字节存放在高地址。采用大端方案进行数据存放符合人类的正常思维，而采用小端方案进行数据存放利于计算机处理。到目前为止，采用大端或者小端方案进行数据存放，其孰优孰劣也没有定论。

大端方案和小端方案在存放ASCII码字符串和BCD码数据的顺序是相反的，但是必须指出的是，不管是上述哪个系统，在表示一个32位整数时两个方案是一致的。

5.2数据的宽度和存储

例如，IBM 370机是字长为32位的计算机，主存按字节编址，每一个存储字包含4个单独编址的存储字节，字地址即是该字高位字节的地址，其**字地址总是等于4的整数倍**，正好用地址码的最末两位来区分同一个字的四个字节。PDP-11机是字长为16位的计算机，主存也按字节编址，每一个存储字包含2个单独编址的存储字节，它的**字地址总是2的整数倍**，但却是用低位字节地址作为字地址，并用地址码的最末1位来区分同一个字的两个字节。

5.2数据的宽度和存储

字地址

字节地址

0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

字地址

字节地址

0	1	0
2	3	2
4	5	4

5.2数据的宽度与存储

5.2.3数据在主存中的存放

在采用字节编址的情况下，数据在主存储器中的三种不同存放方法。假设，存储字为64位（8个字节），读/写的数据有四种不同长度，它们分别是字节（8位）、半字（16位）、单字（32位）和双字（64位）。

字节

半字

单字

双字

5.2数据的宽度与存储

请注意：此例中数据字长（32位）不等于存储字长（64位）。

现有一批数据，它们依次为：字节、半字、双字、单字、半字、单字、字节、单字。

5.2数据的宽度与存储

(1)不浪费存储器资源的存放方法

四种不同长度的数据一个紧接着一个存放。优点是不浪费宝贵的主存资源，但存在的问题是：当访问的一个双字、单字或半字跨越两个存储字时，存储器的工作速度降低了一倍，而且读写控制比较复杂。

存储字64位（8个字节）

5.2数据的宽度与存储

(2)从存储字的起始位置开始存放方法

无论要存放的是字节、半字、单字或双字，都必须从存储字的起始位置开始存放，而空余部分浪费不用。优点是：无论访问一个字节、半字、单字或双字都可以在一个存取周期内完成，读写数据的控制比较简单。缺点是：浪费了宝贵的存储器资源。

5.2数据的宽度与存储

存储字64位（8个字节）

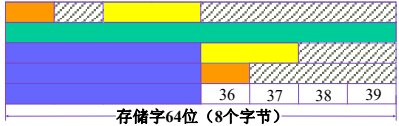
5.2数据的宽度与存储

(3)边界对齐的数据存放方法

双字地址的最末三个二进制位必须为000，单字地址的最末两位必须为00，半字地址的最末一位必须为0。它能够保证无论访问双字、单字、半字或字节，都在一个存取周期内完成，尽管存储器资源仍然有浪费，但是浪费比第(2)种存放方法要少得多。

注意

5.2数据的宽度与存储



36	37	38	39
----	----	----	----

2025年11月

第5章主存储器

5.1主存储器的组织

5.2数据的宽度和存储

5.3半导体随机存储器和只读存储器

5.4主存储器的连接和控制

5.5提高主读写速度的技术

2025年11月

5.3半导体随机存储器和只读存储器

主存储器通常分为随机存储器（RAM）和只读存储器（ROM）两大类。CPU可以对RAM中的任一单元读出和写入，而ROM只能读不能写。

5.3.1RAM的记忆单元

通常把存放一个二进制位的物理器件称为记忆单元，它是存储器的最基本构件，地址码相同的多个记忆单元构成一个存储单元。记忆单元可以由各种材料制成，但最常见的由MOS电路组成。RAM又可分为静态RAM（SRAM）和动态RAM（DRAM）两种。

2025年11月

5.3半导体随机存储器和只读存储器

无论哪一种半导体RAM，只要电源被切断，原来的保存信息便会丢失，这就是半导体存储器的易失性。

SRAM存储器的记忆单元是用双稳态触发器来保存信息的。在记忆单元未被选中或读出时，电路处于双稳态触发器工作状态，信息不变。SRAM的存取速度快，但集成度低，功耗也较大，所以一般用来组成高速缓冲存储器和小容量主存系统。

与SRAM存储器的存储原理不同，DRAM存储器是利用记忆单元电路中栅极电容上的电荷来存储信息的，由于栅极电容上的电荷会随着时间的推移不断泄漏掉，所以每隔一定的时间必须向栅极电容补充一次电荷，这个过程称为“刷新”。DRAM集成度高，功耗小，但存取速度慢，一般用来组成大容量主存系统。

2025年11月

5.3半导体随机存储器和只读存储器

5.3.2动态RAM的刷新

1. 刷新与重写

刷新与重写是两个完全不同的概念，切不可混淆。重写是随机的，某个存储单元只有在破坏性读出之后才需要重写。而刷新是定时的，即使许多记忆单元长期未被访问，若不及时补充电荷的话，信息也会丢失。重写一般是按存储单元进行的，而刷新通常是以存储体矩阵中的一行为单位进行的。

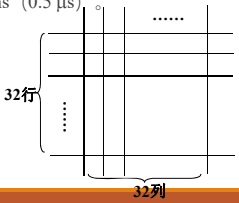
2025年11月

5.3半导体随机存储器和只读存储器

2. 刷新方式

常见的刷新方式有集中式、分散式和异步式三种。

例如，对具有1024个记忆单元（排列成32×32矩阵）的存储芯片进行刷新，刷新是按行进行的，且每刷新一行占用一个存取周期，存取周期为500ns（0.5 μs）。



2025年11月

5.3 半导体随机存储器和只读存储器



(1) 集中刷新方式

在允许的最大刷新间隔内，按照存储芯片容量的大小集中安排若干个刷新周期，刷新时停止读写操作。

$$\text{刷新时间} = \text{存储体矩阵行数} \times \text{刷新周期}$$

这里刷新周期是指刷新一行所需要的时间，由于刷新过程就是“假读”的过程，所以刷新周期就等于存取周期。

2025年11月

5.3 半导体随机存储器和只读存储器



在最大刷新间隔2ms内共可以安排4000个存取周期，从0~3967个周期内进行读/写操作或保持，而从3968~3999这最后32个周期集中安排刷新操作。

集中刷新方式的优点是读/写操作时不受刷新工作的影响，因此系统的存取速度比较高。缺点是在集中刷新期间必须停止读/写，这一段时间称为“死区”，而且存储容量越大，死区就越长。



2025年11月

5.3 半导体随机存储器和只读存储器



(2) 分散刷新方式

分散刷新是指把刷新操作分散到每个存取周期内进行，此时系统的存取周期被分为两部分，前一部分时间进行读/写操作或保持，后一部分时间进行刷新操作。一个系统存取周期内刷新存储矩阵中的一行。



2025年11月

5.3 半导体随机存储器和只读存储器



分散刷新方式没有死区，但是，它也有很明显的缺点，第一是加长了系统的存取周期，如存储芯片的存取周期为0.5 μs，则系统的存取周期应为1 μs，降低了整机的速度；第二是刷新过于频繁（本例中每32 μs就重复刷新一遍），尤其是当存储容量比较小的情况下，没有充分利用所允许的最大刷新间隔（2ms）。

2025年11月

5.3 半导体随机存储器和只读存储器



(3) 异步刷新方式

异步刷新方式可以看成前述两种方式的结合，它充分利用了最大刷新间隔时间，把刷新操作平均分配到整个最大刷新间隔时间内进行，故有：

$$\text{相邻两行的刷新间隔} = \text{最大刷新间隔时间} / \text{行数}$$

2025年11月

5.3 半导体随机存储器和只读存储器



对于32×32矩阵，在2ms内需要将32行刷新一遍，所以相邻两行的刷新时间间隔=2ms/32=62.5 μs，即每隔62.5 μs安排一个刷新周期，在刷新时封锁读/写。

异步刷新方式虽然也有死区，但比集中刷新方式的死区小得多，仅为0.5 μs。这样可以避免使CPU连续等待过长的时间，而且减少了刷新次数，是比较实用的一种刷新方式。



2025年11月

5.3 半导体随机存储器和只读存储器



3. 刷新控制

- ① 无论是由外部刷新控制电路产生刷新地址逐行循环地刷新，还是芯片内部的刷新地址计数器自动地控制刷新，都不依赖于外部的访问，刷新对CPU是透明的。
- ② 刷新通常是一行一行地进行的，每一行中各记忆单元同时被刷新，故刷新操作时只需要行地址，不需要列地址。
- ③ 刷新操作类似于读出操作，但又有所不同。因为刷新操作仅是给栅极电容补充电荷，不需要信息输出。另外，刷新时不需要加片选信号，即整个存储器中的所有芯片同时被刷新。
- ④ 因为所有芯片同时被刷新，所以在考虑刷新问题时，应当从单个芯片的存储容量着手，而不是从整个存储器的容量着手。

2025年11月

5.3 半导体随机存储器和只读存储器



5.3.3 RAM芯片分析

1. RAM芯片

RAM芯片的外引脚包括地址线、数据线、控制线以及电源线。芯片通过地址线、数据线和控制线与外部连接。地址线是单向输入的，其数目与芯片容量有关。例如，容量为 1024×4 位时，地址线有10根；容量为 $64K \times 1$ 位时，地址线有16根。数据线是双向的，既可输入，也可输出，其数目与数据位数有关。例如， 1024×4 位的芯片，数据线有4根； $64K \times 1$ 位的芯片，数据线只有1根。控制线主要有读写控制线和片选线两种，读写控制线用来控制芯片是进行读操作还是写操作的，片选线用来决定该芯片是否被选中。

2025年11月

5.3 半导体随机存储器和只读存储器



由于DRAM芯片集成度高，容量大，为了减少芯片引脚数量，DRAM芯片把地址线分成相等的两部分，分两次从相同的引脚送入。两次输入的地址分别称为行地址和列地址，行地址由行地址选通信号RAS送入存储芯片，列地址由列地址选通信号CAS送入存储芯片。由于采用了地址复用技术，因此，DRAM芯片每增加一条地址线，实际上是增加了两位地址，也即增加了4倍的容量。

2025年11月

5.3 半导体随机存储器和只读存储器



2. 地址译码方式

地址译码电路能把地址线送来的地址信号翻译成对应存储单元的选择信号。

(1) 单译码方式

单译码方式又称字选法，它所对应的存储器结构是字结构的，容量为M个字的存储器（M个字，每字b位），排列成M行 \times b列的矩阵，矩阵的每一行对应一个字，有一条公用的选择线 w_i （字线）。字线选中某一行时，同一行中的各位就都被选中，由读写电路对被选中的各位实施读出或写入操作。

2025年11月

5.3 半导体随机存储器和只读存储器

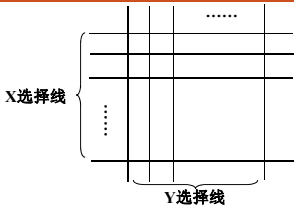


(2) 双译码方式

双译码方式又称为重合法。通常是把K位地址码分成接近相等的两段，一段用于水平方向作X地址线，供X地址译码器译码；一段用于垂直方向作Y地址线，供Y地址译码器译码。X和Y两个方向的选择线在存储体内部的一个记忆单元上交叉，以选择相应的记忆单元。

2025年11月

5.3 半导体随机存储器和只读存储器



双译码方式对应的存储芯片结构可以是位结构的，则在Z方向上重叠b个芯片，也可以是字段结构的。

2025年11月

5.3 半导体随机存储器 and 只读存储器

对于字段结构的存储芯片，行选择线为M/s根，列选择线为s，K位地址线也要划分为两部分： $K_x = \log_2 M/s$ ， $K_y = \log_2 s$ 。
双译码方式与单译码方式相比，减少了选择线数目和驱动器数目。存储容量越大，这两种方式的差异越明显。

译码方式	占用地址位		选择线数		驱动器数
单译码	16		65536		65536
双译码	8	8	256	256	256/256

2025年11月

5.3 半导体随机存储器 and 只读存储器

3. RAM的读/写时序

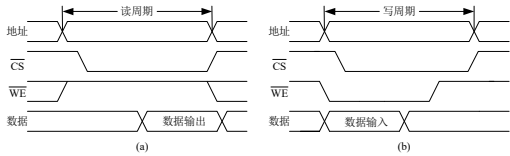
(1) SRAM读/写时序

读周期表示对该芯片进行两次连续读操作的最小间隔时间。在此期间，地址输入信息不允许改变，片选信号 \overline{CS} 在地址有效之后变为有效，使芯片被选中，最后在数据线上得到读出的信号。写允许信号 \overline{WE} 在读周期中保持高电平。

写周期与读周期相似，但除了要加地址和片选信号外，还要加一个低电平有效的写入脉冲 \overline{WE} ，并提供写入数据。

2025年11月

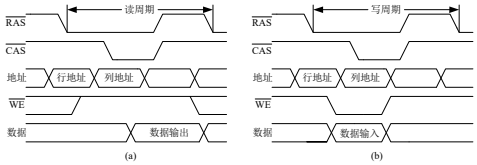
5.3 半导体随机存储器 and 只读存储器



2025年11月

5.3 半导体随机存储器 and 只读存储器

(2) DRAM读/写时序



2025年11月

5.3 半导体随机存储器 and 只读存储器

5.3.4 半导体只读存储器

ROM的最大优点是具有非易失性，即使电源断电，ROM中存储的信息也不会丢失。

1. ROM的类型

ROM工作时只能读出，不能写入，那么ROM中的内容是如何事先存入的呢？把向ROM写入数据的过程称为对ROM进行编程，根据编程方法的不同，ROM通常可以分为以下几类。

2025年11月

5.3 半导体随机存储器 and 只读存储器

(1) 掩膜式ROM (MROM)

内容是由半导体生产厂家按用户提出的要求在芯片的生产过程中直接写入的，写入后任何人都无法改变其内容。

(2) 一次可编程ROM (PROM)

允许用户利用专门的设备（编程器或写入器）写入自己的程序，但一旦写入后便无法改变，因此它是一种一次性可编程的ROM。

通常，生产厂家提供的PROM芯片初始内容为全“0”，用户根据自编的程序，使用编程器外加足够大的电压（或电流），将“1”写入相应位，PROM的编程是逐位进行的。常见的PROM根据写入原理可分为两类：结坏型和熔丝型。

2025年11月

5.3半导体随机存储器和只读存储器

5.3.3可擦除可编程ROM (EPROM)

内容不仅可以由用户利用编程器写入，而且可以对其内容进行多次改写。与前两种ROM相比，EPROM使用起来最为方便，因此应用非常广泛。

UVEPROM (紫外线擦除)

用紫外线灯进行擦除的，所以只能对整个芯片擦除，而不能对芯片中个别需要改写的存储单元单独擦除和重写。

EEPROM (电擦除)

用电气方法进行擦除的，它在联机条件下可以用字擦除方式擦除，也可以用数据块擦除方式擦除。以字擦除方式操作时，能够只擦除被选中的那个存储单元的内容；在数据块擦除方式操作时，可擦除数据块内所有单元的内容。

2025年11月

5.3半导体随机存储器和只读存储器

2.ROM芯片

除去地址线、数据线、片选线外，电源线分别有

Vcc——+5V（工作电源）和Vpp——编程电源。

2025年11月

5.3半导体随机存储器和只读存储器

5.3.4半导体Flash存储器

Flash存储器又称闪速存储器，它是一种高密度、非易失性的半导体存储器，允许在操作中被多次擦除或重写。从原理上看，它属于ROM存储器；从功能上看，它又属于RAM存储器，所以传统的ROM与RAM的定义和划分已失去意义，因而它是一种全新的存储器技术。它的主要特点是既可在不加电的情况下长期保存信息，又能在线进行快速擦除与重写，兼备了EEPROM和RAM的优点。

2025年11月

第5章主存储器

5.1主存储器的组织

5.2数据的宽度和存储

5.3半导体随机存储器和只读存储器

5.4主存储器的连接和控制

5.5提高主存储读写速度的技术

2025年11月

5.4主存储器的连接与控制

5.4.1主容量的扩展

要组成一个主存，首先要考虑选片的问题，然后就是把芯片连接起来的问题。根据存储器所要求的容量和选定的存储芯片的容量，就可以计算出总的芯片数，即

总片数=

总容量

芯片容量

2025年11月

5.4主存储器的连接与控制

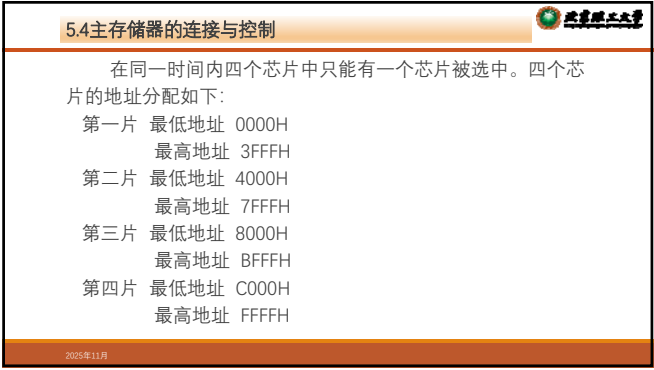
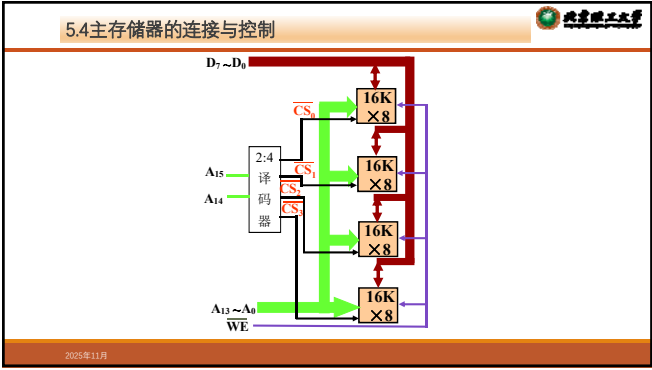
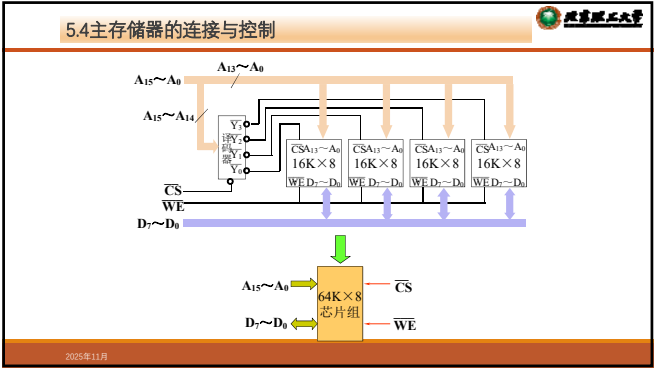
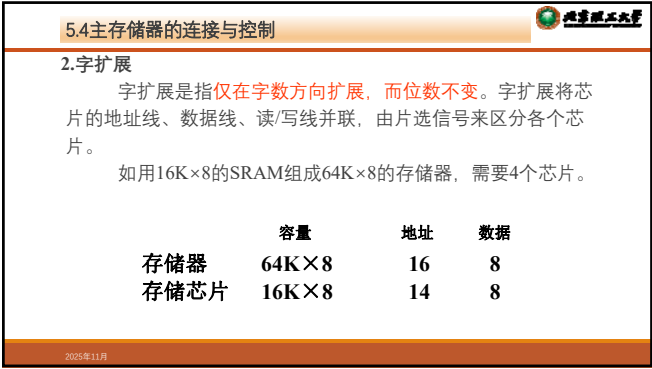
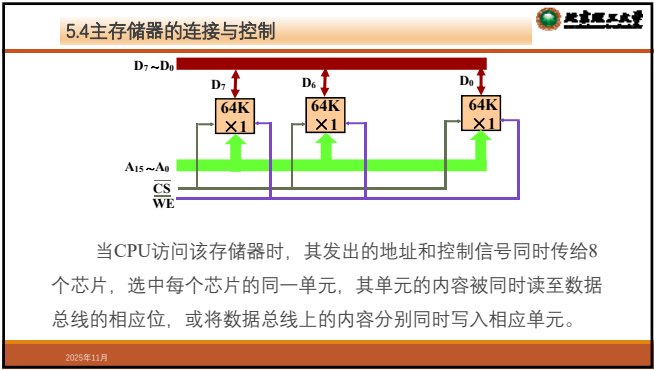
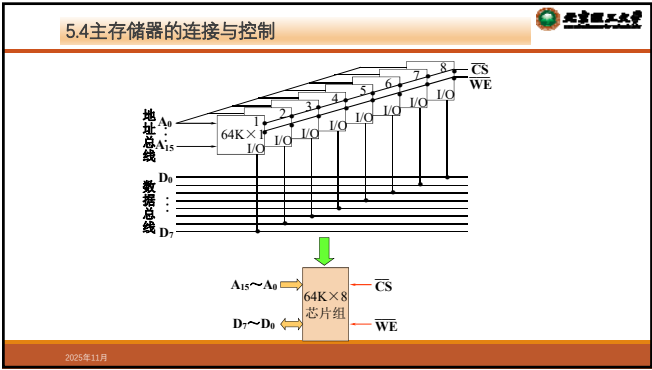
1.位扩展

位扩展指只在**位数方向扩展**（加大字长），而芯片的字数和存储器的字数是一致的。位扩展的连接方式是将各存储芯片的地址线、片选线和读/写线相应地并联起来，而将各芯片的数据线单独列出。

如用64K×1的SRAM芯片组成64K×8的存储器，需要8个芯片。

	容量	地址	数据
存储器	64K×8	16	8
存储芯片	64K×1	16	1

2025年11月



5.4主存储器的连接与控制

注意

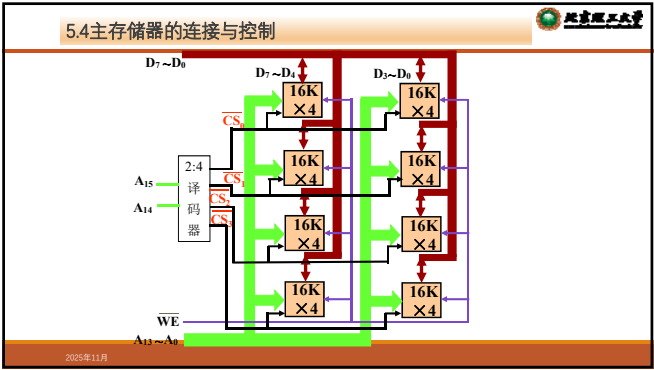
3.字和位同时扩展

当构成一个容量较大的存储器时，往往需要在**字数方向**和**位数方向上同时扩展**，这将是前两种扩展的组合，实现起来也是很容易的。

如用16K×4的SRAM组成64K×8的存储器，需要8个芯片。

	容量	地址	数据
存储器	64K×8	16	8
存储芯片	16K×4	14	4

2025年11月



5.4主存储器的连接与控制

5.4.2存储芯片的地址分配和片选

CPU要实现对存储单元的访问，首先要选择存储芯片，即进行片选；然后再从选中的芯片中依地址码选择出相应的存储单元，以进行数据的存取，这称为字选。片内的字选是由CPU送出的N条低位地址线完成的，地址线直接接到所有存储芯片的地址输入端（N由片内存储容量2^N决定），而片选信号则是通过高位地址得到的。实现片选的方法可分为3种：即**线选法**、**全译码法**和**部分译码法**。

2025年11月

5.4主存储器的连接与控制

1.线选法

线选法就是用除片内寻址外的高位地址线直接（或经反相器）分别接至各个存储芯片的片选端，当某地址线信息为“0”时，就选中与之对应的存储芯片。请注意，这些片选地址线每次寻址时只能有一位有效，不允许同时有多位有效，这样才能保证每次只选中一个芯片（或组）。

线选法的优点是不需要地址译码器，线路简单，选择芯片不需要外加逻辑电路，但仅适用于连接存储芯片较少的场合。同时，线选法不能充分利用系统的存储器空间，且把地址空间分成了相互隔离的区域，给编程带来了一定的困难。

2025年11月

5.4主存储器的连接与控制

芯片	A ₁₄ ~ A ₁₁	A ₁₀ ~ A ₀	地址范围
0#	1 1 1 0	00...0 11...1	7000 ~ 77FFFH
1#	1 1 0 1	00...0 11...1	6800 ~ 6FFFFH
2#	1 0 1 1	00...0 11...1	5800 ~ 5FFFFH
3#	0 1 1 1	00...0 11...1	3800 ~ 3FFFFH

2025年11月

5.4主存储器的连接与控制

2.全译码法

全译码法将片内寻址外的全部高位地址线作为地址译码器的输入，把经译码器译码后的输出作为各芯片的片选信号，将它们分别接到存储芯片的片选端，以实现存储芯片的选择。

全译码法的优点是每片（或组）芯片的地址范围是唯一确定的，而且是连续的，也便于扩展，不会产生地址重叠的存储区，但全译码法对译码电路要求较高。

2025年11月

5.4主存储器的连接与控制

芯片	$A_{19} \sim A_{13}$	$A_{12} A_{11}$	$A_{10} \sim A_0$	地址范围
0#	0...0	0 0	00...0 11...1	00000 ~ 007FFH
1#	0...0	0 1	00...0 11...1	00800 ~ 00FFFH
2#	0...0	1 0	00...0 11...1	01000 ~ 017FFH
3#	0...0	1 1	00...0 11...1	01800 ~ 01FFFH

2025年11月

5.4主存储器的连接与控制

3.部分译码

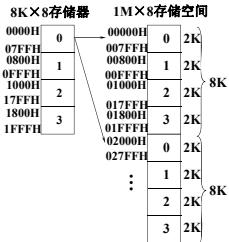
所谓部分译码即用片内寻址外的高位地址的一部分来译码产生片选信号。

如用4片2K×8的存储芯片组成8K×8存储器，需要四个片选信号，因此只要用两位地址线来译码产生。设地址总线有20位 ($A_{19} \sim A_0$)，则寻址8K×8存储器时，无论 $A_{19} \sim A_{13}$ 取何值，只要 $A_{12} = A_{11} = 0$ ，而均选中第一片，只要 $A_{12} = 0$ ， $A_{11} = 1$ ，均选中第二片，……。也就是说，8K RAM中的任一个存储单元，都对应应有 $2^{(20-13)} = 2^7$ 个地址，这种一个存储单元出现多个地址的现象称地址重叠。

2025年11月

5.4主存储器的连接与控制

从地址分布来看，这8KB存储器实际上占用了CPU全部的空间（1MB）。每片2K×8的存储芯片有1/4M=256K的地址重叠区。



2025年11月

5.4主存储器的连接与控制

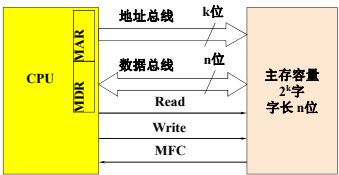
5.4.3主存储器和CPU的连接

1. 主存和CPU之间的硬连接

主存与CPU的硬连接有3组连线：地址总线（AB）、数据总线（DB）和控制总线（CB）。此时，把主存看作一个黑盒子，存储器地址寄存器（MAR）和存储器数据寄存器（MDR）是主存和CPU之间的接口。MAR可以接受来自程序计数器（PC）的指令地址或来自地址形成部件的操作数地址，以确定要访问的单元。MDR是向主存写入数据或从主存读出数据的缓冲部件。MAR和MDR从功能上看属于主存，但在小型计算机、微型计算机中常放在CPU内。

2025年11月

5.4主存储器的连接与控制



2025年11月

5.4主存储器的连接与控制

2.CPU对主存的基本操作

CPU与主存的硬连接是两个部件之间联系的物理基础，而两个部件之间还有软连接，即CPU向主存发出的读或写命令，这才是两个部件之间有效工作的关键。

CPU对主存进行读/写操作时，首先CPU在地址总线上给出地址信号，然后发出相应的读或写命令，并在数据总线上交换信息。

2025年11月

5.4主存储器的连接与控制

(1)读

读操作是指从CPU送来的地址所指定的存储单元中取出信息，再送给CPU，其操作过程是：

地址→MAR→AB CPU将地址信号送至地址总线
Read CPU发读命令
Wait for MFC 等待存储器工作完成信号
((MAR))→DB→MDR 读出信息经数据总线送至CPU

2025年11月

5.4主存储器的连接与控制



2025年11月

5.4主存储器的连接与控制

(2)写

写操作是指将要写入的信息存入CPU所指定的存储单元中，其操作过程是：

地址→MAR→AB CPU将地址信号送至地址总线
数据→MDR→DB CPU将要写入的数据送至数据总线
Write CPU发写命令
Wait for MFC 等待存储器工作完成信号

2025年11月

5.4主存储器的连接与控制



2025年11月

5.4主存储器的连接与控制

由于CPU和主存的速度存在着差距，所以两者之间的速度匹配是很关键的，通常有两种匹配方式：同步存储器读取和异步存储器读取。上面给出的读/写基本操作是以异步存储器读取来考虑的，CPU和主存间没有统一的时钟，由存储器工作完成信号（MFC）通知CPU存储器工作已完成。

对于同步存储器读取，CPU和主存采用统一时钟，因为主存速度较慢，所以CPU与之配合必须放慢速度。在这种存储器中，不需要存储器工作完成信号。

2025年11月

5.4主存储器的连接与控制

5.4.4主存的校验

1. 主存的奇偶校验

最简单的主存检验方法是奇偶校验。

当向主存写入数据时，奇偶校验电路首先会对一个字节的的数据计算出奇偶校验位的值，然后再把所有的9位值一起送到主存中去。

读出数据时，某一存储单元的9位数据被同时读出，当9位数据里“1”的个数为奇数时，表示读出的9位数据正确（当然不排除有2位同时出错的可能，但其概率极小）；当“1”的个数为偶数时，表示读出数据出错，向CPU发出不可屏蔽中断，使系统停机并显示奇偶检验出错的信息。

2025年11月

5.4主存储器的连接与控制

2. 错误检验与校正（ECC）

ECC主存用一组附加数据位来存储一个特殊码，被称为“校验和”。对于每个二进制字都有相应的ECC码。产生ECC码所需的位数取决于系统所用的二进制字长。例如，32位字要求有7位ECC码，此时ECC的开销大于奇偶校验的开销；64位字要求有8位ECC码，此时ECC和奇偶校验的开销是一样的。

ECC在存储器写操作时需要存储器控制器计算校验位，当从主存中读取数据时，将取到的实际数据和它的ECC码快速比较。如果匹配，则实际数据被传给CPU；如果不匹配，则ECC码的结构能够将出错的一位鉴别出来，然后改正错误，再将数据传给CPU。

2025年11月

第5章主存储器

5.1主存储器的组织

5.2数据的宽度和存储

5.3半导体随机存储器和只读存储器

5.4主存储器的连接和控制

5.5提高主存读写速度的技术

2025年11月

5.5提高主存读写速度的技术

5.5.1主存与CPU速度的匹配

过去，主存的速度通常以纳秒（ns）表示，而CPU速度总是被表示为兆赫兹（MHz），最近一些更快更新的主存也用MHz来表示速度。

如果主存总线的速度与CPU总线速度相等，那么主存的性能将是最优的，然而通常主存的速度落后于CPU的速度。当1GHz CPU要从133MHz主存读多个字节的数据时会出现大量的等待状态，所谓等待状态就是处理器在等待数据就绪之前必须执行的一个额外“什么都不做”的周期。增加等待周期实际上是将CPU速度减慢至主存速度。

2025年11月

5.5提高主存读写速度的技术

5.5.2主存技术的发展

1. FPM DRAM

FPM DRAM称为快速页模式随机存储器，它是传统DRAM的改进型产品，通过保持行地址不变而只改变列地址，可以对给定行的所有数据进行更快的访问。

2. EDO DRAM

EDO DRAM称为扩展数据输出DRAM，它是在 FPM DRAM基础上加以改进的存储器控制技术。传统的DRAM和FPM DRAM在存取每一数据时，输入行地址和列地址后必须等待电路稳定，然后才能有效地读写数据，而下一个地址必须等待这次读写周期完成才能输出。而EDO输出数据在整个CAS周期都是有效的（包括预充电时间在内），EDO不必等待当前的读写周期完成即可启动下一个读写周期，即可以在输出一个数据的过程中准备下一个数据的输出。

2025年11月

5.5提高主存读写速度的技术

3. SDRAM

SDRAM称为同步动态随机存储器，它是一种与主存总线运行同步的DRAM。SDRAM在同步脉冲的控制下工作，取消了主存等待时间，减少了数据传送的延迟时间，因而加快了系统速度。

4. DDR SDRAM

DDR SDRAM称为双数据传输率同步动态随机存储器，它与SDRAM的主要区别是：DDR SDRAM不仅能在时钟脉冲的上升沿读出数据而且还能在下降沿读出数据，不需要提高时钟频率就能加倍提高SDRAM的速度。

2025年11月

5.5提高主存读写速度的技术

5. DDR2、DDR3、DDR4和DDR5 SDRAM

在DDR之后，内存的家族中又陆续出现了DDR2、DDR3、DDR4，DDR5的原型也已经面世。

2025年11月