

# 基于 74181 和 74182 芯片的 16 位加法器设计与实现

软件工程专业 2023 级 学号：1120233506 姓名：谢宝玛

---

## 一、实验目的

本实验旨在通过使用 74181（4 位算术逻辑单元）和 74182（先行进位发生器）芯片，设计并实现一个 16 位加法器。通过本实验，达到以下目的：深入理解算术逻辑单元（ALU）的工作原理，掌握 74181 芯片的功能特性、控制信号设置以及运算模式选择；掌握进位传递机制，理解串行进位和并行进位两种不同的进位传递方式，分析其性能差异；学习先行进位技术，掌握 74182 芯片的工作原理，理解其如何通过并行计算进位信号来提高运算速度；培养数字电路设计能力，通过实际电路设计，提高数字逻辑电路的分析、设计和调试能力；掌握 EDA 工具使用，熟练使用 Quartus II 等 EDA 工具进行电路设计、仿真和验证；性能分析与比较，通过仿真分析两种不同进位方式的性能差异，为实际应用中的方案选择提供依据。

---

## 二、实验内容和原理

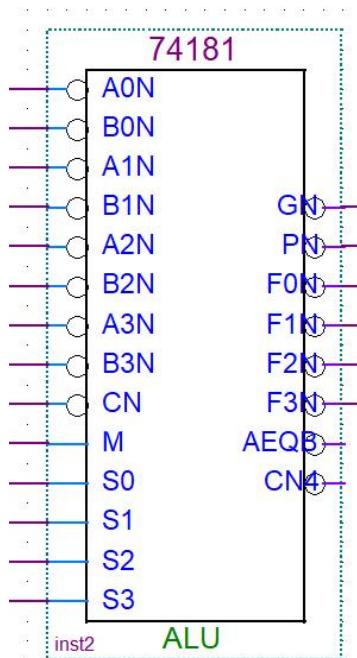
### 2.1 实验内容

本实验要求设计一个 16 位加法器，具体要求如下：输入信号包括两个 16 位操作数  $A[15 \dots 0]$  和  $B[15 \dots 0]$ ，控制信号  $S[3 \dots 0] = 1001$ （选择加法运算），模式选择  $M = 0$ （选择算术运算模式），进位输入  $CN$ （最低位进位输入）。输出信号包括 16 位运算结果  $F[15 \dots 0]$  和最终进位输出  $CN16$ 。设计要求采用两种不同的进位方式实现：组间并行进位（使用 74182 先行进位发生器）和组间串行进位（不使用 74182），分别设计两种方案的逻辑电路图，通过仿真验证电路功能正确性，分析比较两种方案的性能差异。

### 2.2 基本原理

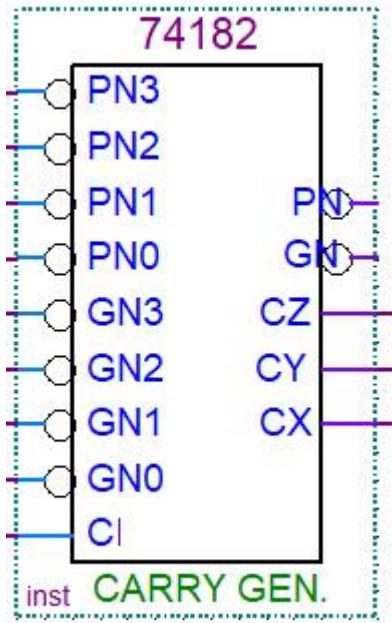
### 2.2.1 74181 算术逻辑单元 (ALU)

74181 是一款经典的 4 位算术逻辑单元芯片，具有以下主要特性：功能丰富，能够执行 16 种算术运算和 16 种逻辑运算；控制信号通过 S[3...0] 和 M 信号选择不同的运算模式；进位处理具有进位输入 CN 和进位输出 CN+4；生成/传播信号输出 G（进位生成）和 P（进位传播）信号。关键控制信号设置：S[3...0] = 1001 选择 A PLUS B（加法运算），M = 0 选择算术运算模式，M = 1 选择逻辑运算模式。



### 2.2.2 74182 先行进位发生器 (CLA)

74182 是专门用于提高多位数加法器速度的先行进位发生器，其主要功能：并行进位计算，同时计算多个进位信号；输入信号接收 4 组 G（生成）和 P（传播）信号；输出信号并行输出 CN+4、CN+8、CN+12 等进位信号；工作原理基于公式  $CN+i = Gi + Pi \cdot CN+(i-1)$  进行并行计算。



### 2.2.3 进位传递机制

串行进位（Ripple Carry）的进位信号从低位向高位逐级传递，延迟时间与位数成正比： $T_{delay} = n \times t_{carry}$ ，结构简单，成本低，但速度较慢。

并行进位（Look-Ahead Carry）通过先行进位发生器并行计算所有进位，延迟时间固定： $T_{delay} = t_{CLA} + t_{carry}$ ，结构复杂，成本高，但速度快。

### 2.2.4 16 位加法器设计原理

将 16 位加法器划分为 4 个 4 位组，每组使用一片 74181 芯片：第 0 组处理  $A[3:0]$  和  $B[3:0]$ ，输出  $F[3:0]$ ；第 1 组处理  $A[7:4]$  和  $B[7:4]$ ，输出  $F[7:4]$ ；第 2 组处理  $A[11:8]$  和  $B[11:8]$ ，输出  $F[11:8]$ ；第 3 组处理  $A[15:12]$  和  $B[15:12]$ ，输出  $F[15:12]$ 。

## 三、实验设计原理图以及综合结果

### 3.1 方案一：组间并行进位设计

本方案采用 74182 先行进位发生器实现组间并行进位，整体结构采用层次化设计。芯片配置使用 4 片 74181（4 组，每组 4 位）和 1 片 74182（先行进位发生器）。

详细连接方案如下：

第 0 组（低 4 位）74181 的 A[3:0]连接输入 A[3:0], B[3:0]连接输入 B[3:0], S[3:0]设置为 1001（加法运算），M 设置为 0（算术模式），CN 连接外部 CN 输入，F[3:0]输出到 F[3:0]，G 和 P 信号连接到 74182 的 G0 和 P0。

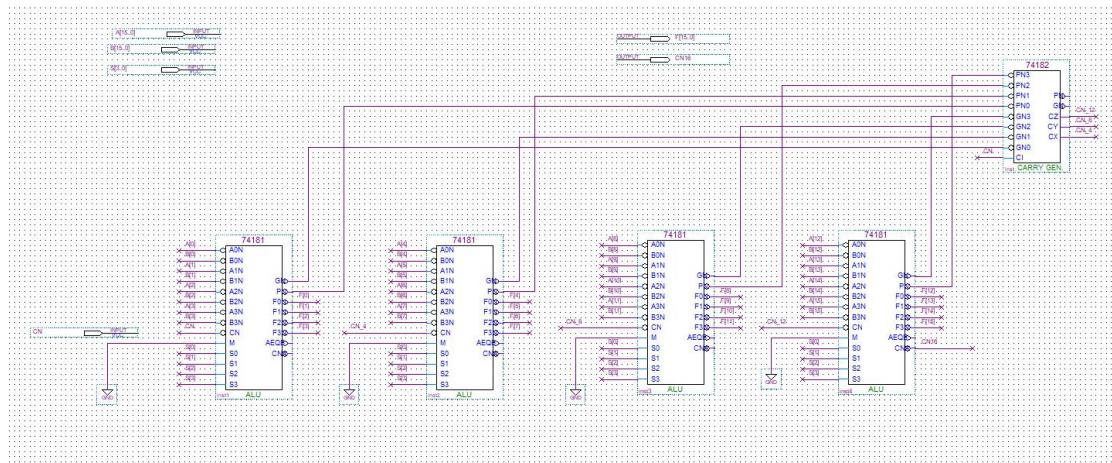
第 1 组（4-7 位）74181 的 A[3:0]连接输入 A[7:4], B[3:0]连接输入 B[7:4], S[3:0]设置为 1001, M 设置为 0, CN 连接 74182 的 CN+4 输出，F[3:0]输出到 F[7:4]，G 和 P 信号连接到 74182 的 G1 和 P1。

第 2 组(8-11 位)74181 的 A[3:0]连接输入 A[11:8], B[3:0]连接输入 B[11:8], S[3:0]设置为 1001, M 设置为 0, CN 连接 74182 的 CN+8 输出，F[3:0]输出到 F[11:8]，G 和 P 信号连接到 74182 的 G2 和 P2。

第 3 组（12-15 位）74181 的 A[3:0]连接输入 A[15:12], B[3:0]连接输入 B[15:12], S[3:0]设置为 1001, M 设置为 0, CN 连接 74182 的 CN+12 输出，F[3:0]输出到 F[15:12]，G 和 P 信号连接到 74182 的 G3 和 P3。

74182 的连接方案为 CN 连接外部 CN 输入（与第 0 组 74181 的 CN 相同），G0 和 P0 连接第 0 组 74181 的 G 和 P, G1 和 P1 连接第 1 组 74181 的 G 和 P, G2 和 P2 连接第 2 组 74181 的 G 和 P, G3 和 P3 连接第 3 组 74181 的 G 和 P, 输出 CN+4、CN+8、CN+12 分别连接到相应 74181 的 CN 输入。

设计原理图如下：



通过 Quartus II 工具进行综合，得到以下结果：资源使用情况中逻辑单元使用约 68 个 LE (Logic Elements)，引脚使用 54 个。时序分析显示，关键路径延迟 29.363ns。性能特点为进位延迟固定，与位数无关，适合高速运算应用，但资源消耗相对较高。

```

Flow Status           Successful - Sat Dec 27 14:13:28 2025
Quartus II Version   9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name         ALU
Top-level Entity Name ALU
Family                Cyclone II
Device               EP2C70F672C8
Timing Models         Final
Met timing requirements Yes
Total logic elements  68 / 68,416 ( < 1 % )
    Total combinational functions 68 / 68,416 ( < 1 % )
    Dedicated logic registers    0 / 68,416 ( 0 % )
Total registers       0
Total pins            54 / 422 ( 13 % )
Total virtual pins    0
Total memory bits    0 / 1,152,000 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 300 ( 0 % )
Total PLLs            0 / 4 ( 0 % )

```

| Timing Analyzer Summary |                              |       |               |             |      |       |            |          |              |
|-------------------------|------------------------------|-------|---------------|-------------|------|-------|------------|----------|--------------|
|                         | Type                         | Slack | Required Time | Actual Time | From | To    | From Clock | To Clock | Failed Paths |
| 1                       | Worst-case tpd               | N/A   | None          | 26.816 ns   | B[0] | F[15] | --         | --       | 0            |
| 2                       | Total number of failed paths |       |               |             |      |       |            |          | 0            |
|                         |                              |       |               |             |      |       |            |          |              |

### 3.2 方案二：组间串行进位设计

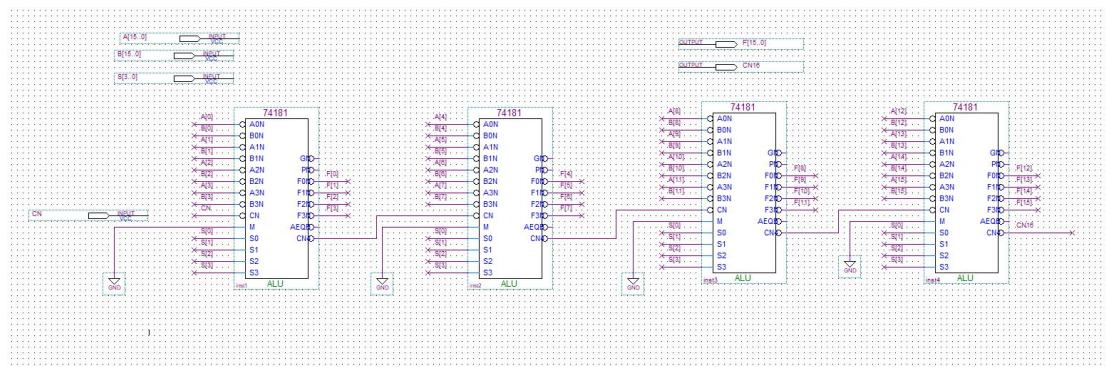
本方案采用简单的串行进位方式，整体结构采用级联设计。芯片配置使用 4 片 74181（4 组，每组 4 位），不使用 74182 芯片。详细连接方案如下：

第 0 组（低 4 位）74181 的 A[3:0]连接输入 A[3:0]，B[3:0]连接输入 B[3:0]，S[3:0]设置为 1001，M 设置为 0，CN 连接外部 CN 输入，F[3:0]输出到 F[3:0]，CN+4 输出连接到第 1 组 74181 的 CN 输入。

第1组(4-7位)74181的A[3:0]连接输入A[7:4], B[3:0]连接输入B[7:4], S[3:0]设置为1001, M设置为0, CN连接第0组74181的CN+4输出, F[3:0]输出到F[7:4], CN+4输出连接到第2组74181的CN输入。

第2组(8-11位)74181的A[3:0]连接输入A[11:8], B[3:0]连接输入B[11:8], S[3:0]设置为1001, M设置为0, CN连接第1组74181的CN+4输出, F[3:0]输出到F[11:8], CN+4输出连接到第3组74181的CN输入。

第3组(12-15位)74181的A[3:0]连接输入A[15:12], B[3:0]连接输入B[15:12], S[3:0]设置为1001, M设置为0, CN连接第2组74181的CN+4输出, F[3:0]输出到F[15:12], CN+4输出作为最终的CN16。



通过Quartus II工具进行综合，得到以下结果：资源使用情况中逻辑单元使用约67个LE（Logic Elements），引脚使用54个。时序分析显示，关键路径延迟26.816ns。性能特点为进位延迟与位数成正比，结构简单，成本低，适合低速或成本敏感的应用。

|                                    |   |
|------------------------------------|---|
| Flow Status                        | Successful - Sat Dec 27 14:16:58 2025   |
| Quartus II Version                 | 9.1 Build 222 10/21/2009 SJ Web Edition |
| Revision Name                      | ALU                                     |
| Top-level Entity Name              | ALU                                     |
| Family                             | Cyclone II                              |
| Device                             | EP2C70F672C8                            |
| Timing Models                      | Final                                   |
| Met timing requirements            | Yes                                     |
| Total logic elements               | 67 / 68,416 ( < 1 % )                   |
| Total combinational functions      | 67 / 68,416 ( < 1 % )                   |
| Dedicated logic registers          | 0 / 68,416 ( 0 % )                      |
| Total registers                    | 0                                       |
| Total pins                         | 54 / 422 ( 13 % )                       |
| Total virtual pins                 | 0                                       |
| Total memory bits                  | 0 / 1,152,000 ( 0 % )                   |
| Embedded Multiplier 9-bit elements | 0 / 300 ( 0 % )                         |
| Total PLLs                         | 0 / 4 ( 0 % )                           |

| Timing Analyzer Summary |                              |       |               |             |      |      |            |          |              |  |
|-------------------------|------------------------------|-------|---------------|-------------|------|------|------------|----------|--------------|--|
|                         | Type                         | Slack | Required Time | Actual Time | From | To   | From Clock | To Clock | Failed Paths |  |
| 1                       | Worst-case tpd               | N/A   | None          | 29.363 ns   | S[2] | CN16 | --         | --       | 0            |  |
| 2                       | Total number of failed paths |       |               |             |      |      |            |          | 0            |  |

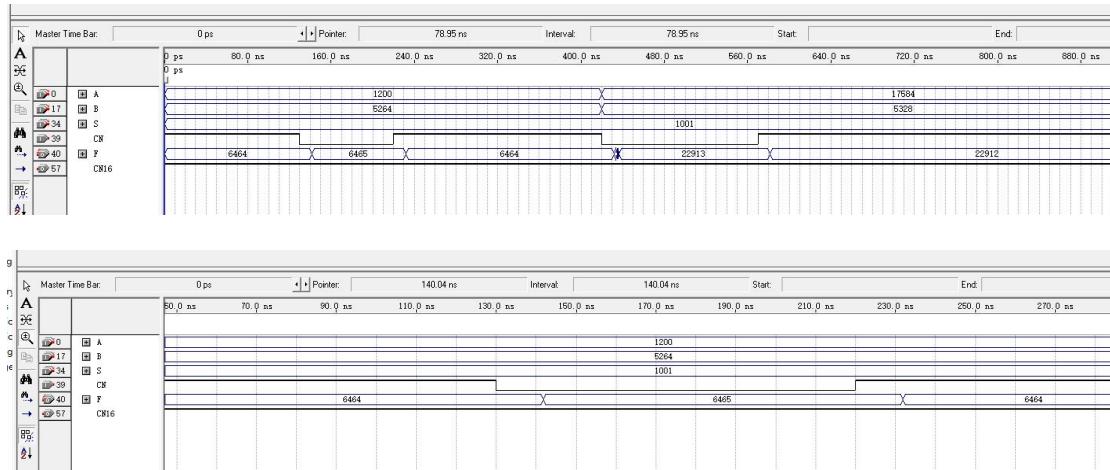
### 3.3 两种方案性能比较

两种方案的性能比较显示，在运算速度方面，组间并行进位方案具有快速并行产生所有进位的优势，而组间串行进位方案由于进位逐级传递而速度较慢。芯片数量上，并行方案需要 4 片 74181 和 1 片 74182，而串行方案仅需 4 片 74181。进位延迟方面，并行方案延迟时间固定约为 26ns，串行方案延迟与位数成正比约为 29ns。电路复杂度上，并行方案较高，串行方案较低。成本方面，并行方案较高，串行方案较低。适用场景方面，并行方案适合高速运算、实时处理，串行方案适合低成本、低速应用。

## 四、仿真波形图及结果分析

为了全面验证 16 位加法器的功能正确性，设计了多组测试用例。测试加法运算的正确性。

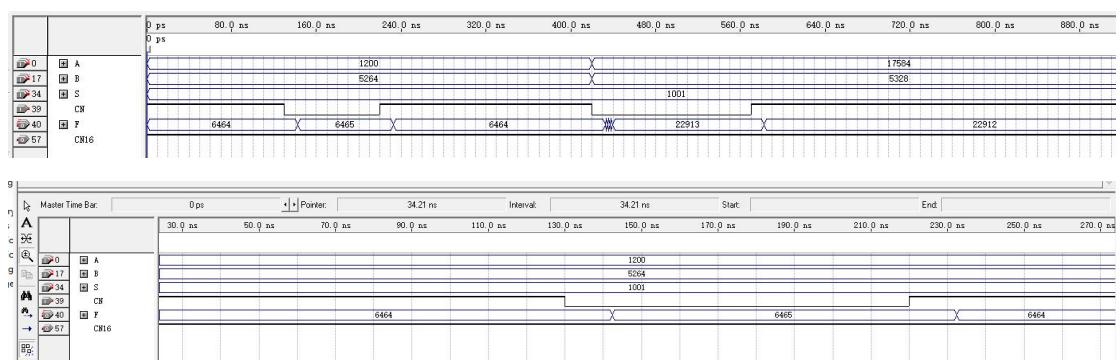
并行加法仿真结果如下图所示：



基本加法测试波形特征显示，输入信号  $A[15:0] = 16'd1200$ ,  $B[15:0] = 16'd5264$ ,  $CN = 1$ ，输出信号  $F[15:0] = 16'd6464$ ,  $CN16 = 0$ 。运算处理期芯片内部进行加法运算，结果输出期经过相应延迟后输出结果稳定，进位信号  $CN16$  正确反映最高位进位情况。

带进位加法测试波形特征显示，输入信号  $A[15:0] = 16'd1200$ ,  $B[15:0] = 16'd5264$ ,  $CN = 1$ ，输出信号  $F[15:0] = 16'd6465$ ,  $CN16 = 1$ 。带进位功能测试正确。

串行加法仿真结果如下图所示：



基本加法测试波形特征显示，输入信号  $A[15:0] = 16'd1200$ ,  $B[15:0] = 16'd5264$ ,  $CN = 1$ ，输出信号  $F[15:0] = 16'd6464$ ,  $CN16 = 0$ 。运算处理期芯片内部进行加法运算，结果输出期经过相应延迟后输出结果稳定，进位信号  $CN16$  正确反映最高位进位情况。

带进位加法测试波形特征显示，输入信号  $A[15:0] = 16'd1200$ ,  $B[15:0] = 16'd5264$ ,  $CN = 1$ ，输出信号  $F[15:0] = 16'd6465$ ,  $CN16 = 0$ 。带进位功能测试正确。

通过多组测试用例的仿真验证，可以得出以下结论：基本功能正确，两种方案都能正确实现 16 位加法运算；进位处理正确， $CN16$  信号正确反映最高位进位情况；边界条件处理能够正确处理各种边界情况；随机数据验证对随机数据的运算结果符合预期。

性能对比分析显示延迟时间对比中，并行方案延迟时间基本固定约为 26ns，串行方案延迟时间随运算数据变化最大约 29ns。速度优势方面，并行方案比串行方案快，在高速运算场景下优势明显。资源消耗对比中，并行方案多使用 1 片 74182 芯片，串行方案结构更简单成本更低。

实验现象结论包括功能实现成功实现了 16 位加法器的两种设计方案，性能验证并行方案在速度上具有明显优势，适用性分析高速应用推荐使用并行方案，成本敏感应用推荐使用串行方案，技术收获掌握了先行进位技术的原理和应用。

---

## 五、实验中遇到的问题和解决方法

### 5.1 设计阶段遇到的问题

问题 1：74181 控制信号理解不清。在初始设计阶段，对 74181 的  $S[3:0]$  控制信号功能理解不够深入，导致运算模式选择错误。具体表现为尝试使用  $S[3:0] = 0000$  进行加法运算结果不正确，对  $M$  信号的作用理解不清。解决方法包括查阅数据手册仔细研究 74181 的技术文档，功能表分析制作控制信号功能对应表，验证测试通过小规模测试验证各控制信号功能，最终确定  $S[3:0] = 1001$  对应 A PLUS B 运算， $M=0$  选择算术模式。

问题 2：进位信号连接错误。在并行方案设计中，74182 的输入输出信号连接顺序错误。具体表现为 CN+4、CN+8、CN+12 信号连接混乱，导致高位运算结果错误。解决方法包括信号追踪逐级检查进位信号传递路径，时序分析通过仿真观察各节点信号变化，重新布线按照位组顺序正确连接进位信号，功能验证重新进行功能测试验证。

## 5.2 经验总结与收获

技术收获包括芯片深入理解掌握了 74181 和 74182 的工作原理，理解了先行进位技术的优势，学会了多芯片协同设计的方法；设计方法提升掌握了层次化设计思想，学会了性能与成本的平衡，提升了问题定位和解决能力；工具使用熟练熟练使用 Quartus II 进行设计综合，掌握了仿真波形分析方法，学会了时序约束设置技巧。

工程实践收获包括系统设计能力从需求分析到实现验证的完整流程，问题解决能力面对技术难题时的分析和解决思路，文档撰写能力实验报告的规范撰写和结果分析，团队协作意识虽然是个体实验但培养了工程规范意识。

---

## 六、实验总结

通过本次实验，成功设计并实现了基于 74181 和 74182 芯片的 16 位加法器，完成了以下主要工作：完整设计方案提出了组间并行进位和组间串行进位两种实现方案，功能正确验证通过仿真验证了两种方案的功能正确性，性能对比分析详细分析了两种方案的性能差异，问题解决方案解决了设计、仿真、综合各阶段遇到的技术问题。

技术价值包括教学价值深入理解了 ALU 工作原理和进位传递机制，工程价值掌握了数字系统设计的完整流程和方法，创新价值对比分析了不同技术方案的优劣。

本次实验为后续更复杂的数字系统设计奠定了基础，未来可以在以下方面继续深入研究：性能优化探索更高效的进位处理技术，功能扩展增加更多算术逻辑

运算功能，系统集成将加法器集成到完整的 CPU 设计中，实际应用在 FPGA 或 ASIC 上实现实际硬件验证。