密级：公开

信号处理卡及万兆以太网子卡

技术协议

协议编号：

生效日期：

需方：中国工程物理研究院 供方：北京北科烁普科技

电子工程研究所 有限公司

（加盖公章） （加盖公章）

编 制： 编 制：

审 核：

审 核：

会 签：

批 准： 　 批 准：

# 概述

信号处理卡用于实现通信基带信号的数字并行处理、系统工作流程控制等功能，其核心处理芯片为现场可编程逻辑门阵列（FPGA）芯片。万兆以太网子卡（以下简称“万兆网子卡”）用于实现信号处理卡与外部设备的大带宽数据交换。

# 适用范围

本协议规定了信号处理卡及万兆网子卡在研制、生产、检验、验收、包装运输及售后服务期等环节的技术要求，适用于信号处理卡及万兆网子卡研制、交付及售后服务全过程。

# 引用文件

下列文件中的有关条款通过引用而成为本技术协议的条款。凡注日期或版次的引用文件，其后的任何修改单（不包括勘误的内容）或修订版本都不适合于本技术协议，但提倡使用本技术协议的各方探讨使用其最新版本的可能性。凡不注日期或版次的引用文件，其最新版本适用于本技术协议。

1. ANSI/VITA 46.0 VPX Baseline Standard；
2. ANSI/VITA 57.1 FPGA Mezzanine Card (FMC) Standard；
3. ANSI/VITA 65 OpenVPX™ System Specification；
4. IEEE Std 802.3™-2015 IEEE Standard for Ethernet；
5. GJB 150.16A-2009 军用装备实验室环境试验方法：振动试验；
6. GJB 150.16-1986 军用设备环境试验方法：振动试验。

# 技术要求

## 产品主要功能

### 信号处理卡

信号处理卡应包含一片美国Xilinx公司的XCKU115或以上级别的通用型FPGA芯片，以及一片XC7Z100或以上级别的Zync系列FPGA芯片。两片芯片均为工业级-2或-3等级。

信号处理卡应包含三个标准FMC插槽。

信号处理卡应设计不少于10个用于测试的表贴LED。

信号线互连要求参考图1。两个FPGA芯片之间的互连信号线不得少于：

1. 8路高速收发对（GTX、GTH等）；
2. 32对LVDS差分对。

FPGA芯片和FMC插槽之间的互连信号线不得少于：

1. XCKU115（或以上级别FPGA芯片）与FMC1之间通过10路高速收发对（GTX、GTH等）和80对LVDS差分对；
2. XCKU115（或以上级别FPGA芯片）与FMC2之间通过10路高速收发对（GTX、GTH等）和80对LVDS差分对；
3. XC7Z100（或以上级别Zync系列FPGA芯片）与FMC3之间通过4路高速收发对（GTX、GTH等）和80对LVDS差分对。

FPGA芯片和VPX背板各插槽（P1～P6）之间的互连信号线不得少于：

1. XCKU115（或以上级别FPGA芯片）与P1插槽之间通过16路高速收发对（GTX、GTH等）和4对LVDS差分对；
2. XCKU115（或以上级别FPGA芯片）与P2插槽之间通过8路高速收发对（GTX、GTH等）和8对LVDS差分对；
3. XCKU115（或以上级别FPGA芯片）与P5插槽之间通过40对LVDS差分对；
4. XCKU115（或以上级别FPGA芯片）与P6插槽之间通过40对LVDS差分对；
5. XC7Z100（或以上级别Zync系列FPGA芯片）与P3插槽之间通过4路高速收发对（GTX、GTH等）和4对LVDS差分对；
6. XC7Z100（或以上级别Zync系列FPGA芯片）与P4插槽之间通过40对LVDS差分对。

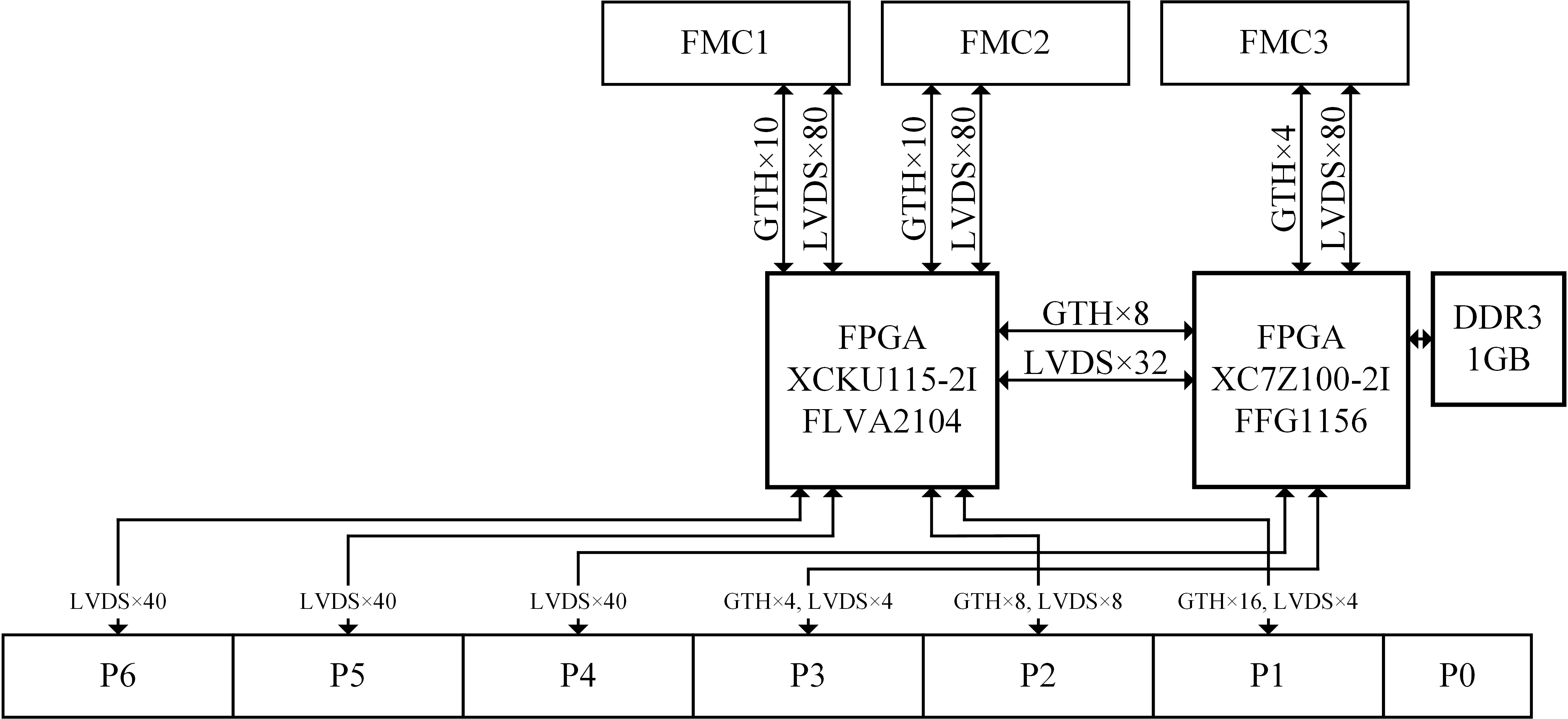


图1　信号处理卡信号线互连要求参考图

### 万兆网子卡

万兆网子卡为符合《ANSI/VITA 57.1 FPGA Mezzanine Card (FMC) Standard》标准的FMC子卡，包括至少两路独立的SFP+接口。

## 产品外观要求

### 外形尺寸和标识

1. 信号处理卡为VPX标准6U板卡；
2. 万兆网子卡为标准尺寸FMC子卡；
3. 所有板卡的前面板标识字体应清晰可辨，且为刻蚀字体，不得使用易脱落的表面喷印字体。

### 结构及安装要求

1. 信号处理卡应符合6U VPX标准导冷结构及安装要求，导冷结构件接触表面粗糙度优于Ra1.6；
2. 板卡前面板均采用手紧防脱螺钉紧固，方便拆卸；
3. 万兆网子卡应可靠安装在信号处理卡的FMC1插槽上，并采取必要的紧固强化措施，保证子卡在“环境试验要求”一节所规定的振动环境下仍然保持可靠的电气连接性能，接口数据吞吐量恶化不大于5%。

### 表面处理要求

1. 各结构件应进行电化学导电氧化。

### 外观质量要求

1. 产品表面目视无明显凹痕、划伤、变形和污垢，涂覆层应均匀，目视无起泡、龟裂、脱落和磨损。若出现局部少许脱漆，允许补漆；
2. 插座插针不得弯曲、短缺、凹陷、凸起和生锈；
3. 焊点规则、整齐，无虚焊；
4. 电路板丝印文字清晰可辨、电路板表面无污染；
5. 所有紧固件无松动，开关、按钮操作应操作灵活可靠。

## 供电接口要求

1. 信号处理卡采用符合VPX标准的供电方式，产品仅使用VPX背板P0插槽提供的+12V DC供电；
2. 万兆网子卡使用FMC插槽供电，不得使用额外电源供电。

## 配套软件要求

1. 供方需提供两个独立的测试工程，分别对应于两片FPGA，用于测试信号处理卡的基本功能，包括但不限于系统时钟信号、测试LED等；
2. 用于Zync系列FPGA的测试工程需包括不低于5.3.2版本的Linux操作系统内核（Kernel），并安装所有与信号处理卡硬件配套的驱动程序；
3. 两个测试工程使用的开发软件版本不低于Vivado 2018.2；
4. 供方需提供万兆网子卡配套的、可在信号处理卡的XCKU115（或以上级别FPGA芯片）芯片中使用的万兆网协议知识产权内核（以下简称“万兆网IP”）；
5. 万兆网IP不得采用任何手段要求在指定的FPGA芯片中使用（例如绑定FPGA芯片的序列号）；
6. 万兆网IP可以以网表形式或源代码形式提供，若为网表形式则需支持在Xilinx Kintex UltraScale系列FPGA上综合和布线；
7. 万兆网IP需实现的协议包括：UDP和TCP协议（传输层协议，且在TCP协议实现中，支持将设备设置于客户端模式或服务器模式）、IP和ICMP协议（及其他必要的网络层协议，如ARP协议等）和必要的链路层（MAC层）协议；
8. 供方需提供用于演示和验证万兆网IP功能和性能的配套测试工程，包括上位机（指PC）工程和下位机（指信号处理卡）工程，上位机工程运行于普通PC上的Windows 10操作系统，下位机工程用于产生FPGA使用的bit文件；
9. 上位机工程中，允许设置网络传输模式使用UDP协议或TCP协议，设置为TCP协议时，PC设置为客户端工作模式；
10. 上位机工程需支持选择硬盘中的任意文件（任意大小和数量）并将其发送到下位机的功能；
11. 上位机工程使用Microsoft Visual Studio或Qt软件开发，Visual Studio开发软件的版本不低于Visual Studio 2015，Qt开发软件的版本不低于5.12.2；
12. 下位机工程需支持产生指定大小（最大不小于4GB）的PRBS数据并将其发送到上位机的功能（通过Xilinx VIO IP core控制）；
13. 下位机在向上位机发送有效数据前，应先向上位机发送数据传送请求，上位机软件响应后，下位机方可开始发送有效数据；
14. 下位机工程中，允许设置万兆网IP使用UDP协议或TCP协议（至少可在示例源码中修改并重新产生bit文件），使用TCP协议时，FPGA设置为服务器工作模式；
15. 下位机工程可响应网络中的ping请求；
16. 下位机工程使用的开发软件版本不低于Vivado 2018.2。

## 技术指标

1. 每块信号处理卡包含一片XCKU115或以上级别的通用型FPGA芯片，工业级-2或-3等级；
2. 每块信号处理卡包含一片XC7Z100或以上级别的Zync系列FPGA芯片，工业级-2或-3等级；
3. 每块信号处理卡包含三个标准FMC插槽；
4. 信号处理卡的信号线互连要求参考图1；
5. 万兆网子卡为SFP+接口；
6. 万兆网子卡支持两路独立的万兆网络接口；
7. 万兆网接口运行于TCP协议时，使用万兆网IP配套测试工程测试获得的有效数据带宽≥360MByte/s，运行于UDP协议时测试获得的有效数据带宽≥720MByte/s（均使用CPU性能不低于Intel i7 4770、内存不少于8GB、SSD连续读写速度不低于1GByte/s的普通PC进行测试，包括发送和接收。PC操作系统为Windows 10，测试软件为iPerf 64 bits，软件版本不低于V3.1）；
8. 产品数量：信号处理卡四块，万兆网子卡两块。

## 使用性能要求

### 环境适应性

表1　产品环境适应性要求

| 环境条件 | 要求 |
| --- | --- |
| 高温工作 | 45°C |
| 高温贮存 | 55°C |
| 低温工作 | -10°C |
| 低温贮存 | -40°C |
| 振动 | 见7.3　节“环境试验要求” |

# 质量控制要求

## 设计方案审查

供方应根据本协议要求，在产品投产前将设计方案（设计原理图）提交需方进行审查。设计原理图通过需方审查确认后，供方方可实施投产。需方对原理图审查确认后，供方在实施投产前如对设计原理图有任何调整的，应将调整后的设计原理图与调整之处提交需方进行审查确认。

# 用户验收规定

## 验收条件

1. 产品的技术状态符合本技术协议要求；
2. 已完成供方厂（所）内检验和试验，并经检验合格，产品质量证明文件和配套技术文件资料齐全；
3. 生产、试验过程中出现的质量问题均已归零并有明确结论；
4. 已完成需在出厂前完成的其它工作。

## 验收项目

产品验收前，需通过需方的整机振动功能试验。具体要求见“7.3　环境试验要求”一节。

## 验收依据

产品依据本技术协议实施验收。

## 验收方式

产品验收方式为交付后验收。

## 接收准则

1. 所有技术参数满足本技术协议规定；
2. 产品在环境适应性试验过程中失效的，允许返工一次，再重新提交需方进行环境适应性试验。

# 测试方法及要求

## 信号处理卡功能测试

由需方使用供方提供的测试工程测试信号处理卡的基本功能，包括FPGA芯片的程序烧写、时钟信号等。

测试步骤：

1. 将两个测试工程产生的bit文件通过Xilinx官方烧写器（USB Cable）或信号处理卡自带JTAG接口分别下载进两片FPGA，观察程序烧写是否成功；
2. 观察测试用LED指示灯是否工作正常。

## 万兆网子卡功能测试

由需方使用供方提供的测试工程测试万兆网接口的数据带宽。

测试步骤：

1. 将网络接口协议设置为TCP模式，分别对上位机软件进行编译和对下位机软件进行综合、布线；
2. 在上位机软件中选择SSD硬盘上（SSD连续读取速率不低于1GByte/s）任意不小于4GB的单个数据文件（zip等格式的压缩包），上位机软件将其发送到信号处理卡；
3. 在信号处理卡中将PRBS序列产生的伪随机数据通过网口传输到上位机并存储到上位机SSD中（SSD连续写入速率不低于1GByte/s）；
4. 使用iPerf软件测试各接口的上、下行数据带宽；
5. 将网络接口协议设置为UDP模式，分别对上位机软件重新进行编译和对下位机软件重新进行综合、布线；
6. 在上位机软件中选择SSD硬盘上任意不小于4GB的单个数据文件（zip等格式的压缩包），上位机软件将其发送到信号处理卡；
7. 在信号处理卡中将PRBS序列产生的伪随机数据通过网口传输到上位机并存储到上位机SSD中；
8. 使用iPerf软件测试各接口的上、下行数据带宽。

## 环境试验要求

### 试验的常态大气条件

1. 温度：15℃～35℃；
2. 相对湿度（RH）：20%～80%；
3. 气压：900～1020hPa。

### 振动功能试验

产品验收前，应安装于需方的标准VPX机箱中，并通过《GJB 150.16A-2009军用装备实验室环境试验方法：振动试验》中规定的振动功能试验。

振动功能试验的量值见表2。振动功能试验谱宽带随机叠加窄带峰值组成，见图2，窄带峰值带宽为±5％×fi，当窄带峰值低于宽带随机量值时，取宽带随机功率谱密度值。振动功能试验根据基频f0的不同，按时间分部分进行，基频f0和对应试验持续时间占总试验持续试验时间百分比见表3。

振动功能试验总持续时间为每个轴向1h。

除试验量值、试验方法及持续时间按上述规定外，试验中有关试验条件、试验设备及试验程序等要求均按GJB150.16规定的内容进行。

表2　振动功能试验量值

|  |  |  |
| --- | --- | --- |
| 部位 | 试验量值 *L*0(g2/Hz) | 试验谱 |
| 螺旋桨半径范围外 | 0.1 | 图2 |
| 注：安装在外部表面的设备，试验量级增加3dB | | |

表3　基频*f*0及试验时间分配

| 序号 | 基频*f*0（Hz） | 持续时间/总持续时间 |
| --- | --- | --- |
| 1 | 26.6 | 1.5％ |
| 2 | 43.4 | 0.5％ |
| 3 | 80 | 95％ |
| 4 | 93.4 | 2.5％ |
| 5 | 100 | 0.5％ |

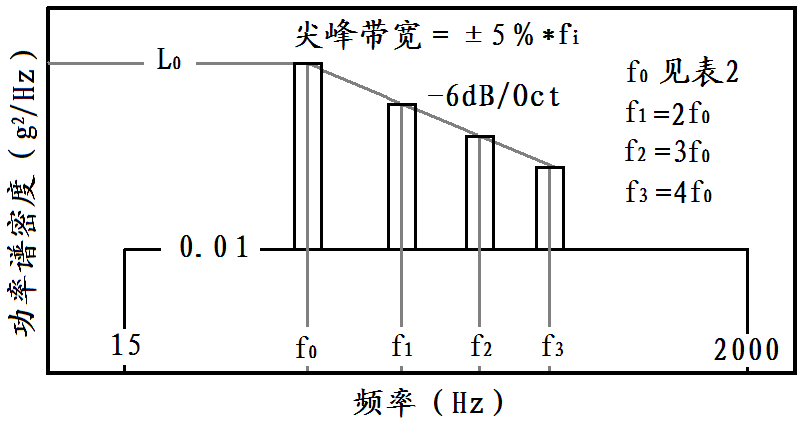


图2　振动功能试验振动谱

# 应交付的文件资料

## 文件资料要求

1. 文件资料应齐全、详细、清晰，并与实物相符；
2. 交付的纸质文件资料应签署完整。

## 应交付的技术文件清单

以下文件应随产品交付纸质版：

1. 产品测试和检验报告；
2. 产品及配套测试工程使用说明书；
3. 产品合格证。

上述文件除合格证以外，均需同时提供相应的电子版。以下文件只需交付电子版：

1. 设计原理图（需包括FPGA芯片、时钟管理芯片），以及主要器件和芯片的技术资料（Datasheet），包括但不限于FPGA芯片、时钟芯片、时钟管理芯片、存储器芯片、电源管理芯片、电平转换芯片、接口协议芯片；
2. 两片FPGA的所有管脚的约束文件（XDC格式）；
3. 万兆网IP（网表或源代码）。

## 应交付的软件程序清单

1. 用于信号处理卡的测试工程，每个型号FPGA对应一个工程，共两个；
2. 用于万兆网IP演示和验证的上位机工程和下位机工程软件各一个，共两个。

# 应交付的产品

表4　产品配套表

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 名称 | 数量 | 备注 |
| 1 | 信号处理卡 | 4块 | 交付硬件 |
| 2 | 万兆网子卡 | 2块 | 交付硬件 |
| 3 | 万兆网IP | 1套 | 交付软件 |
| 4 | 万兆网卡（PCIE接口） | 2块 | SFP+双口，配套测试用 |
| 5 | 万兆网光模块 | 8个 | 多模或单模，配套测试用 |
| 6 | 万兆网光纤 | 4根 | 长度不小于1m，配套测试用 |
| 7 | 信号处理卡测试工程 | 2套 | 分别用于不同的FPGA，测试用软件 |
| 8 | 万兆网IP测试工程 | 2套 | 分别用于上位机和下位机，测试用软件 |
|  | 文件资料 | 1套 | 包括纸质和电子资料 |

# 交货准备

## 包装要求

经过验收合格的产品应用包装盒包装。纸质包装盒，采取适当减震措施，避免产品运输过程损伤。包装盒内应清洁、干燥，对设备有良好的保护作用。应装有配套纸质文件资料、装盒清单、合格证。

包装标志应清晰并符合GB/T191 包装储运图示标志的规定。内包装上应有防静电标志。

## 运输和贮存

产品应贮存在清洁、干燥、无污染的良好环境中。适时应采取静电防护措施。在运输期间，应避免雨、雪淋袭和剧烈机械撞击。

# 技术支持服务

在产品开发过程中，供方有义务为需方相关员工提供技术支持。

产品质保期为一年，以产品验收之日起算。在产品质保期内，供方须协助需方解决在测试和使用过程中遇到的相关技术问题，提供包括现场服务、电话、传真、E-mail、Internet等技术支持服务。对需方的技术请求，供方应在1小时内相应，必要时应及时指派技术工程师到需方现场。

# 协议变更规定

凡涉及影响产品功能、技术指标、性能、接口关系和环境适应性等方面的技术状态更改，应向对方说明更改原因、影响分析、对已交付产品的影响及处理意见等，并由双方共同组织技术状态更改评审，评审通过后方可实施。

# 保密规定

产品不涉密，但供方对于产品的用途需对第三方保密。

# 其它

双方本着严谨态度、协商一致达成本协议，其它未尽事宜双方共同协商解决。

本协议一式2份，双方各执1份，经双方授权人签字并加盖单位公章后生效。