

CPLD-EPM240 实验指导书

CPLD-EPM240 实验指导书.....	- 1 -
一、软件实验.....	- 2 -
实验一、图形输入的二-四译码器实验.....	- 2 -
一、实验目的.....	- 2 -
二、实验内容.....	- 2 -
三、实验步骤.....	- 4 -
四、实验要求.....	- 12 -
五、实验现象与结果.....	- 12 -
实验二、串入并出移位寄存器实验.....	- 13 -
一、实验目的.....	- 13 -
二、实验内容.....	- 13 -
三、实验步骤.....	- 16 -
四、实验要求.....	- 16 -
五、实验现象与结果.....	- 16 -
实验三、BCD 计数译码实验.....	- 17 -
一、实验目的.....	- 17 -
二、实验内容.....	- 17 -
三、实验步骤.....	- 18 -
四、实验要求.....	- 19 -
五、实验现象与结果.....	- 19 -
实验四、一位全加器实验.....	- 20 -
一、实验目的.....	- 20 -
二、实验内容.....	- 20 -
三、实验步骤.....	- 22 -
四、实验要求.....	- 22 -
五、实验现象与结果.....	- 22 -
实验五、四位全加器实验.....	- 24 -
一、实验目的.....	- 24 -
二、实验内容.....	- 24 -
三、实验步骤.....	- 26 -
四、实验要求.....	- 26 -
五、实验现象与结果.....	- 26 -
实验六、计数、译码、显示电子钟实验.....	- 27 -
一、实验目的.....	- 27 -
二、实验内容.....	- 27 -
三、实验步骤.....	- 29 -
四、实验要求.....	- 29 -
五、实验现象与结果.....	- 29 -

一、软件实验

实验一、图形输入的二-四译码器实验

说明：将通过实验一为例详细介绍 altera 公司 Quartus II 9.0sp2 Web Edition 软件的基本应用，其它实验将不再赘述。读者在通过本实验后将对 Quartus II 9.0sp2 Web Edition 软件及 CPLD/FPGA 的设计与应用有一个比较完整的概念和思路。相信读者在熟练使用本软件以后，会发现该软件还有好多非常方便、快捷、灵活的设计技巧与开发功能。由于编者能力有限，不详之处再所难免，我们希望得到你的指正与包含。

一、实验目的

- 1、掌握 CPLD 实验板的基本操作与实验基本方法。
- 2、熟悉软件开发环境，掌握图形输入，编译综合，引脚分配，下载等各项功能。
- 3、通过完成二-四译码器设计，初步了解可编程器件设计的全过程。

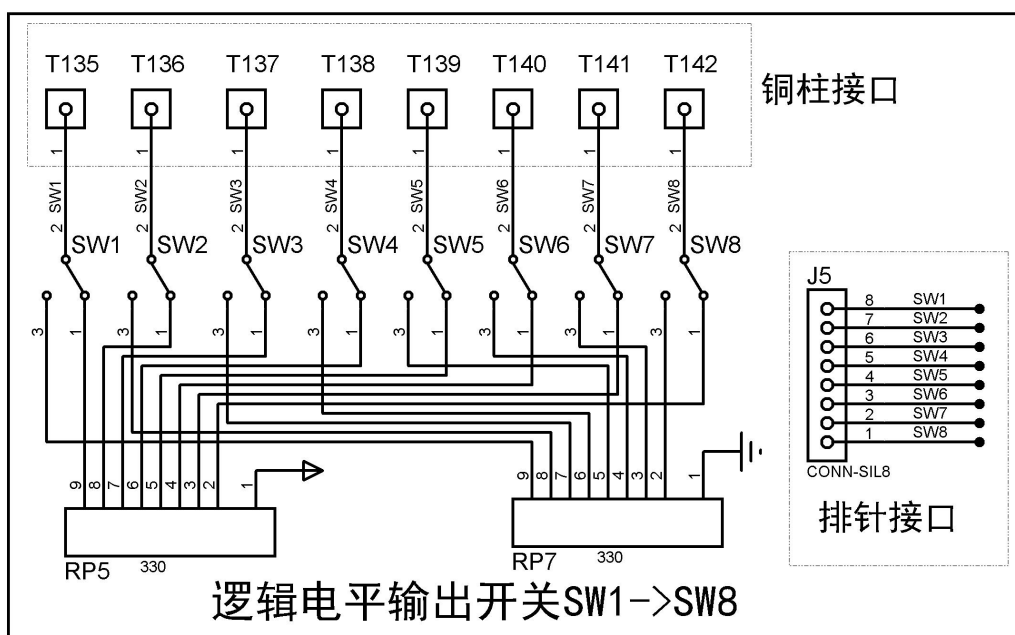
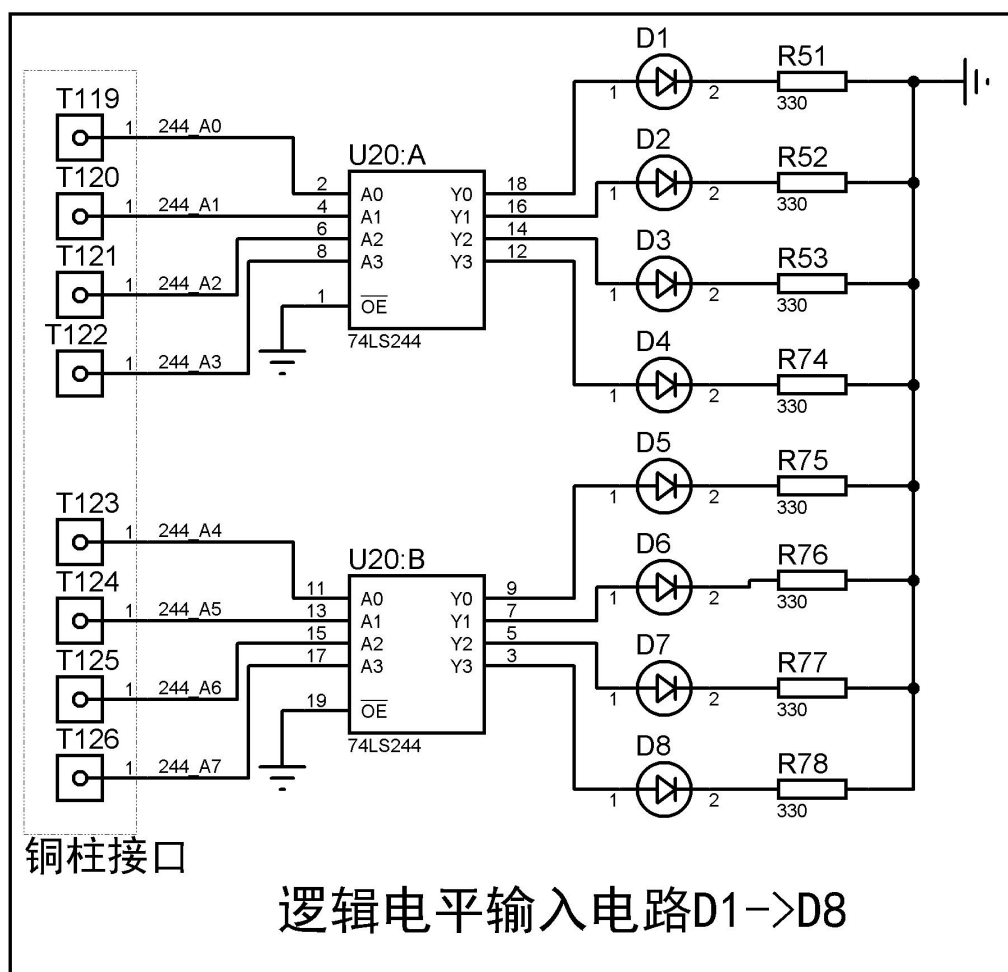
二、实验内容

- 1、列出二-四译码器的真值表，转换成表达式后，进行化简表达式。
- 2、通过表达式利用图形输入设计二-四译码器，对程序进行编译调试。
- 3、将编译通过的文件进行波形仿真，观察仿真结果。
- 4、下载程序，验证功能。
- 5、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

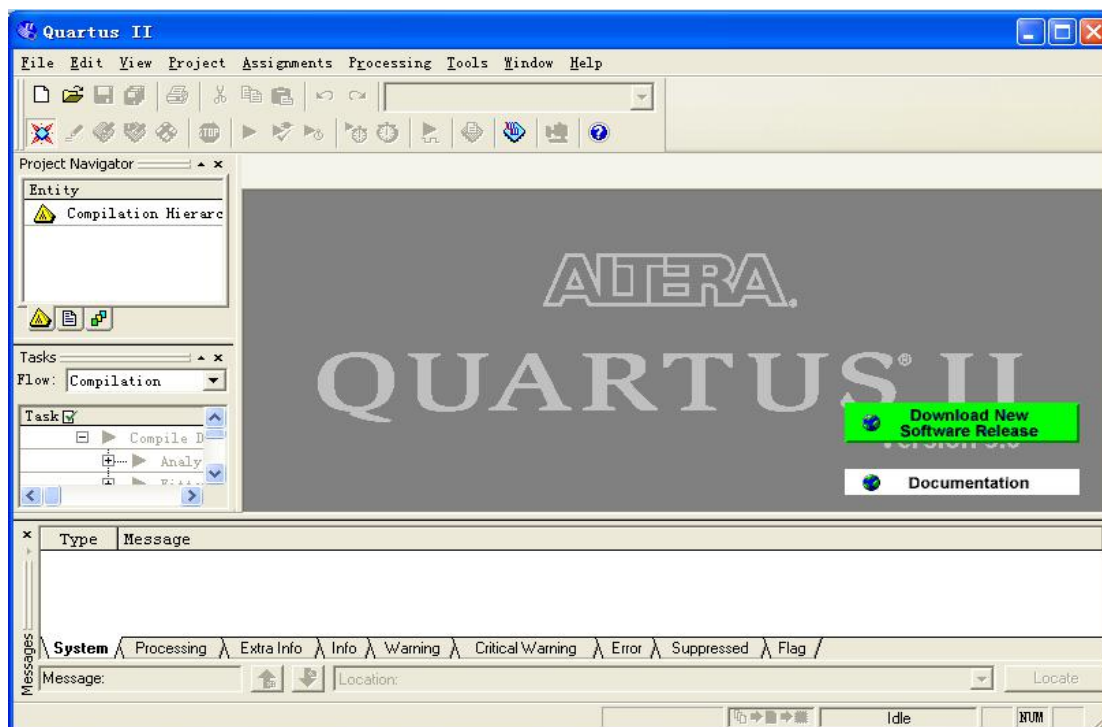
端口号	引脚绑定号	电路连接信号	备注
s1	PIN_15	SW2	逻辑电平输出 (译码器二位输入)
s0	PIN_8	SW1	
m0	PIN_1	D1	逻辑电平输入 (译码器四位输出)
m1	PIN_2	D2	
m2	PIN_3	D3	
m3	PIN_4	D4	

实验部分电路原理图：

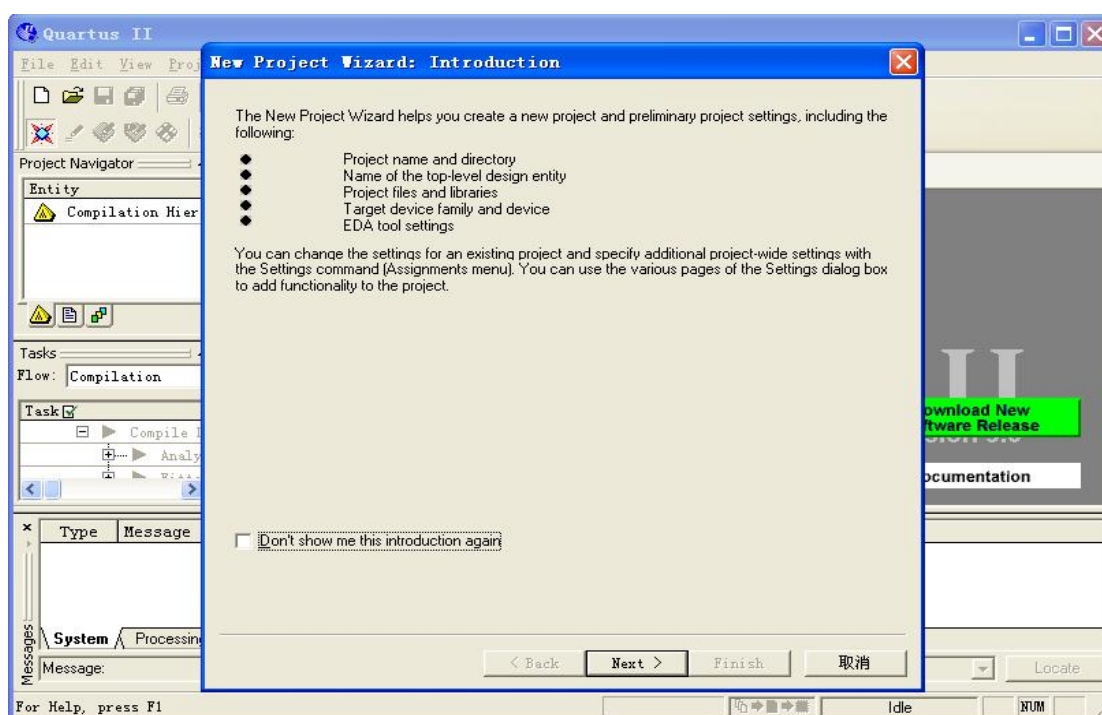


三、实验步骤

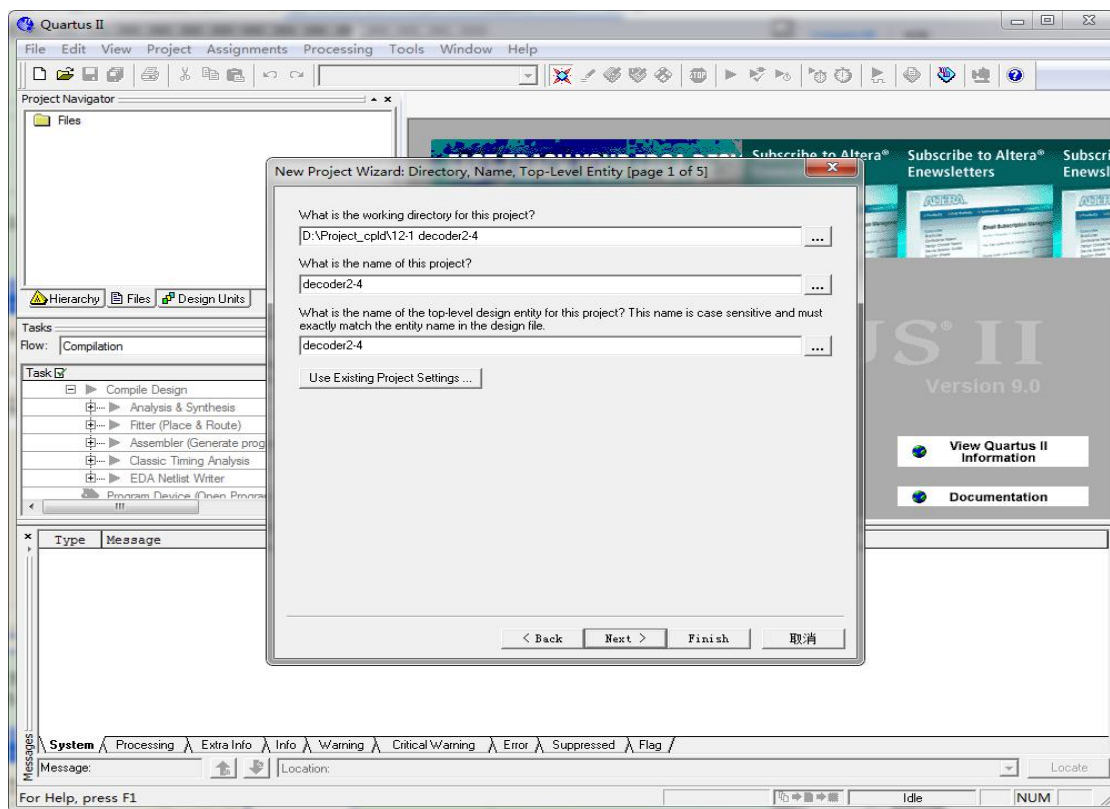
1、软件的启动：进入安装文件夹，打开 Quartus. exe。或者打开桌面的 Quartus II 9.0sp2 Web Edition.exe。



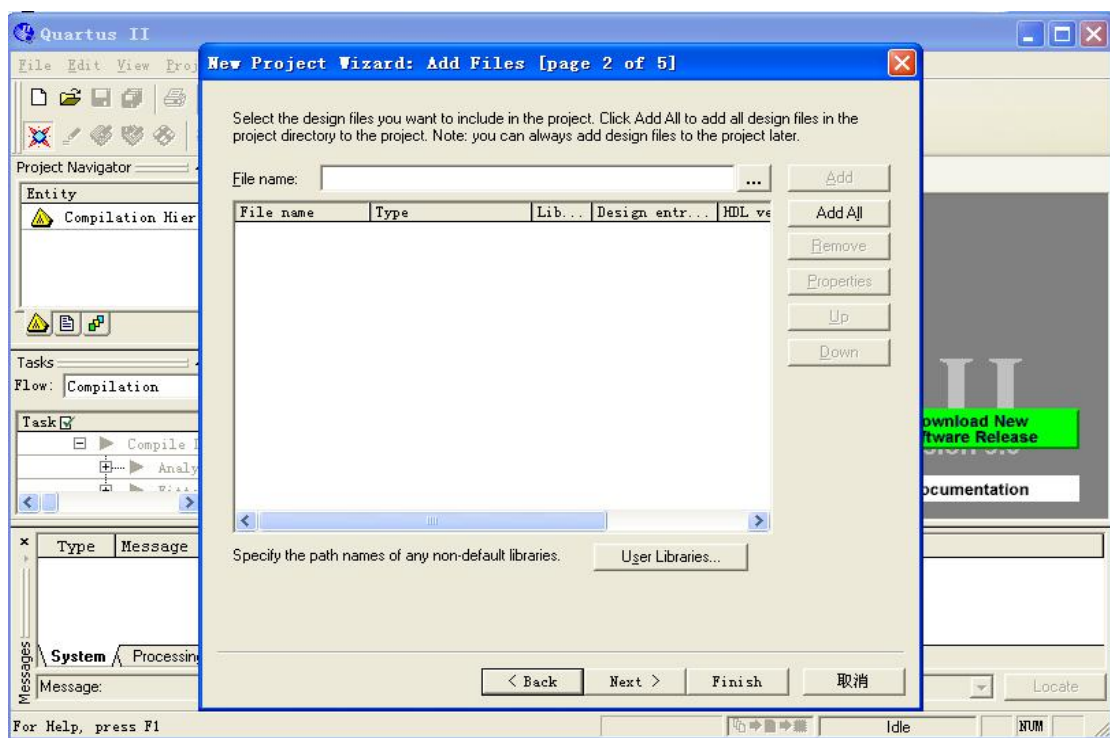
2、新建工程，点击进入菜单 File 下的 New Project Wizard



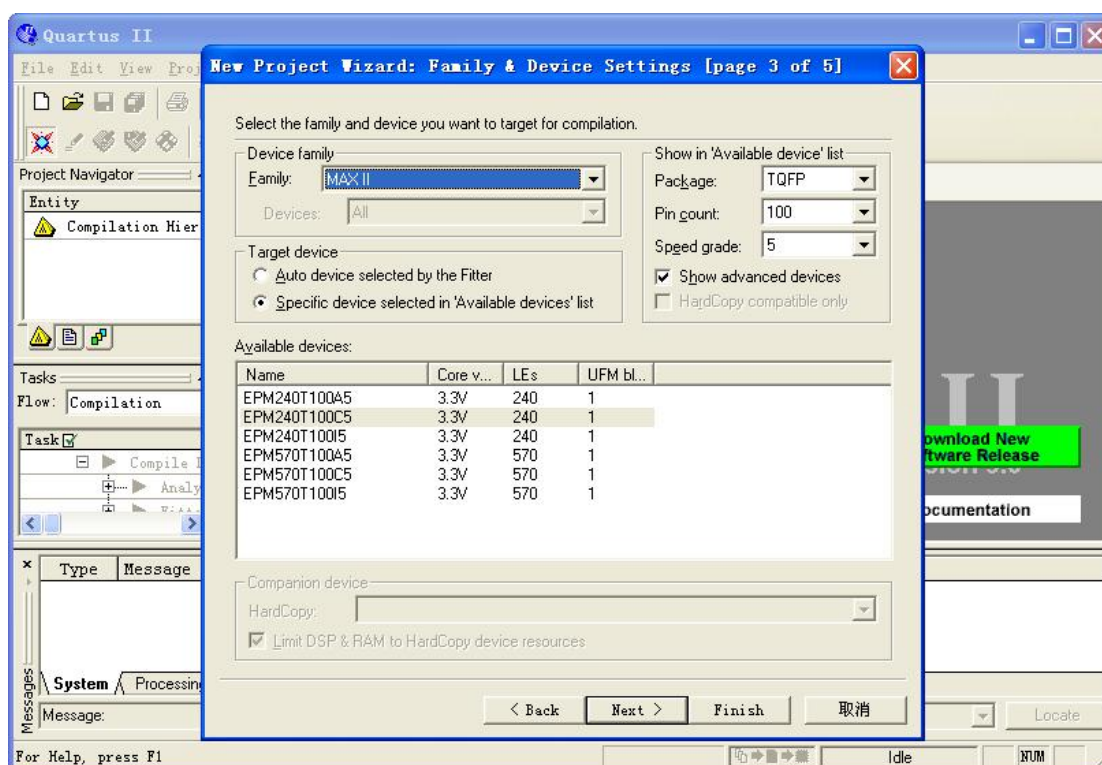
3、点击 Next, 进入工程目录, 工程名和实体名的设置。设置工程目录为 D:\Project_cpld\12-1 decoder2-4 路径, 工程名为 decoder2-4, 设计实体名为 decoder2-4。



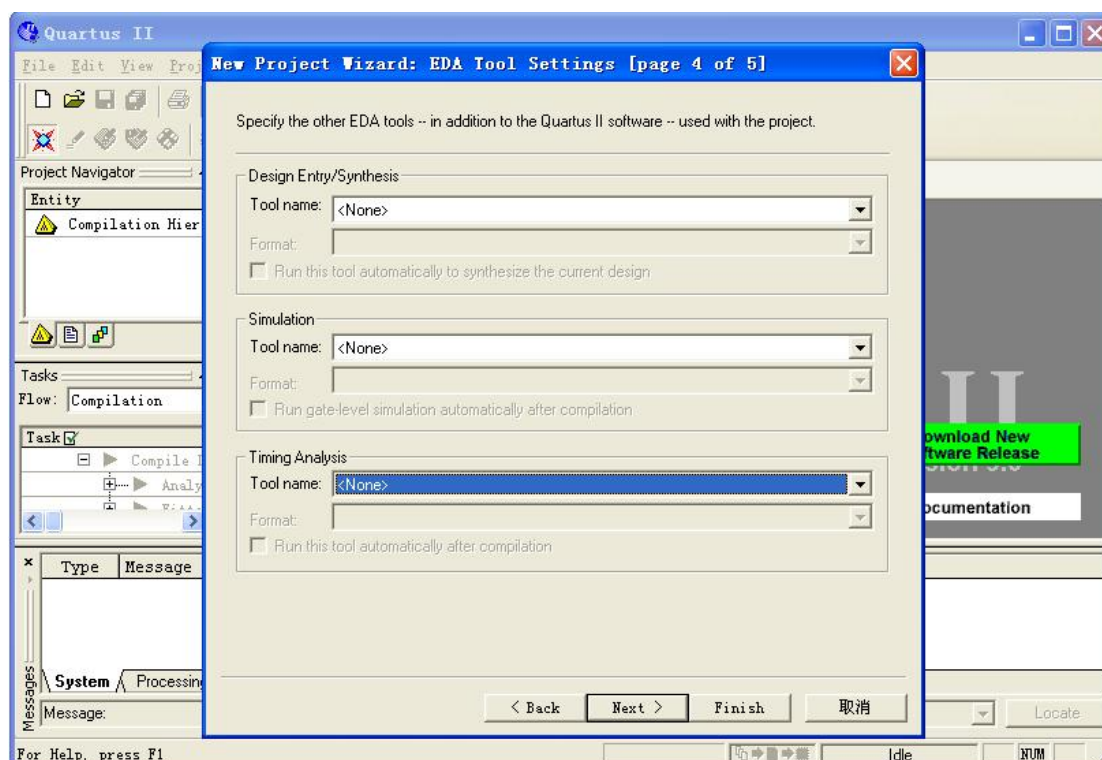
4、点击 Next 进行设计文件添加, 如已存在设计文件, 就找到并添加文件。如不存在设计文件, 就直接点击 Next, 进行下一步操作。



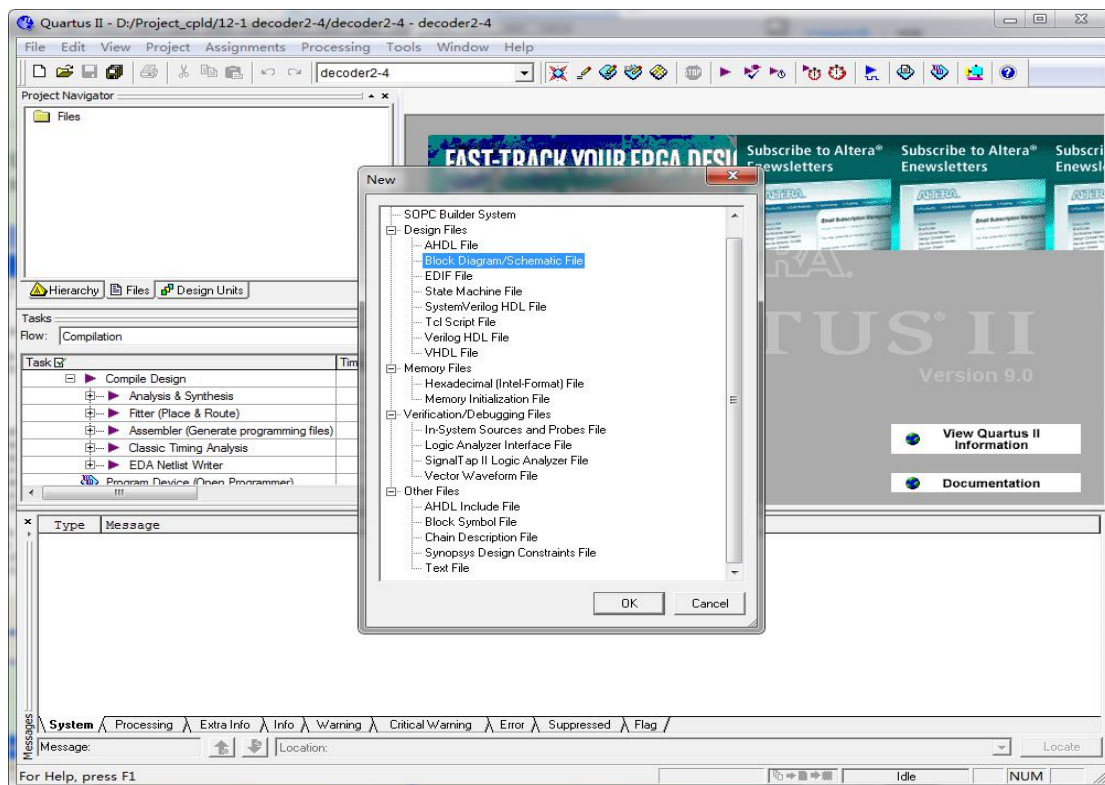
5、选择所使用的芯片型号，如 MAXII EPM240T100C5



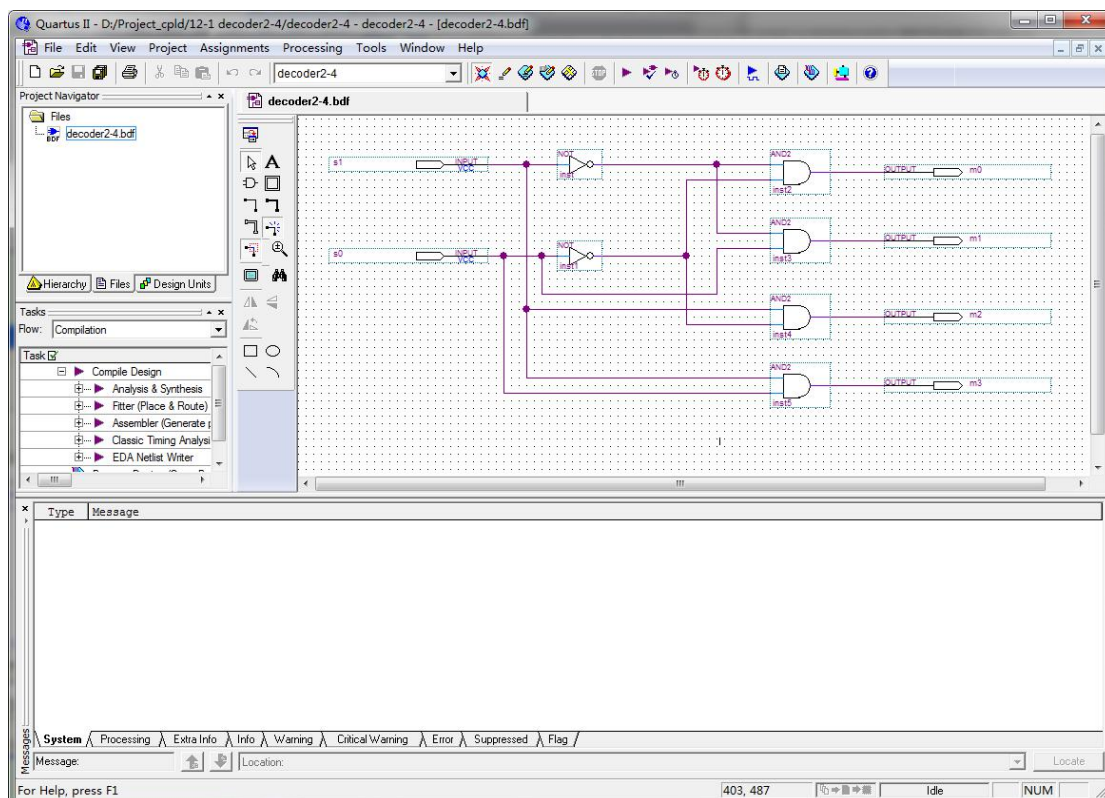
6、选择相应的仿真分析工具，无需要的话，可直接点击 Next



7、接下来这个窗口将显示前面所设置的信息，点击完成。工程设置就已经完成了，接下来需要编写程序文件，进入菜单 File 下的 New, 新建 Block Diagram/Schematic File, 确认 OK。

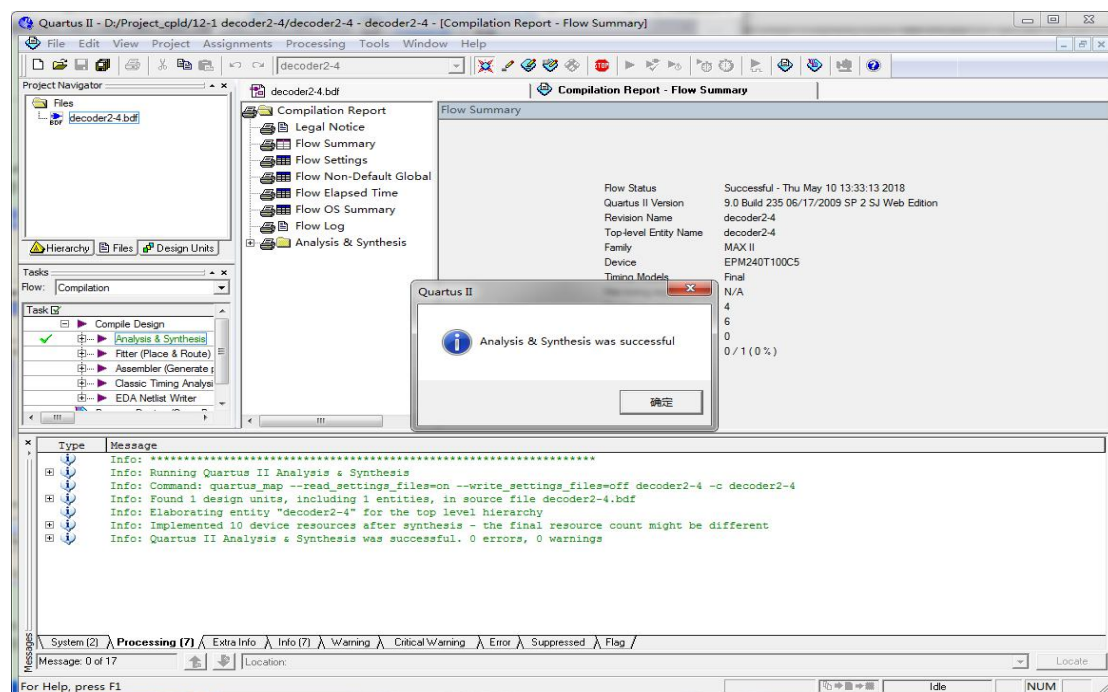


8、绘制电路图，保存到工程路径下，如下图

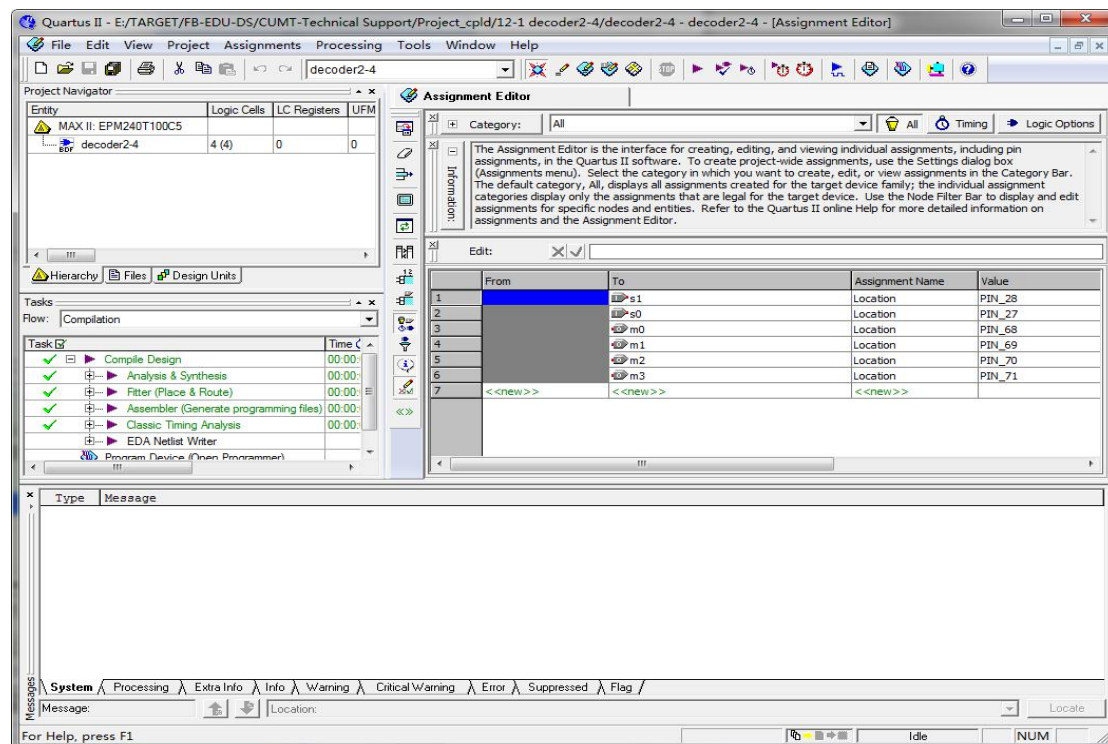


9、设计编译与配置

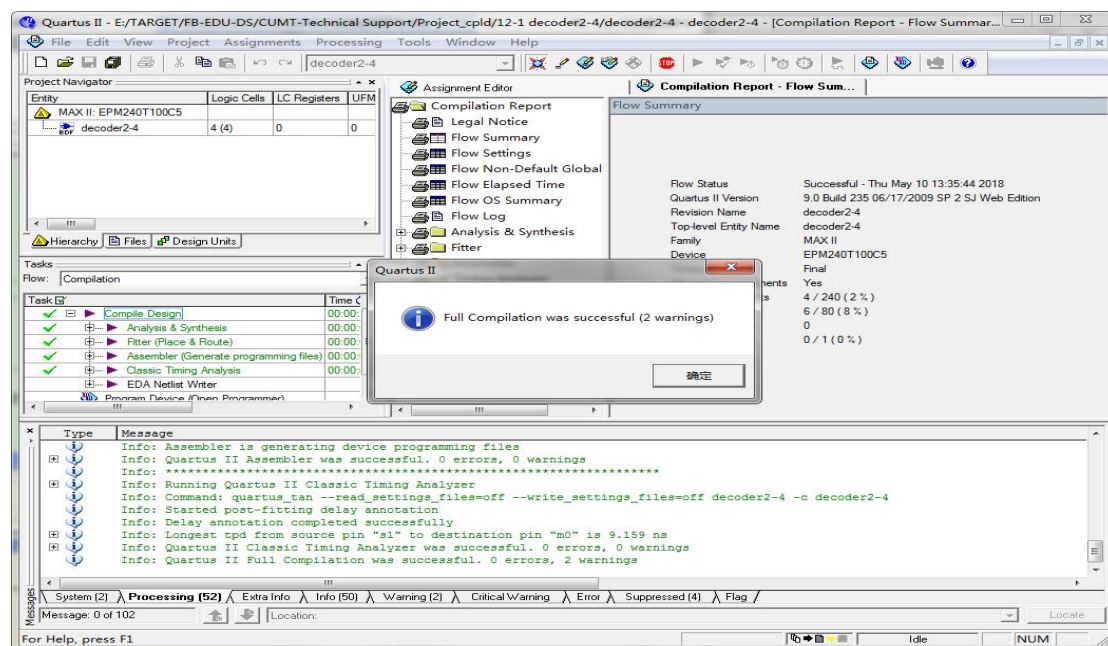
运行菜单 Processing 下的 Start 扩展菜单中 Start Analysis&Synthesis 进行程序的综合和分析，查找和分析程序中的错误和不当之处。如出现以下提示窗口，则程序综合成功



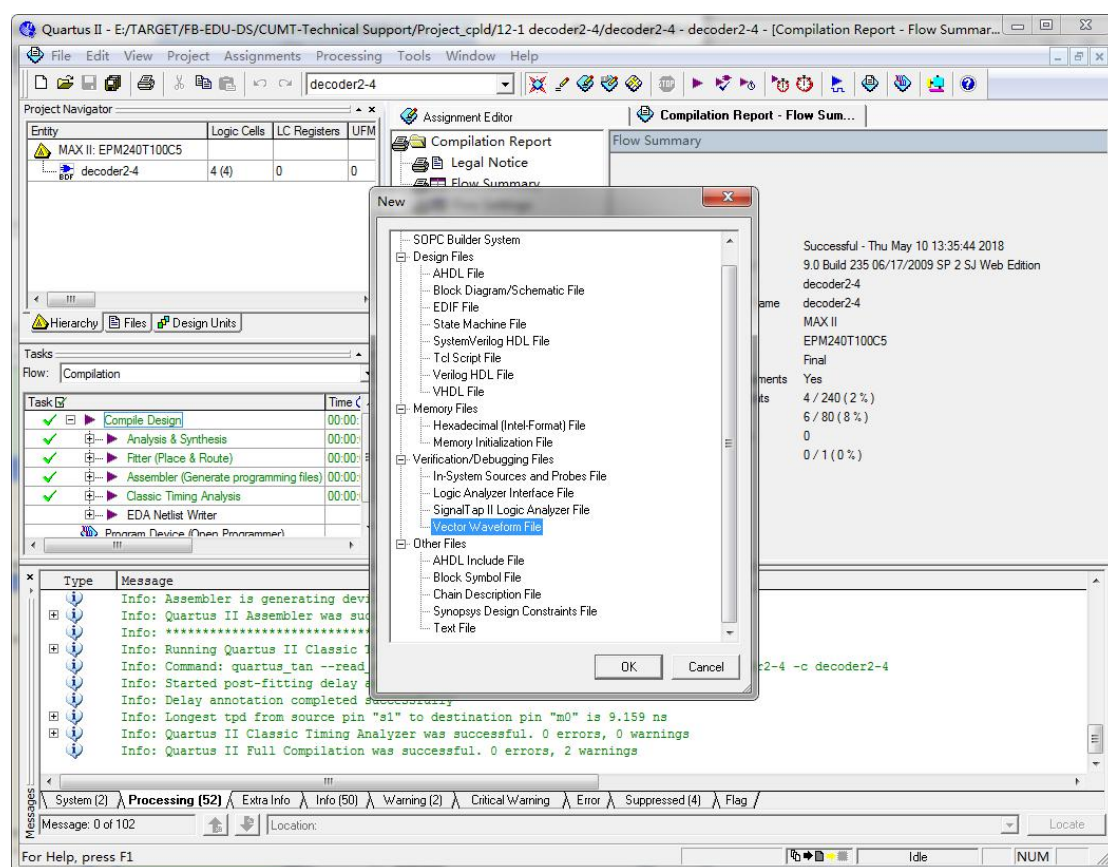
11、综合分析成功后，进入 Assignments 菜单下的 Assignment Editor，对输入输出接口的资源按照需要进行指定和分配，按照引脚对照表，分配完成所有引脚，如下图所示



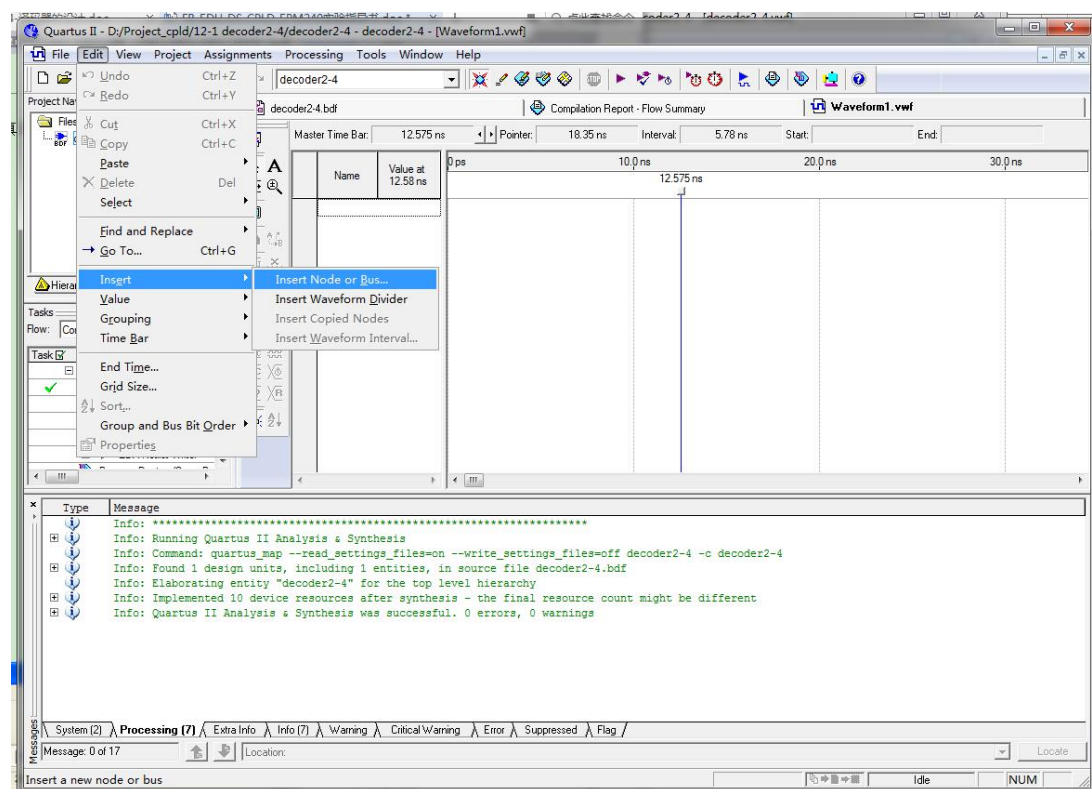
11、配置好引脚后，选择 Processing 菜单下的 Start Compilation 开始编译成功后，会出现全部编译成功的提示，如无特殊警告错误就可以进行程序下载了



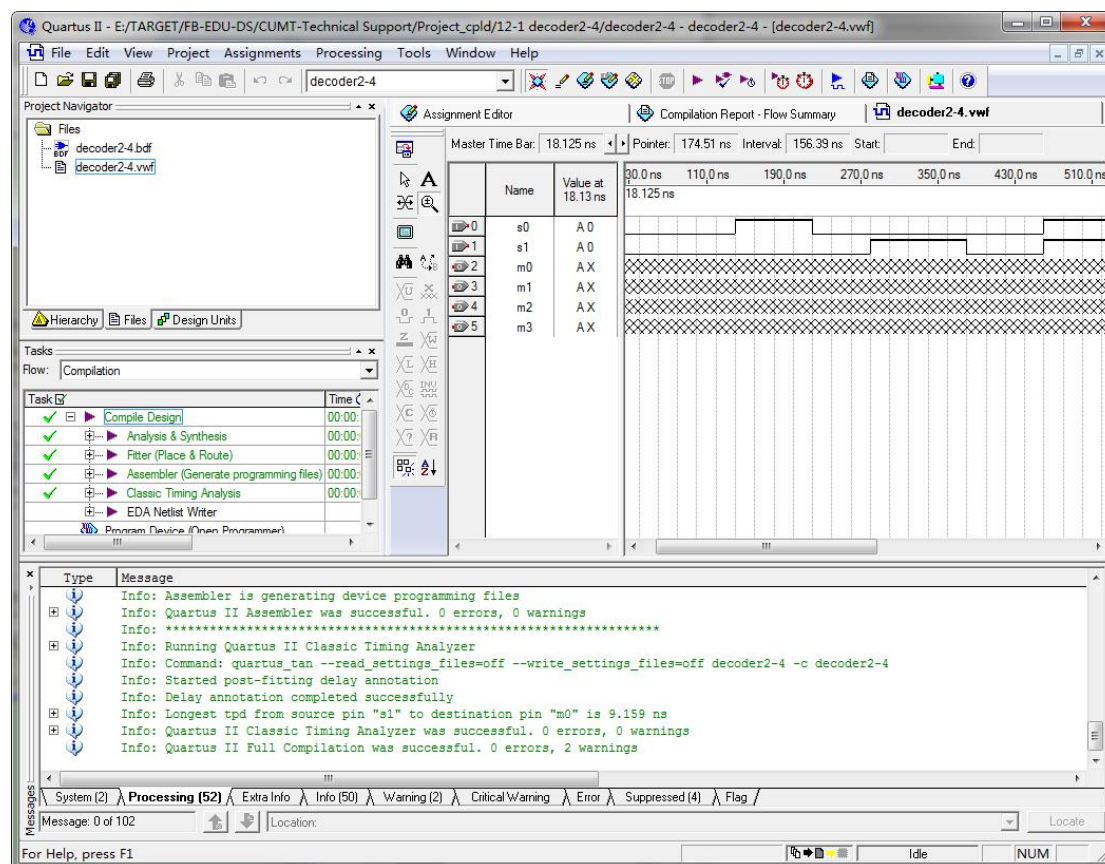
12、在下载程序前可进行波形仿真，观察下逻辑是否正确。



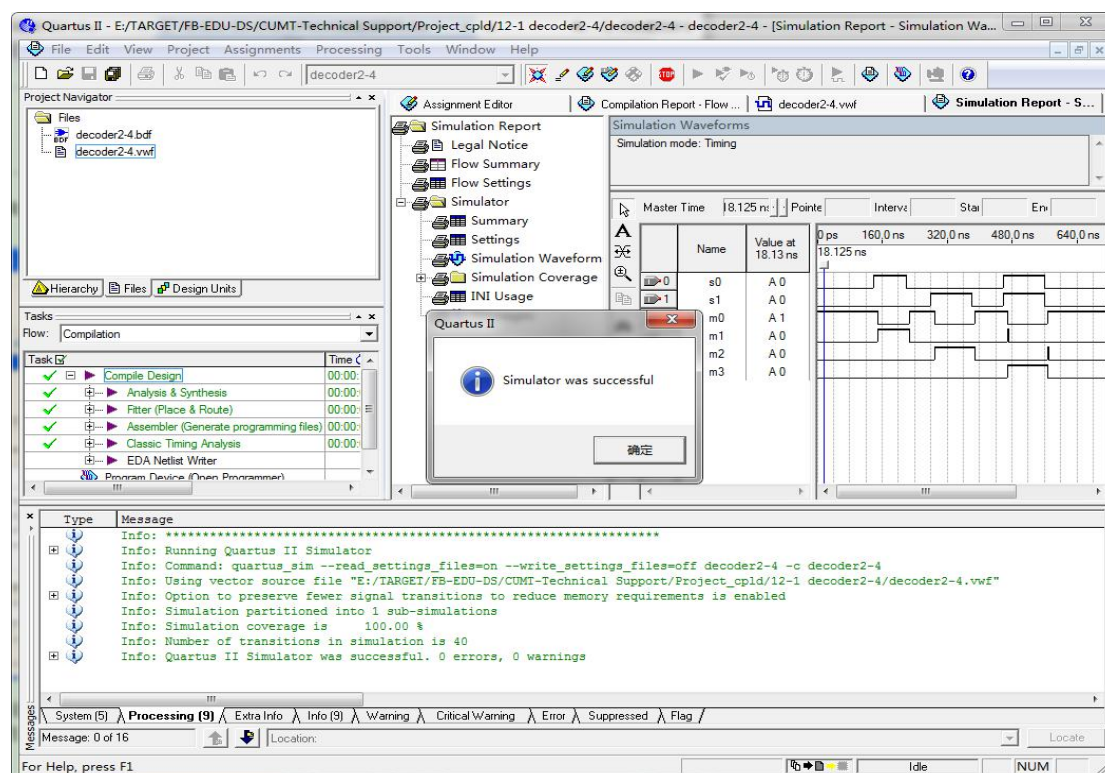
13、点击 Edit 菜单下的 Insert 选型中的 Insert Node or Bus 添加需仿真的引脚



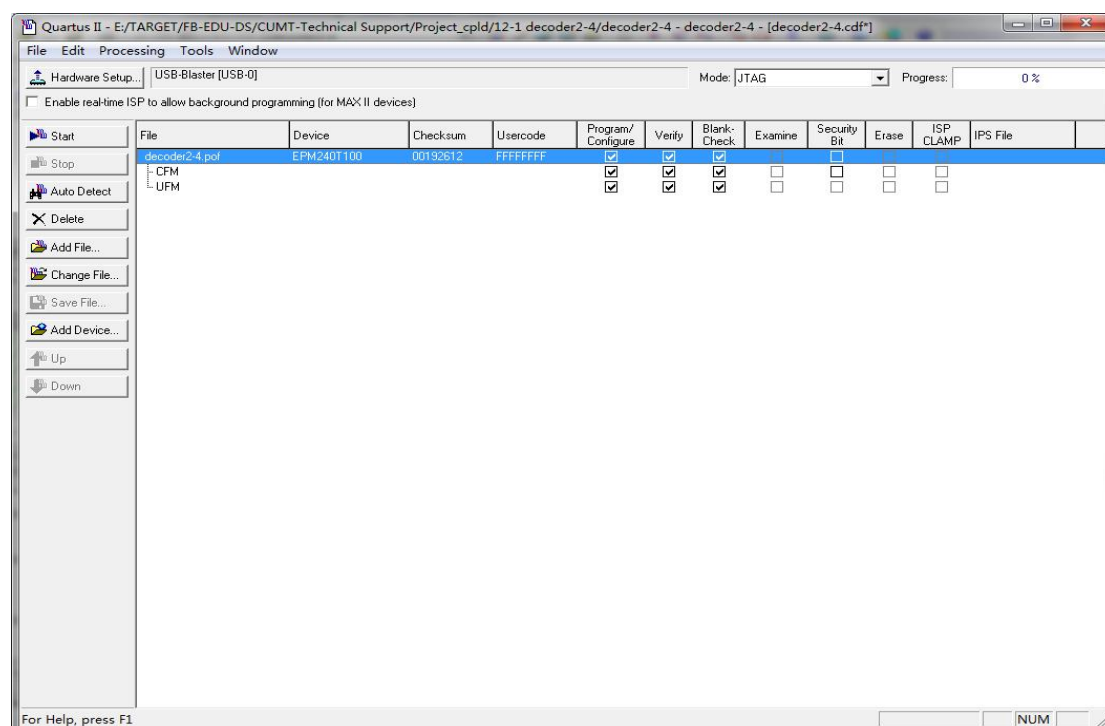
14、添加和绘制激励信号



15、点击 Processing 下的 Start Simulation 进行波形仿真，就可以得到仿真结果了



16、程序下载，点击 Tools 下的 Programmer 打开程序下载界面。如已经找到器件，就勾选好编程，校验，查空等选项，点击 Start 就可以进行烧录了。如无器件，可点击 Auto Detect 进行自动探测查找



四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握图形输入的基本方法，完全掌握二-四译码器的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

文件加载到目标器件后，拨动拨动开关，LED 灯会按译码器真值表对应点亮。

实验二、串入并出移位寄存器实验

一、实验目的

- 1、掌握 CPLD 实验板的基本操作与实验基本方法。
- 2、熟悉软件开发环境，掌握图形输入，编译，引脚分配，下载等各项功能。
- 3、通过完成串入并出移位寄存器设计，初步了解可编程器件设计的全过程。

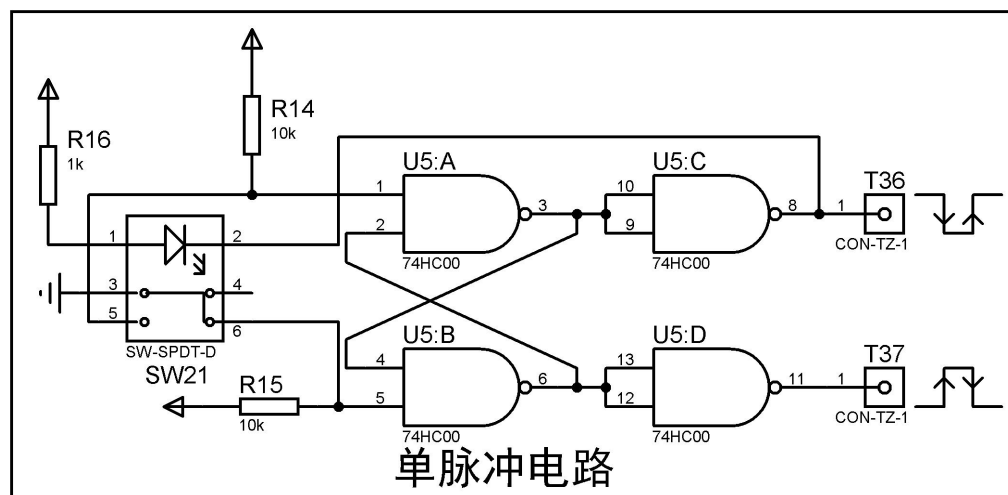
二、实验内容

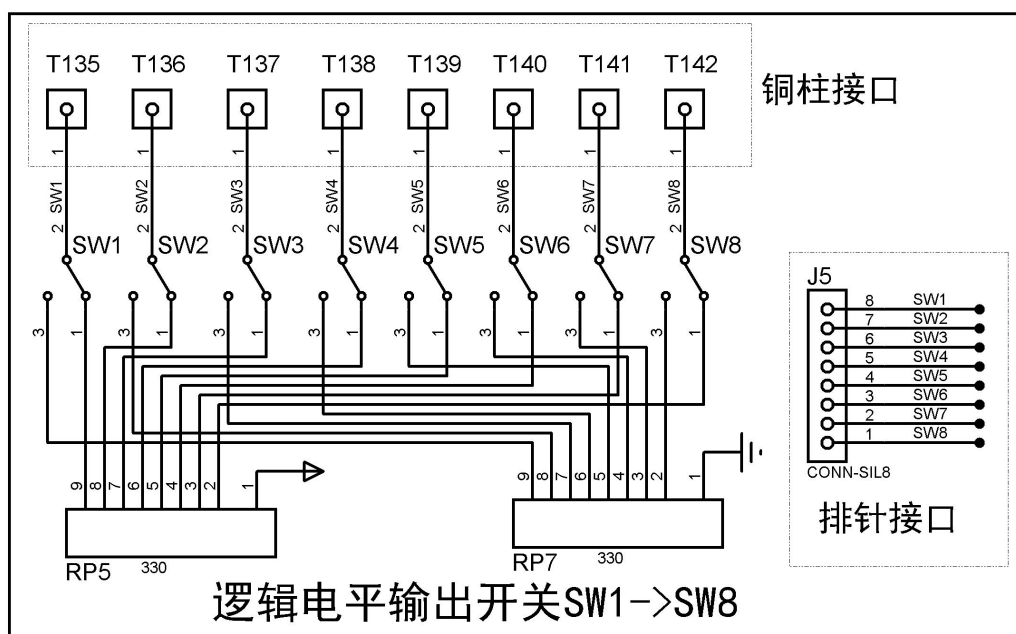
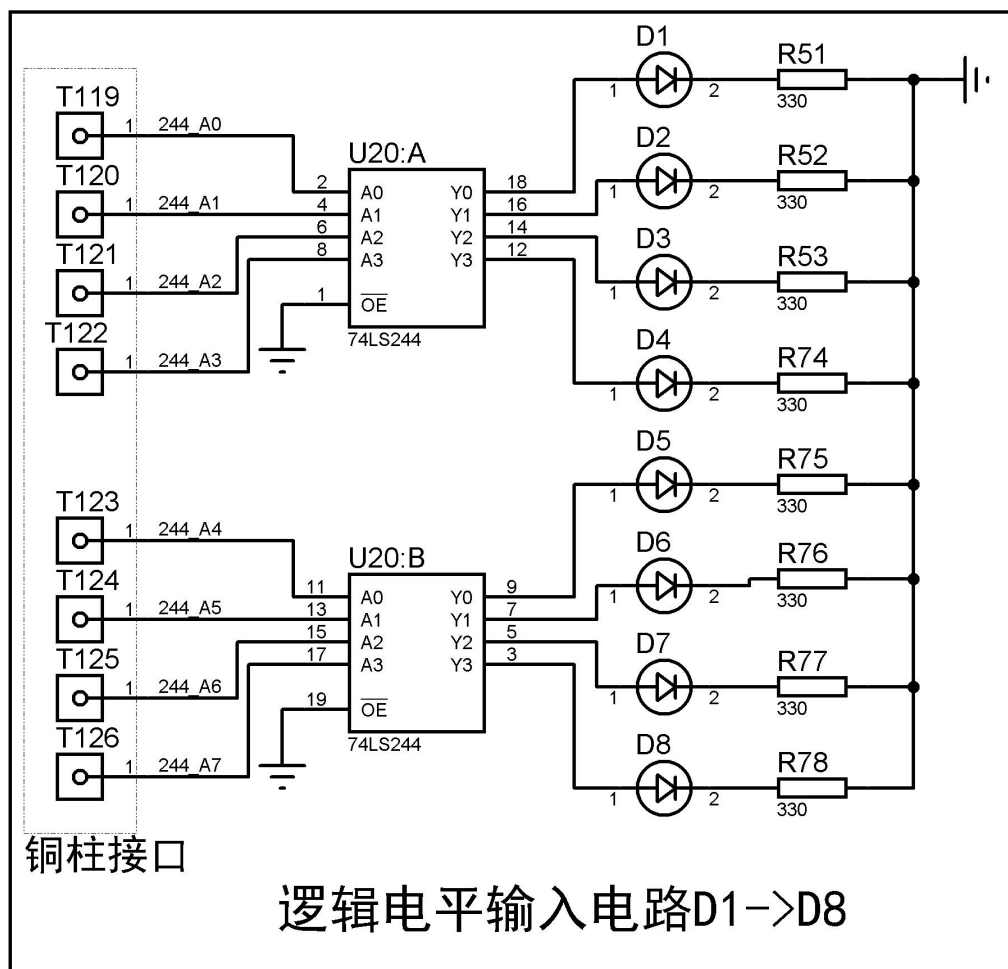
- 1、通过表达式利用图形输入设计串入并出移位寄存器器，对程序进行编译调试。
- 3、将编译通过的文件进行波形仿真，观察仿真结果。
- 4、下载程序，验证功能。
- 5、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

端口号	引脚绑定号	电路连接信号	备注
A	PIN_53	SW1	逻辑电平输出 (数据输入一)
B	PIN_54	SW2	逻辑电平输出 (数据输入二)
CP	PIN_55	SW21-T36 (下跳沿有效)	单脉冲电路 (时钟输入)
MR	PIN_56	SW3(高有效)	逻辑电平输出 (清零输出端)
PRN	PIN_57	SW4(高有效)	逻辑电平输出 (置位输出端)
Q0	PIN_1	D1	逻辑电平输入 (八位数据输出)
Q1	PIN_2	D2	
Q2	PIN_3	D3	
Q3	PIN_4	D4	
Q4	PIN_5	D5	
Q5	PIN_6	D6	
Q6	PIN_7	D7	
Q7	PIN_8	D8	

实验部分电路原理图：





三、实验步骤

- 1、启动 Quartus II ，打开对应实验程序、编译综合、分配引脚，生成*.pof 文件。
- 2、建立波形仿真，输入激励信号，观察仿真结果。
- 2、进入 Programmer 界面，下载*.pof 到 CPLD 中。
- 3、连接电路，观察实验现象与仿真结果比对。

四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握图形输入的基本方法，完全掌握串入移位寄存器的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

下载程序，连接导线后，使 MR 和 PRN 处于低电平，每次按下单脉冲按钮，可以将 A&B 的数据输出到 D1~D8 显示，每次右移一位。

实验三、BCD 计数译码实验

一、实验目的

- 1、掌握 CPLD 实验板的基本操作与实验基本方法。
- 2、认识四位加法器和 BCD 译码器。
- 2、添加波形仿真文件，学习调试方法。
- 3、下载程序，连接电路，体验逻辑功能。

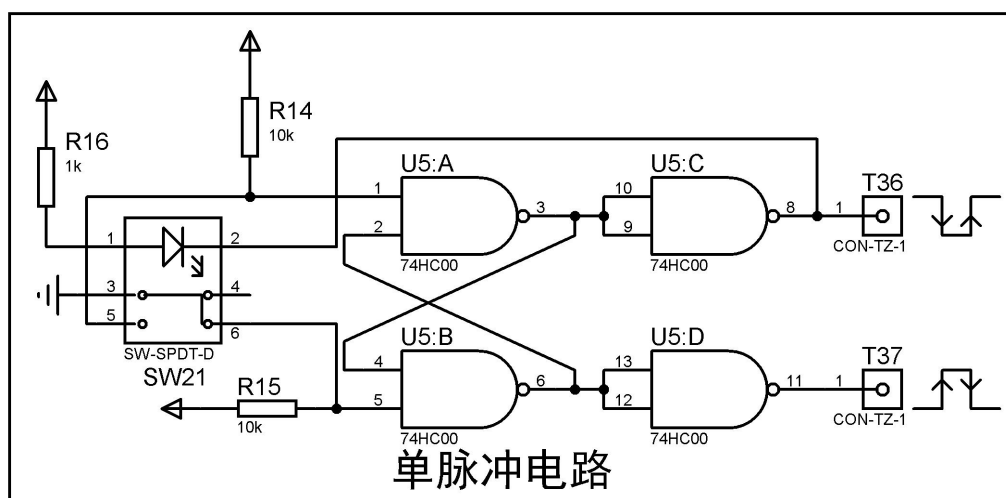
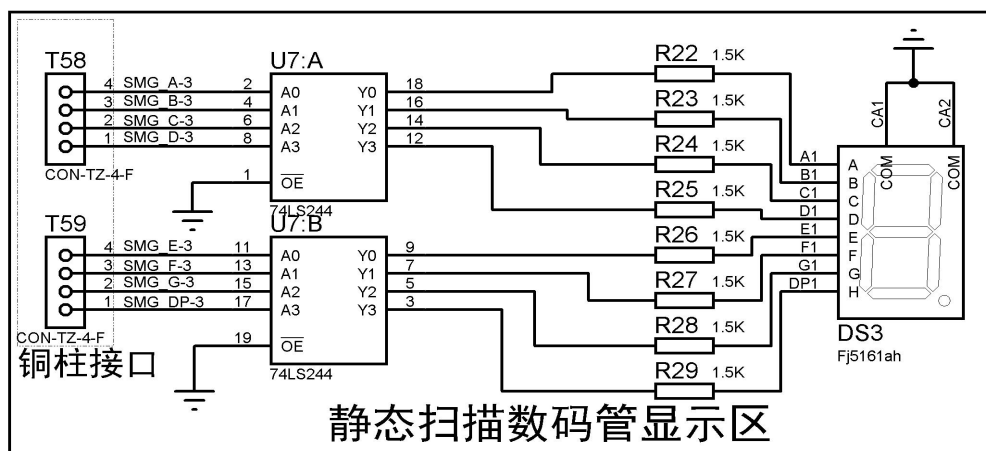
二、实验内容

- 1、通过图形输入添加计数器和 BCD 译码器，对程序进行编译综合。
- 2、将编译通过的文件进行波形仿真，观察仿真结果。
- 3、下载程序，验证功能。
- 4、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

端口号	引脚绑定号	电路连接信号	备注
CP	PIN_15	SW21-T37（上跳沿有效）	单脉冲电路 (时钟输入)
SA	PIN_1	SA2	静态扫描共阴数码管 (段码输出)
SB	PIN_2	SB2	
SC	PIN_3	SC2	
SD	PIN_4	SD2	
SE	PIN_5	SE2	
SF	PIN_6	SF2	
SG	PIN_7	SG2	

实验部分电路原理图：



三、实验步骤

- 1、启动 Quartus II ，打开对应实验程序、编译综合、分配引脚，生成*.pof 文件。
- 2、建立波形仿真，输入激励信号，观察仿真结果。
- 2、进入 Programmer 界面，下载*.pof 到 CPLD 中。
- 3、连接电路，观察实验现象与仿真结果比对。

四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握图形输入的基本方法，完全掌握 BCD 译码器的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

下载程序，连接导线后，按下单脉冲按键，使数码管输出不同字符。

实验四、一位全加器实验

一、实验目的

- 1、掌握原理图输入方法设计逻辑电路。
- 2、添加波形仿真文件，学习调试方法。
- 3、掌握一位全加器的图形设计方法。

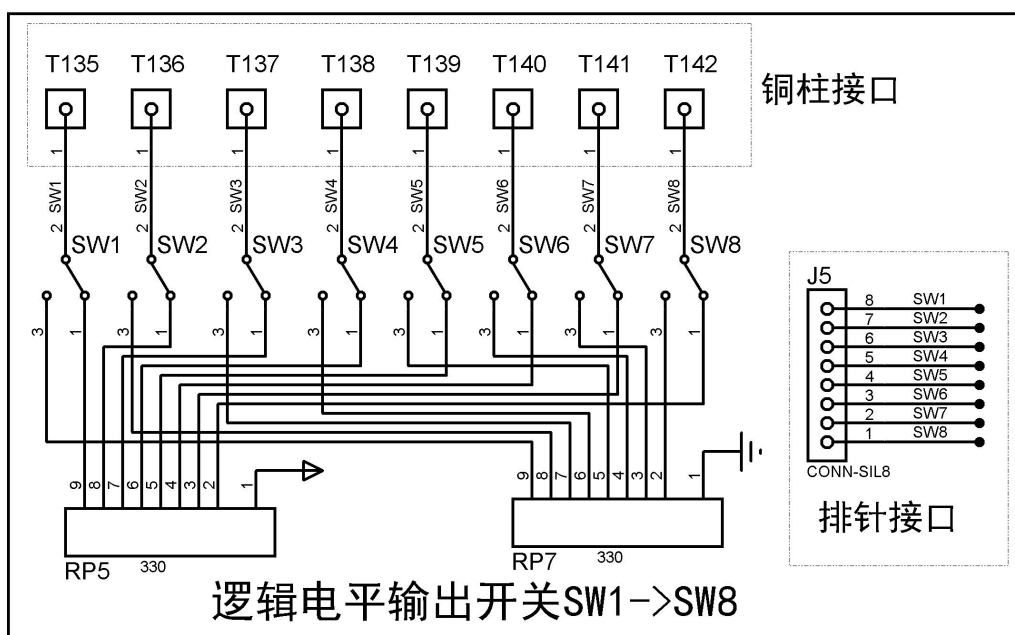
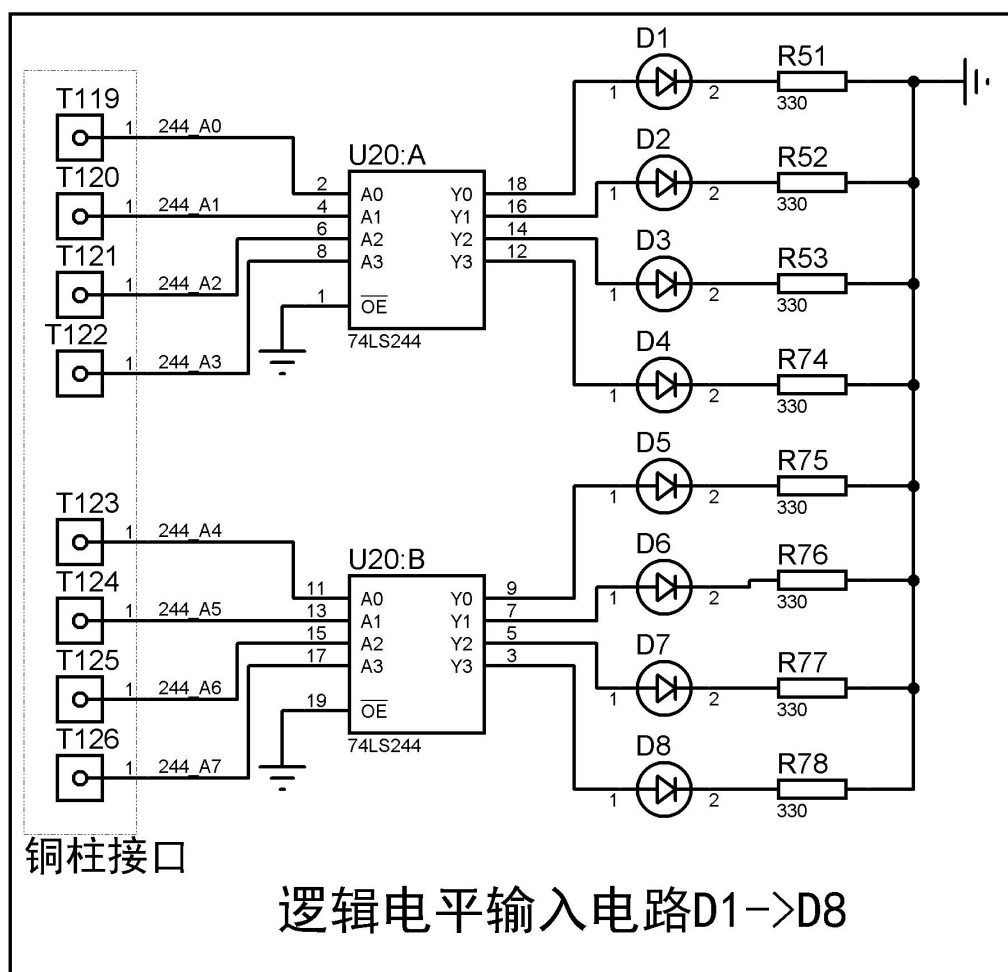
二、实验内容

- 1、列出全加器的真值表，转换成表达式后，进行化简表达式。
- 2、通过表达式利用图形输入设计全加器，对程序进行编译调试。
- 3、将编译通过的文件进行波形仿真，观察仿真结果。
- 4、下载程序，验证功能。
- 5、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

端口号	引脚绑定号	电路连接信号	备注
A	PIN_1	SW1	逻辑电平输出
B	PIN_2	SW2	逻辑电平输出
Ci	PIN_3	SW3	逻辑电平输出
S	PIN_4	D1	逻辑电平输入
Co	PIN_5	D2	逻辑电平输入

实验部分电路原理图：



三、实验步骤

- 1、启动 Quartus II ，打开对应实验程序、编译综合、分配引脚，生成*.pof 文件。
- 2、建立波形仿真，输入激励信号，观察仿真结果。
- 2、进入 Programmer 界面，下载*.pof 到 CPLD 中。
- 3、连接电路，观察实验现象与仿真结果比对。

四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握图形输入的基本方法，完全掌握一位全加器的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

下载程序，连接导线后，拨动开关 SW1，SW2，SW3，观察输出 LED 灯的显示。

看是否和真值表结果相同。

如：当 SW1 或者 SW2 为 1，且 SW3 为 0 时,D1 为亮 1，D2 为灭 0。

实验五、四位全加器实验

一、实验目的

- 1、进一步加深全加器的工作原理了解。
- 2、掌握原理图输入方法，掌握层次化设计的方法。
- 3、设计一个四位全加器的方法。

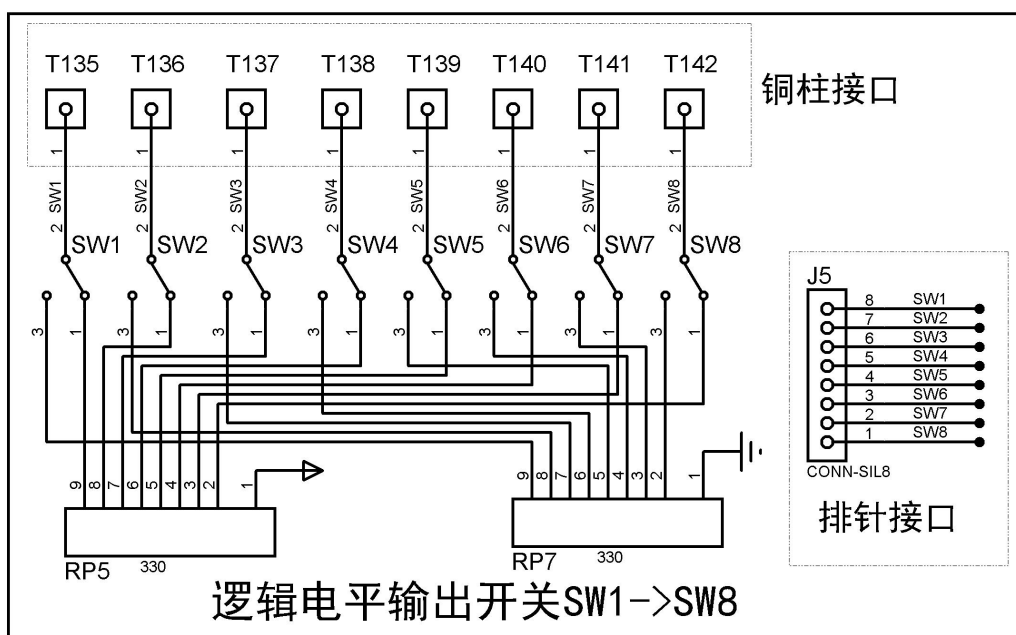
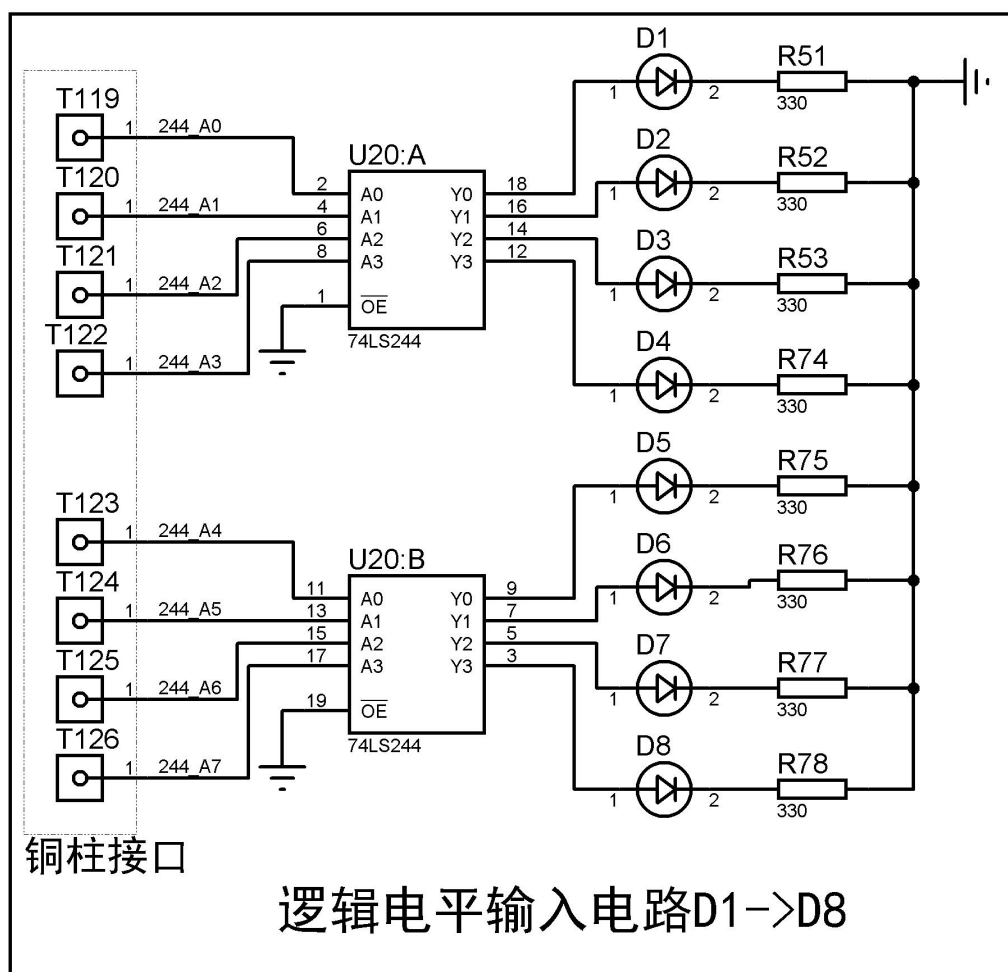
二、实验内容

- 1、利用设计好的全加器，设置成一个元件符合入库。
- 2、通过一位全加器，设计成一个四位全加器。
- 3、将编译通过的文件进行波形仿真，观察仿真结果。
- 4、下载程序，验证功能。
- 5、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

端口号	引脚绑定号	电路连接信号	备注
A0	PIN_1	SW1	逻辑电平输出
A1	PIN_3	SW3	逻辑电平输出
A2	PIN_5	SW5	逻辑电平输出
A3	PIN_7	SW7	逻辑电平输出
B0	PIN_2	SW2	逻辑电平输出
B1	PIN_4	SW4	逻辑电平输出
B2	PIN_6	SW6	逻辑电平输出
B3	PIN_8	SW8	逻辑电平输出
COUT	PIN_20	PIN_53	逻辑电平输入
S0	PIN_16	PIN_54	逻辑电平输入
S1	PIN_17	PIN_55	逻辑电平输入
S2	PIN_18	PIN_56	逻辑电平输入
S3	PIN_19	PIN_57	逻辑电平输入

实验部分电路原理图：



三、实验步骤

- 1、启动 Quartus II ，打开对应实验程序、编译综合、分配引脚，生成*.pof 文件。
- 2、建立波形仿真，输入激励信号，观察仿真结果。
- 2、进入 Programmer 界面，下载*.pof 到 CPLD 中。
- 3、连接电路，观察实验现象与仿真结果比对。

四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握图形输入的基本方法，完全掌握四位全加器器的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

对比一位全加器及真值表，通过拨打开关观察四位全加器是否符合真值表的结果。

实验六、计数、译码、显示电子钟实验

一、实验目的

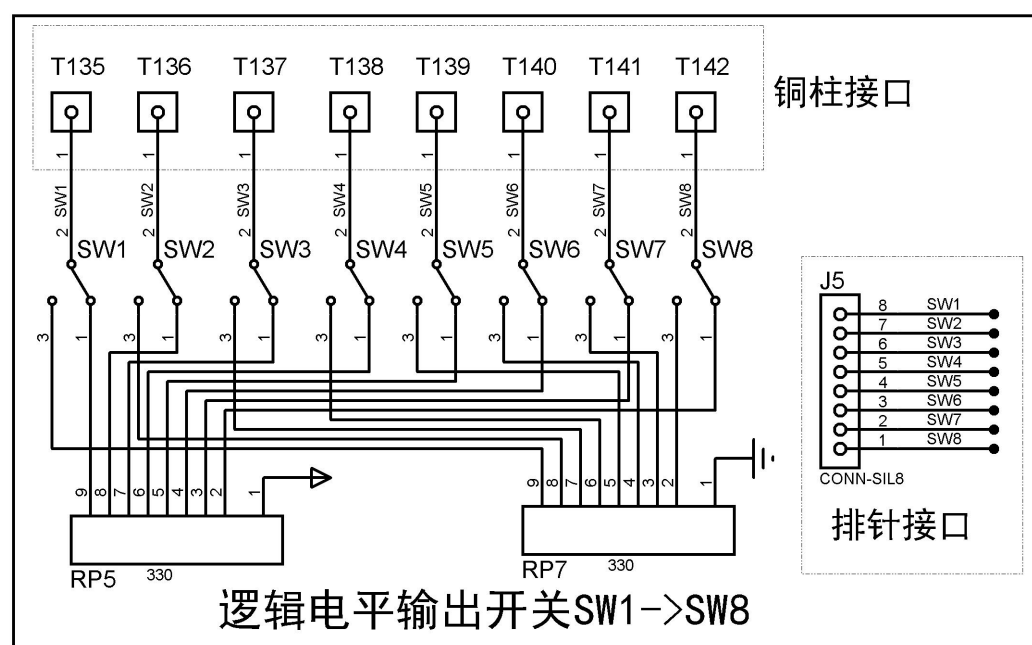
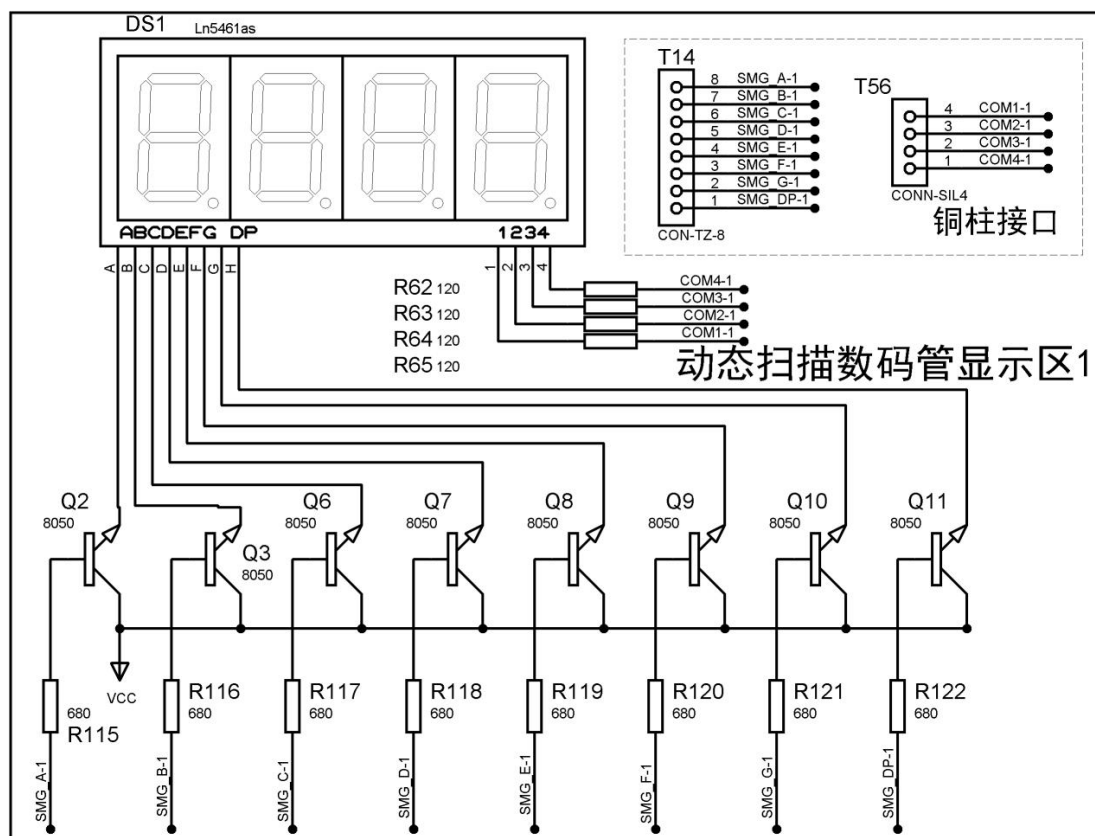
- 1、了解模块元件的概念及层次化设计方法。
- 2、掌握查询和判断按键开关的编码方法。
- 3、掌握多位共阴数码管动态扫描驱动编码。

二、实验内容

- 1、设计一个能实现时、分、秒的综合计时系统，能启动或者停止计时，能一键复位。
- 2、通过 VHDL 完成计时系统功能编写，对程序进行编译调试。
- 3、将编译通过的文件进行波形仿真，观察仿真结果。
- 4、下载程序，验证功能。
- 5、通过原理图了解电路板的连接，根据设置的输入输出引脚连接电路。

硬件连接表：

端口号	引脚绑定号	电路连接信号	说明
ctrlin[0]	PIN_57	SW1	逻辑电平输出 (启动)
ctrlin[1]	PIN_58	SW2	逻辑电平输出 (停止)
ctrlin[2]	PIN_61	SW3	逻辑电平输出 (置数)
disp[0]	PIN_15	SA1、SA2	动态扫描共阴数码管 (数码管段码)
disp[1]	PIN_8	SB1、SB2	
disp[2]	PIN_7	SC1、SC2	
disp[3]	PIN_6	SD1、SD2	
disp[4]	PIN_5	SE1、SE2	
disp[5]	PIN_4	SF1、SF2	
disp[6]	PIN_3	SG1、SG2	
disp[7]	PIN_2	SH1、SH2	
ledcs[0]	PIN_53	COM4	动态扫描共阴数码管 (数码管位选)
ledcs[1]	PIN_54	COM3	
ledcs[2]	PIN_55	COM2	
ledcs[3]	PIN_56	COM1	



三、实验步骤

- 1、启动 Quartus II ，打开对应实验程序、编译综合、分配引脚，生成*.pof 文件。
- 2、建立波形仿真，输入激励信号，观察仿真结果。
- 2、进入 Programmer 界面，下载*.pof 到 CPLD 中。
- 3、连接电路，观察实验现象与仿真结果比对。

四、实验要求

- 1、要求了解实验板的基本结构，外围底板电路组成。
- 2、要求能掌握 VHDL 编程方法，完全掌握电子钟的设计过程。
- 3、要求能使用仿真的方法验证电路的功能，观察并记录仿真结果，记录并分析结果。。
- 4、要求能熟练掌握实验的基本操作，电路验证。

五、实验现象与结果

下载程序，连接导线后，数码管初始化显示为 0000。拨动 SW1 启动计时，拨动 SW2 可停止计时，拨动 SW3 恢复初始计时状态。