

数字电路实验箱 v108

实验指导书

编著：广州风标教育技术股份有限公司

数字逻辑电路实验基础知识.....	3
实验一 集成门电路逻辑功能测试实验.....	6
实验二 TTL 集电极开路门与三态门的应用.....	12
实验三 TTL 与 CMOS 互连实验.....	16
实验四 半加器和全加器实验.....	18
实验五（1） 编码器及其应用实验.....	21
实验五（2） 译码器及其应用实验.....	23
实验六 数据选择器和数据比较器实验.....	25
实验七 竞争与冒险实验.....	28
实验八 触发器及其应用实验.....	30
实验九 集成移位寄存器应用实验.....	33
实验十 计数、译码及显示电路实验.....	35
实验十一 555 定时器及应用.....	38
实验十二 A/D 和 D/A 转换器.....	41
实验十三 RAM 和 ROM 实验.....	45

数字逻辑电路实验基础知识

一、实验目的

- 1、熟练掌握数字万用表、信号发生器、示波器、逻辑分析仪等常用实验仪器的使用；
- 2、熟悉实验箱上的硬件资源、分布结构、接口、使用等；
- 3、掌握实验的步骤、实验中操作规范及常见故障的排查。

二、实验设备

- 1、数模电实验箱
- 2、数字万用表
- 3、信号发生器
- 4、示波器
- 5、逻辑分析仪

三、预习要求

- 1、实验前准备好常用的实验仪器及操作指南；
- 2、自拟实验步骤及实验过程中可能会出现的一些问题及解决方法；
- 3、熟悉常见的电子器件：电阻、电容、电感、二极管、三极管、集成芯片等。

四、实验内容及步骤

1、实验仪器的使用，按操作指南进行操作，需要注意的是操作仪器前必须认真阅读操作指南，熟悉了解仪器的控制面板及功能后便可上电进行实验。

2、实验的基本过程应包括：确定实验内容、选定最佳的实验方法和实验线路、拟出较好的实验步骤、合理选择仪器设备和元器件、进行连接安装和调试、最后写出完整的实验报告。

在进行数字电路实验时，充分掌握和正确利用集成器件及其构成的数字电路独有的特点和规律，可以收到事半功倍的效果，对于完成每一个实验，应做好实验预习、实验记录和实验报告等环节。

（一）实验预习

认真预习是做好实验的关键。预习好坏，不仅关系到实验能否顺利进行，而且直接影响实验效果。预习应按本教材的实验预习要求进行，在每次实验前首先要认真复习有关实验的基本原理，掌握有关器件使用方法，对如何着手实验做到心中有数，通过预习还应做好实验前的准备，写出一份预习报告，其内容包括：

- A、绘出设计好的实验电路图，该图应该是逻辑图和连线图的混合，既便于连接线，又反映电路原理，并在图上标出器件型号、使用的引脚号及元件数值，必要时还须用文字说明。
- B、拟定实验方法和步骤。
- C、拟好记录实验数据的表格和波形坐标。
- D、列出元器件清单。

（二）实验记录

实验记录是实验过程中获得的第一手资料。测试过程中所测试的数据和波形必须和理论基本一致，所以记录必须清楚、合理、正确，若不正确，则要现场及时重复测试，找出原因。实验记录应包括如下内容：

- A、实验任务、名称及内容。
- B、实验数据和波形以及实验中出现的现象，从记录中应能初步判断实验的正确性。
- C、记录波形时，应注意输入、输出波形的时间相位关系，在坐标中上下对齐。

D、实验中实际使用的仪器型号和编号以及元器件使用情况。

（三）实验报告

实验报告是培养学生科学实验的总结能力和分析思维能力的有效手段，也是一项重要的基本功训练，它能很好地巩固实验成果，加深对基本理论的认识和理解，从而进一步扩大知识面。

实验报告是一份技术总结，要求文字简洁，内容清楚，图表工整。报告内容应包括实验目的、实验内容和结果、实验使用仪器和元器件以及分析讨论等，其中实验内容和结果是报告的主要部分，它应包括实际完成的全部实验，并且要按实验任务逐个书写，每个实验任务应有如下内容：

- A、实验课题的方框图、逻辑图（或测试电路）、状态图，真值表以及文字说明等，对于设计性课题，还应有整个设计过程和关键的设计技巧说明。
- B、实验记录和经过整理的数据、表格、曲线和波形图，其中表格、曲线和波形图应充分利用专用实验报告简易坐标格，并且三角板、曲线板等工具描绘，力求画得准确，不得随手示意画出。
- C、实验结果分析、讨论及结论，对讨论的范围，没有严格要求，一般应对重要的实验现象、结论加以讨论，以便进一步加深理解，此外，对实验中的异常现象，可作一些简要说明，实验中有何收获，可谈一些心得体会。

3、实验中操作规范和常见故障检查方法

实验中操作的正确与否对实验结果影响甚大。因此，实验者需要注意按以下规程进行。

- A、搭接实验电路前，应对仪器设备进行必要的检查校准，对所用集成电路进行功能测试。
- B、搭接电路时，应遵循正确的布线原则和操作步骤（即要按照先接线后通电，做完后，先断电再拆线的步骤）。
- C、掌握科学的调试方法，有效地分析并检查故障，以确保电路工作稳定可靠。
- D、仔细观察实验现象，完整准确地记录实验数据并与理论值进行比较分析。
- E、实验完毕，经指导教师同意后，可关断电源拆除连线，整理好放在实验箱内，并将实验台清理干净、摆放整洁。

布线原则和故障检查是实验操作的重要问题。

（一）布线原则：应便于检查、排除故障和更换器件。

在数字电路实验中，有错误布线引起的故障，常占很大比例。布线错误不仅会引起电路故障，严重时甚至会损坏器件，因此，注意布线的合理性和科学性是十分必要的，正确的布线原则大致有以下几点：

- A、接插集成电路芯片时，先校准两排引脚，使之与实验底板上的插孔对应，轻轻用力将芯片插上，然后在确定引脚与插孔完全吻合后，再稍用力将其插紧，以免集成电路的引脚弯曲，折断或者接触不良。
- B、不允许将集成电路芯片方向插反，一般 IC 的方向是缺口（或标记）朝左，引脚序号从左下方的第一个引脚开始，按逆时针方向依次递增至左上方的第一个引脚。
- C、导线应粗细适当，一般选取直径为 0.6~0.8mm 的单股导线，最好采用各种色线以区别不同用途，如电源线用红色，地线用黑色。
- D、布线应有秩序地进行，随意乱接容易造成漏接错接，较好的方法是接好固定电平点，如电源线、地线、门电路闲置输入端、触发器异步置位复位端等，其次，在按信号源的顺序从输入到输出依次布线。
- E、连线应避免过长，避免从集成器件上方跨接，避免过多的重叠交错，以利于布线、更换元器件以及故障检查和排除。
- F、当实验电路的规模较大时，应注意集成元器件的合理布局，以便得到最佳布线。布线时，顺便对单个集成器件进行功能测试。这是一种良好的习惯，实际上这样做不会增加布线工作量。
- G、应当指出，布线和调试工作是不能截然分开的，往往需要交替进行，对大型实验元器件很多的，可将总电路按其功能划分为若干相对独立的部分，逐个布线、调试（分调），然后将各部分连接起来（联调）。

（二）故障检查

实验中，如果电路不能完成预定的逻辑功能时，就称电路有故障，产生故障的原因大致可以归纳以下四个方面：

- A、操作不当（如布线错误等）
- B、设计不当（如电路出现危险现象等）
- C、元器件使用不当或功能不正常
- D、仪器（主要指数字电路实验板）和集成器件本身出现故障。

因此，上述四点应作为检查故障的主要线索，以下介绍几种常见的故障检查方法：

A、查线法：

由于在实验中大部分故障都是由于布线错误引起的，因此，在故障发生时，复查电路连线为排除故障的有效方法。应着重注意：有无漏线、错线，导线与插孔接触是否可靠，集成电路是否插牢、集成电路是否插反等。

B、观察法：

用万用表直接测量各集成块的 VCC 端是否加上电源电压；输入信号、时钟脉冲等是否加到实验电路上，观察输出端有无反应。重复测试观察故障现象，然后对某一故障状态，用万用表测试各输入/输出端的直流电平，从而判断出是否是插座板、集成块引脚连接线等原因造成的故障。

C、信号注入法

在电路的每一级输入端加上特定信号，观察该级输出响应，从而确定该级是否有故障，必要时可以切断周围连线，避免相互影响。

D、信号寻迹法

在电路的输入端加上特定信号，按照信号流向逐级检查是否有响应和是否正确，必要时可多次输入不同信号。

E、替换法

对于多输入端器件，如有多余端则可调换另一输入端试用。必要时可更换器件，以检查器件功能不正常所引起的故障。

F、动态逐线跟踪检查法

对于时序电路，可输入时钟信号按信号流向依次检查各级波形，直到找出故障点为止。

G、断开反馈线检查法

对于含有反馈线的闭合电路，应该设法断开反馈线进行检查，或进行状态预置后再进行检查。

以上检查故障的方法，是指在仪器工作正常的前提下进行的，如果实验时电路功能测不出来，则应首先检查供电情况，若电源电压已加上，便可把有关输出端直接到 0—1 显示器上检查，若逻辑开关无输出，或单次 CP 无输出，则是开关接触不好或是内部电路坏了，一般就是集成器件坏了。

需要强调指出，实验经验对于故障检查是大有帮助的，但只要充分预习，掌握基本理论和实验原理，就不难用逻辑思维的方法较好地判断和排除故障。

五、实验报告

- 1、总结常用仪器使用过程中操作技巧及注意事项。
- 2、总结常用电子器件的符号、参数、特点及应用。
- 3、总结实验前、实验后需要准备的东西及注意事项。
- 4、思考题：
 - (1)、使用示波器是发现看不到扫描信号？
 - (2)、使用万用表判断、测量电容、三极管的好坏及相关参数？
 - (3)、电阻的表示方法及在没有万用表的情况下电阻阻值的识别？
 - (4)、集成芯片 IC 的识别，型号、封装、第一号引脚及其它引脚的识别？

实验一 集成门电路逻辑功能测试实验

一、实验目的

- 1、熟悉集成门电路的工作原理和主要参数
- 2、熟悉集成门电路的外型引脚排列及应用事项
- 3、验证和掌握门电路的逻辑功能

二、实验设备

- 1、Proteus 或数模电实验箱
- 2、数字万用表

三、预习要求

- 1、复习门电路工作原理及相应逻辑表达式
- 2、常用 TTL 门电路和 CMOS 门电路的功能、特点
- 3、复习非门、与门、或门、或非门、与非门及三态门的逻辑功能
- 4、复习逻辑代数以及逻辑表达式之间的转换
- 5、用 Proteus 软件对实验进行仿真并分析实验是否成功

四、实验内容及步骤

- 1、TTL 门电路和 CMOS 门电路的工作原理（使用最广泛的数字集成门电路为 TTL 和 CMOS 两种）。

A、TTL 门电路

（1）TTL 门电路主要有与非门、集电极开路与非门（OC 门）、三态输出与非门（三态门）、异或门等。为了正确使用门电路，必须了解它们的逻辑功能及其测试方法。

（2）OC 门与线逻辑

OC 门是指集电极开路 TTL 门，这种电路的最大特点是可以实现“线与”逻辑。即几个 OC 门的输出端可以直接连在一起，通过一只“提升电阻”接到电源 VCC 上。此外，OC 门还可以用来实现电平移位功能。与 OC 门相对应，CMOS 电路也有漏极开路输出的电路。其特点也和 OC 门类似。

集电极开路的与非门可以根据需要来选择负载电阻和电源电压，并且能够实现多个信号间的相与关系（称为线与）。使用 OC 门时必须注意合理选择负载电阻，才能实现正确的逻辑关系。

（3）三态输出与非门是一种重要的接口电路，在计算机和各种数字系统中应用极为广泛，它具有三种输出状态，除了输出端为高电平和低电平（这两种状态均为低电阻状态）外，还有第三种状态，通常称为高阻状态或称为开路状态。改变控制端（或称选通端）的电平可以改变电路的工作状态。三态门可以同 OC 门一样把若干个门的输出端并接到同一公用总线上（称为线或），分时传送数据，成为 TTL 系统和总线的接口电路。

（4）TTL 集成电路除了标准形式外，还有其它四种结构形式：高速 TTL（74H 系列），低功耗 TTL（74L 系列）这两种结构与标准 TTL 主要区别是电路中各电阻不同，另外两种是肖基特 TTL（74S 系列）和低功耗肖特基 TTL（74LS 系列）。

B、基本 CMOS 门电路

CMOS 逻辑门电路是在 TTL 电路问世之后，所开发出的第二种广泛应用的数字集成器件，从发展趋势来

看, CMOS 电路的性能有可能超越 TTL 而成为占主导地位的逻辑器件。CMOS 电路的工作速度可与 TTL 电路相比较, 而它的功耗和抗干扰能力远优于 TTL 电路, CMOS 电路产品有 4000 系列和 4500 系列。当前与 TTL 兼容的 CMOS 器件如 74HCT 系列等产品可与 TTL 器件交换使用。

C、使用注意事项

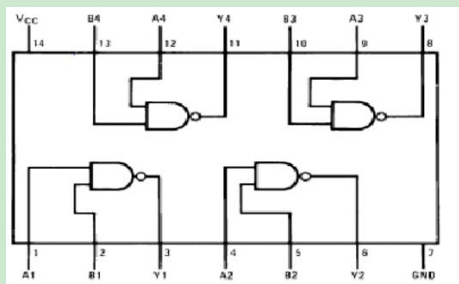
(1) TTL 集成电路

- 1) 通常 TTL 电路要求电源电压 $V_{CC}=5V \pm 0.25V$ 。
- 2) TTL 电路输出端不允许与电源短路, 但可以通过上拉电阻与电源连接, 以提高输出电平。
- 3) TTL 电路不使用的输入端, 通常有两种处理方法, 一是与其它使用的输入端并联, 不宜悬空; 二是把不用的输入端按其逻辑功能特点接至相应的逻辑电平上。
- 4) TTL 电路对输入信号边沿的要求。
通常要求其上升沿或下降沿小于 $50ns/v \sim 100ns/v$ 。当外加输入信号边沿变化很慢时, 必须加整形电路(如施密特触发器)。

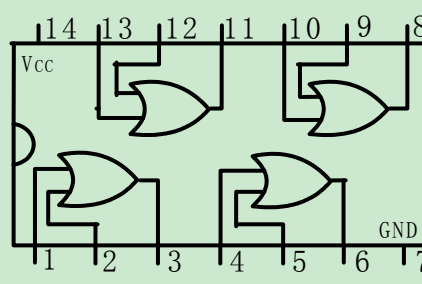
(2) CMOS 集成电路

- 1) 不用的输入端不允许悬空, 应根据逻辑需要接 V_{DD} 或 V_{SS} 端, 或将它们与使用的输入端并联, 不允许悬空。
- 2) 在工作或测试时, 必须先接通电源, 再加入信号。工作结束后, 应先撤除信号, 再关闭电源。
- 3) 不可在接通电源的情况下插入或拔出组件。
- 4) 输入信号不可大于 V_{DD} 或小于 V_{SS} 。
- 5) 焊接时, 电烙铁必须可靠接地, 以防漏电击穿器件输入端, 一般使用时, 可断电后利用电烙铁的余热进行焊接, 并先焊其接地管脚。贮存, 一般用金属箔或导电泡棉将组件各脚管短路。

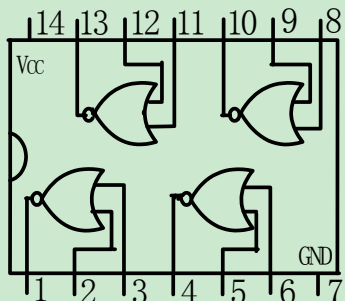
2、集成门电路外型及引脚排列。(以 74LS 系列为主)



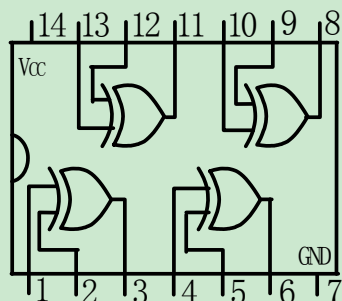
(a) 74LS00 二输入四与非门



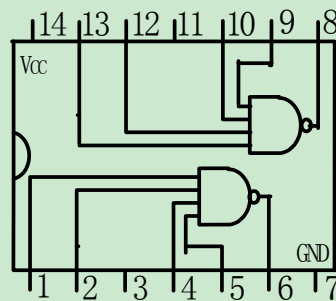
(b) 74LS32 二输入四或门



(c) 74LS02 二输入四或非门



(d) 74LS86 二输入四异或门



(e) 74LS20 四输入二与非门

3、本实验中使用的 TTL 集成门电路是双列直插型的集成电路, 其管脚识别方法: 将 TTL 集成门电路正面(印有集成门电路型号标记)正对自己, 有缺口或有圆点的一端置向左方, 左下方第一管脚即为管脚“1”, 按逆时针方向数, 依次为 1、2、3、4……。如图 3.2-1 所示。具体的各个管脚的功能可通过查找相关手册得知。

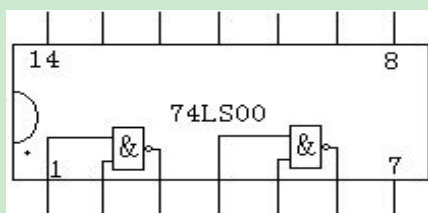


图 3.2-1

输入端	输出电压	输出逻辑
0 0		
0 1		
1 0		
1 1		

图 3.2-2

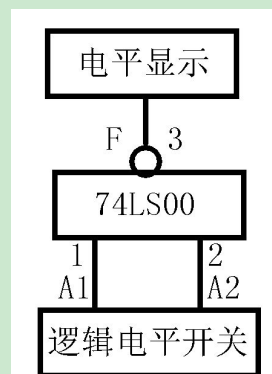


图 3.2-3

(2) 硬件连接表 (参照仿真电路)

芯片 74LS00	拨码开关	逻辑电平	电源
1	SW1		
2	SW2		
3		D1	
7			GND
14			+5V

4、测或门的逻辑功能

(1) 将 74LS32 (二输入端四或门) 放到 DIP14 插槽中固定好按图 3.2-4 接线, 检查无误后接通实验仪电源, 按表 3.2-4 中给出的输入端不同情况, 测输出端的逻辑状态填入表中。

表 3.2-4

输入端	输出电压	输出逻辑
0 0		
0 1		
1 0		
1 1		

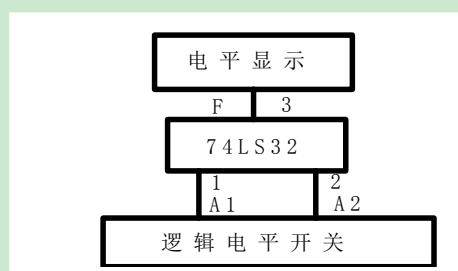


图 3.2-4

(2) 硬件连接表 (参照仿真电路)

芯片 74LS32	拨码开关	逻辑电平	电源
1	SW1		
2	SW2		
3		D1	
7			GND
14			+5V

注意: 芯片目录下的数字表示该芯片的引脚数字标号, 实验时确保给芯片上电, 接线检查无误后打开实验箱电源, 进行实验。

5、测或非门的逻辑功能

(1) 将 74LS02 (二输入端四或非门) 放到 DIP14 插槽中固定好按图 3.2-5 接线, 检查无误后接通实验仪电源, 按表 3.2-5 中给出的输入端不同情况, 测输出端的逻辑状态填入表中。

表 3.2-5

输入端	输出电压	输出逻辑
0 0		
0 1		
1 0		
1 1		

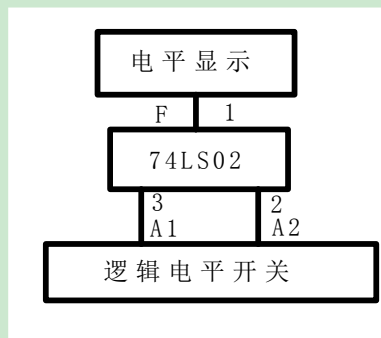


图 3.2-5

(2) 硬件连接表 (参照仿真电路)

芯片 74LS02	拨码开关	逻辑电平	电源
1		D1	
2	SW1		
3	SW2		
7			GND
14			+5V

注意: 芯片目录下的数字表示该芯片的引脚数字标号, 实验时确保给芯片上电, 接线检查无误后打开实验箱电源, 进行实验。

6、测异或门的逻辑功能

(1) 将 74LS86 (二输入端四异或门) 放到 DIP14 插槽中固定好按图 3.2-6 接线, 检查无误后接通实验箱电源, 然后按表 3.2-6 中给出的输入端不同情况, 测输出端的逻辑状态填入表中。

表 3.2-6

输入端	输出电压	输出逻辑
0 0		
0 1		
1 0		
1 1		

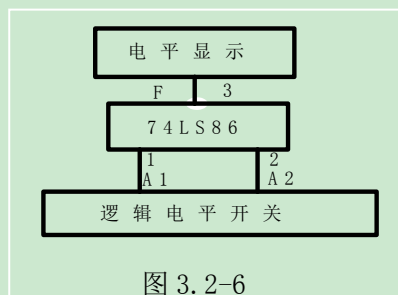


图 3.2-6

(2)、硬件连接表 (参照仿真电路)

芯片 74LS86	拨码开关	逻辑电平	电源
1	SW1		
2	SW2		
3		D1	
7			GND
14			+5V

主意: 芯片目录下的数字表示该芯片的引脚数字标号, 实验时确保给芯片上电, 接线检查无误后打开实验箱电源, 进行实验。

7、测与非门的逻辑功能

将 74LS20（四输入端二与非门）放到 DIP14 插槽中固定好按图 3.2-7 接线，检查无误后接通实验仪电源，然后按表 3.2-7 中给出的输入端不同情况，测输出端的逻辑状态填入表中。

表 3.2-7

输入端	输出电压	输出逻辑
0 0 0 0		
0 0 0 1		
0 0 1 1		
0 1 1 1		
1 0 0 0		
1 0 1 1		
1 1 1 1		

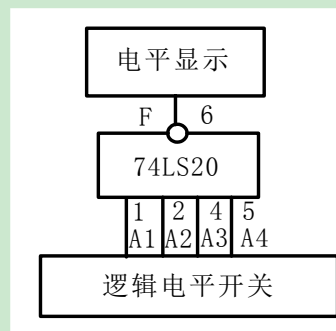


图 3.2-7

(2) 硬件连接表（参照仿真电路）

芯片 74LS20	拨码开关	逻辑电平	电源
1	SW1		
2	SW2		
4	SW3		
5	SW4		
6		D1	
7			GND
14			+5V

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

8、测非门的逻辑功能

将 74LS04（非门）放到 DIP14 插槽中固定好按图 3.2-8 接线，检查无误后接通实验仪电源，然后按表 3.2-4 中给出的输入端不同情况，测输出端的逻辑状态填入表中。

表 3.2-8

输入端	输出电压	输出逻辑
0		
1		

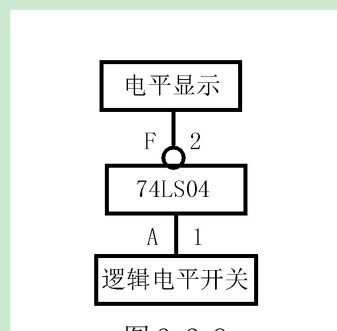


图 3.2-8

(2) 硬件连接表（参照仿真电路）

芯片 74LS04	拨码开关	逻辑电平	电源
1	SW1		
2		D1	
7			GND
14			+5V

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验

箱电源，进行实验。

五、实验报告

- 1、按照实验要求填写真值表，并写出门电路的逻辑表达式。
- 2、整理实验数据，得出实验结果并与预习时的结果进行比较。
- 3、自己拟定实验步骤及表格完成其它门电路(74LS00)逻辑功能的测试。
- 4、思考题
 - (1)、TTL 门电路和 CMOS 门电路有什么区别？
 - (2)、用与非门实现其他逻辑功能的方法步骤是什么？

实验二 TTL 集电极开路门与三态门的应用

一、实验目的

- 1、熟悉 TTL 集电极开路门和三态门的工作原理
- 2、熟悉 TTL 集电极开路门和三态门的逻辑功能
- 3、掌握三态门的典型应用

二、实验设备

- 1、Proteus 软件
- 2、数字万用表

三、预习要求

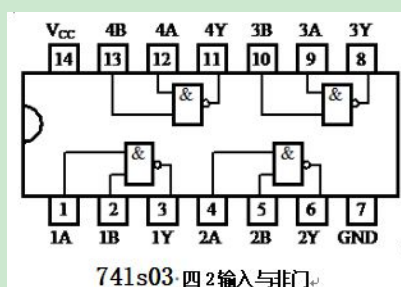
- 1、复习门电路工作原理及相应逻辑表达式
- 2、常用 TTL 门电路和 CMOS 门电路的功能、特点
- 3、用 Proteus 软件对实验进行仿真并分析实验

四、实验内容及步骤

1、门电路介绍

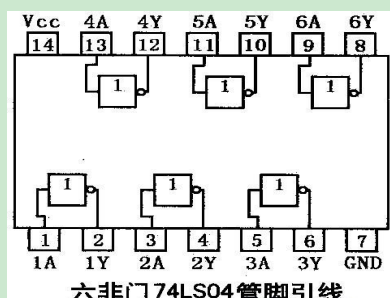
(1) TTL 集电极开路门

实验一中的 OC 门是指 TTL 集电极开路门，这种电路的最大特点是可以实现线逻辑。即几个 OC 门的输出端可以直接连在一起，输出端需要通过“提升电阻”接到电源 VCC 上。此外，OC 门还可以用来实现电平移位功能。与 OC 门相对应，CMOS 电路也有漏极开路输出的电路。其特点也和 OC 门类似。集电极开路的与非门可以根据需要来选择负载电阻和电源电压，并且能够实现多个信号间的相与关系（称为线与）。使用 OC 时必须注意合理选择负载电阻，才能实现正确的逻辑关系。



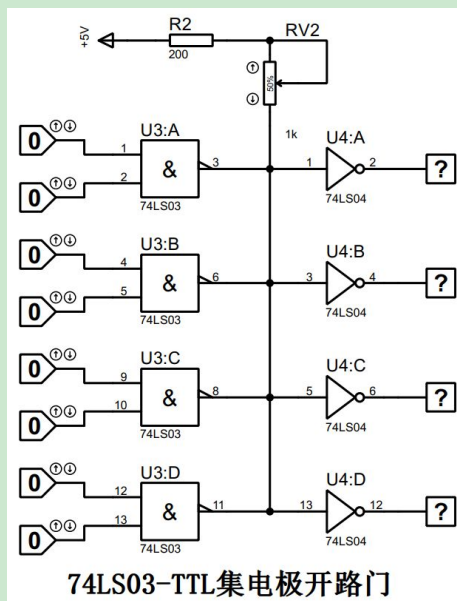
741s03 四2输入与非门

Y = AB		
Input		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L



六非门 74LS04 管脚引线

$$Y = \bar{A}$$



74ls03是集电极开路两输入端四与非门芯片,与之逻辑功能相同的还有74ls00,不同之处在于在74ls03可直接将几个逻辑门(集电极开路门(OC门))的输出端相连。这种输出直接相连,实现输出与功能的方式称为线与。即 $Y=Y1 \cdot Y2$

但是普通TTL与非门的输出端是不允许直接相连的,因为当一个门的输出为高电平($Y1$),另一个为低电平($Y2$)时,将有一个很大的电流从 U_{CC} 经 $Y1$ 到 $Y2$,对器件造成损坏。

将几个OC门的输出端连在一起,公共负载电阻 R_L 及电源 V_{cc} 外接。当所有OC门的输出都是高电平时,电路的总输出 L 才为高电平,而当任一个OC门的输出为低电平时,总输出就是低电平。但这种与功能并不是由与门来实现的,而是通过输出线连接来获得的,故称为线与。普通的TTL与非门不能实现线与。

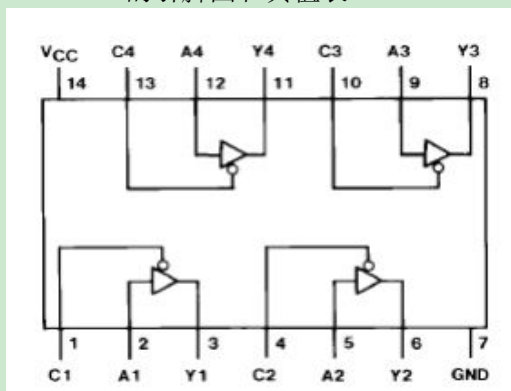
(2) 硬件连接表(参照仿真电路)

芯片 74LS03	芯片 74LS04	拨码开关	逻辑电平	10K 电阻	电源
1		SW1			
2		SW2			
3	1			3	
4		SW3			
5		SW4			
6	3			3	
7	7				GND
8	5			3	
9		SW5			
10		SW6			
11	13			3	
12		SW7			
13		SW8			
14	14				5V
	2		D1		
	4		D2		
	6		D3		
	12		D4		
				1-2 脚相连	5V

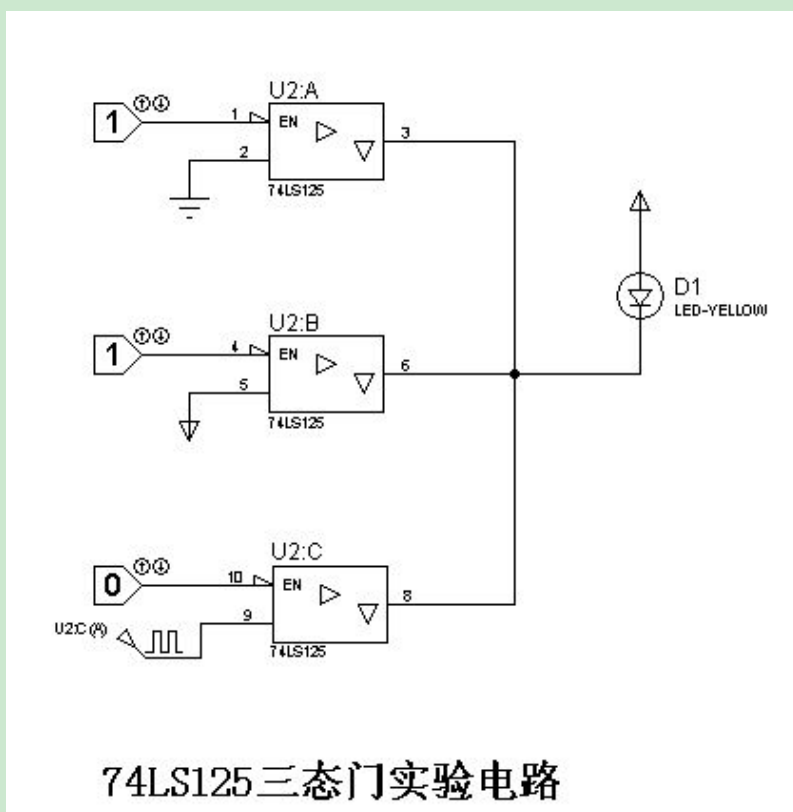
(3) 三态输出与非门是一种重要的接口电路，在计算机和各种数字系统中应用极为广泛，它具有三种输出状态，除了输出端为高电平和低电平（这两种状态均为低电阻状态）外，还有第三种状态，通常称为高阻状态或称为开路状态。改变控制端（或称选通端）的电平可以改变电路的工作状态。三态门可以同 OC 门一样把若干个门的输出端并接到同一公用总线上（称为线或），分时传送数据，成为 TTL 系统和总线的接口电路。

74ls125 为三态输出的四总线缓冲器, 其中 A1~A4 输入端， C1~C4 三态允许端（低电平有效） Y1~Y4 输出端，当允许端 EN=0 时，逻辑关系 $Y=A$; EN=1 时，输出为高阻态。

74ls125 的引脚图和真值表：



Y=A		
输入		输出
A	C	Y
L	L	L
H	L	H
X	H	Hi-Z



(4) 硬件连接表（参照仿真电路）

芯片 74LS125	拨码开关	逻辑电平	频率输出	电源
1	SW1			
2				GND
3		D1		
4	SW2			
5				+5V
6		D2		
7				GND
8		D3		
9			频率输出	
10	SW3			
14				+5V

五、实验报告

- 1、按照实验要求填写真值表，并写出门电路的逻辑表达式。
- 2、整理实验数据，得出实验结果并与预习时的结果进行比较。
- 3、总结并掌握 TTL 集电极开路门和三态门的应用

实验三 TTL 与 CMOS 互连实验

一、实验目的

- 1、熟悉 TTL 集电极开路门和 CMOS 工作原理
- 2、熟悉 TTL 集电极开路门和三态门的逻辑功能
- 3、掌握 TTL 与 CMOS 互连的电平转换

二、实验设备

- 1、Proteus 软件
- 2、数字万用表

三、预习要求

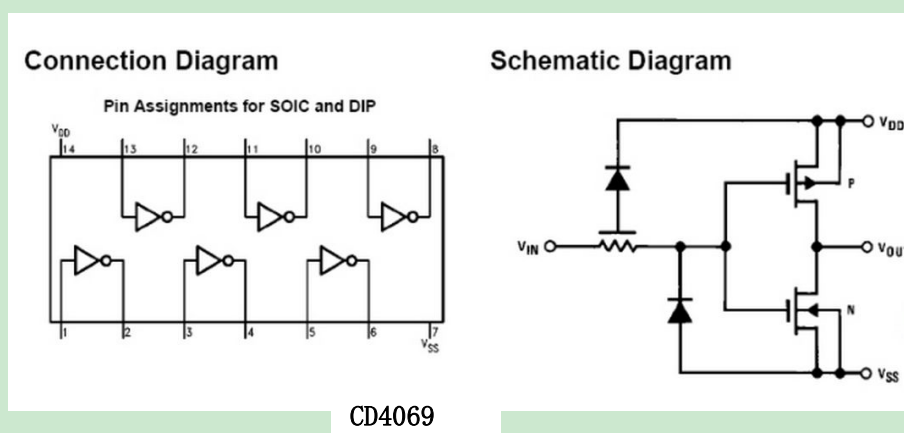
- 1、复习门电路工作原理及相应逻辑表达式
- 2、常用 TTL 门电路和 CMOS 门电路的功能、特点
- 3、用 Proteus 软件对实验进行仿真并分析实验

四、实验内容及步骤

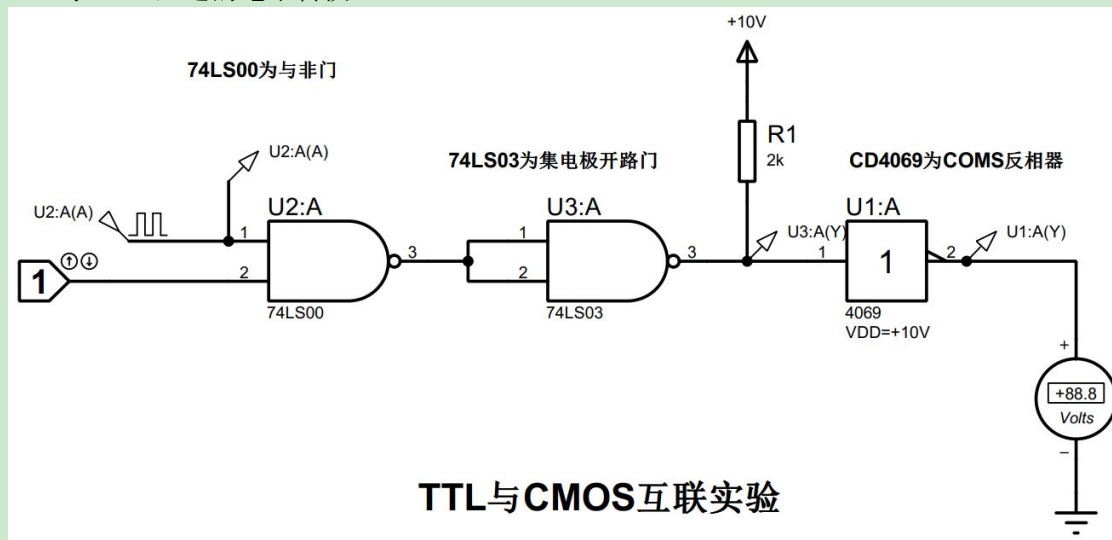
实验内容：（仿真实验）

- （1）使用 741s00, 741s03, 以及 CD4069 来实验 TTL 电平驱动 CMOS 电路的电平转换在 Proteus 中搭建如图电路。
- （2）分析电平逻辑，写出逻辑表达式
- （3）进行仿真，观察电平转换变化
- （4）记录变化，对比预知变化。

CD4069 是 CMOS 六反相器，工作电压 3 到 15 伏，输入电压从 0V 到 V_{DD} , 输入低电平随电压不同不一样，工作电压 5V 输入低电平最高 1V，输入低电平最低 4V。工作电压 10V 输入低电平最高 2V，输入低电平最低 8V。工作电压 15V 输入低电平最高 3V。



TTL 与 CMOS 互连的电平转换



五、实验报告

- 1、按照实验要求填写真值表，并写出门电路的逻辑表达式。
- 2、整理实验数据，得出实验结果并与预习时的结果进行比较。
- 3、总结并掌握 TTL 与 CMOS 互连的电平转换

实验四 半加器和全加器实验

一、实验目的

- 1、掌握半加器的工作原理及电路组成
- 2、掌握全加器的工作原理及电路组成
- 3、学习及掌握组合逻辑电路的设计、调试方法

二、实验设备

- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 1、查出 74LS86、74LS00 芯片的引脚图及其各引脚功能
- 2、推导由与非门构成半加器、全加器的逻辑表达式
- 3、按实验内容要求设计半加器、全加器的实验线路图

四、实验内容及步骤

1、半加器

两个二进制数相加,叫做半加,实现半加操作的电路,称为半加器。表 3.7-1 是半加器的真值表,图 3.7-1 为半加器的符号, A 表示加数; B 表示被加数; S 表示半加和; C 表示向高位的进位。

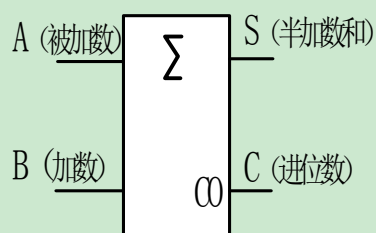


图 3.7-1

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

表 3.7-1

从二进制数加法的角度看,真值表中只考虑了两个加数本身,没有考虑低位来的进位,这就是半加器一词的由来。由真值表可得半加器逻辑表达式

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$C = AB$$

2、全加器

全加器能进行加数、被加数和低位来的进位信号相加,并根据求和的结果给出该位的进位信号。图 3.7-2 是全加器的符号,如果用 A_i 、 B_i 表示 A、B 两个数的第 i 位, C_{i-1} 表示为相邻低位来的进位数, S_i 表示为本位和数(称为全加和), C_i 表示为向相邻高位的进位数,则根据全加运算规则可列出全加器的真值表如表 3.7-2。利用图形法可以很容易地求出 S、C 的简化函数表达式。

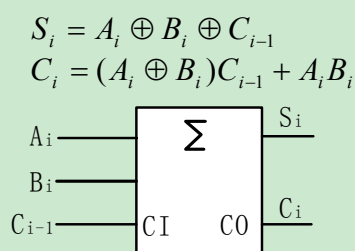


图 3.7-2

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

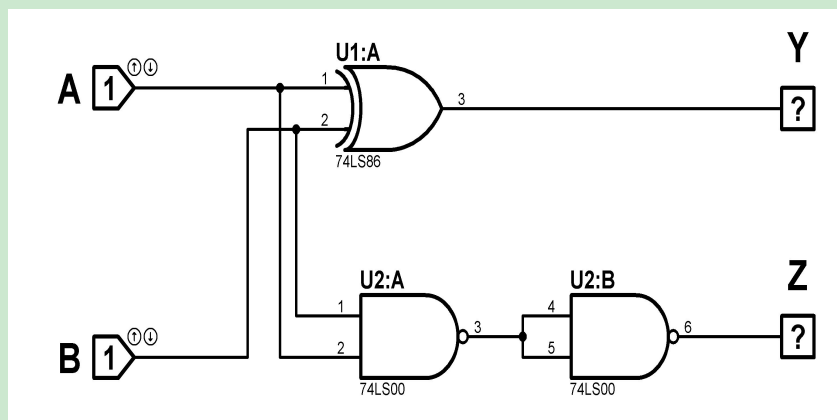
表 3.7-2

3、实验步骤

A、半加器

用异或门 74LS86 及与非门 74LS00 设计一个半加器，并在 Proteus 上验证所设计的半加器电路是否正确。

- (1) 列出真值表。
- (2) 由真值表用卡诺图写出逻辑表达式。
- (3) 画出逻辑电路接线图。
- (4) 自拟表格记录，根据自己设计的逻辑电路图在硬件上验证逻辑功能
- (5) 根据自己设计的逻辑图连接硬件，实验时需要给芯片上电，即芯片上 VCC 引脚接+5V，GND 引脚接地(GND)。
- 接线检查无误后打开实验箱电源，进行实验。
- (6) 参考逻辑电路接线图



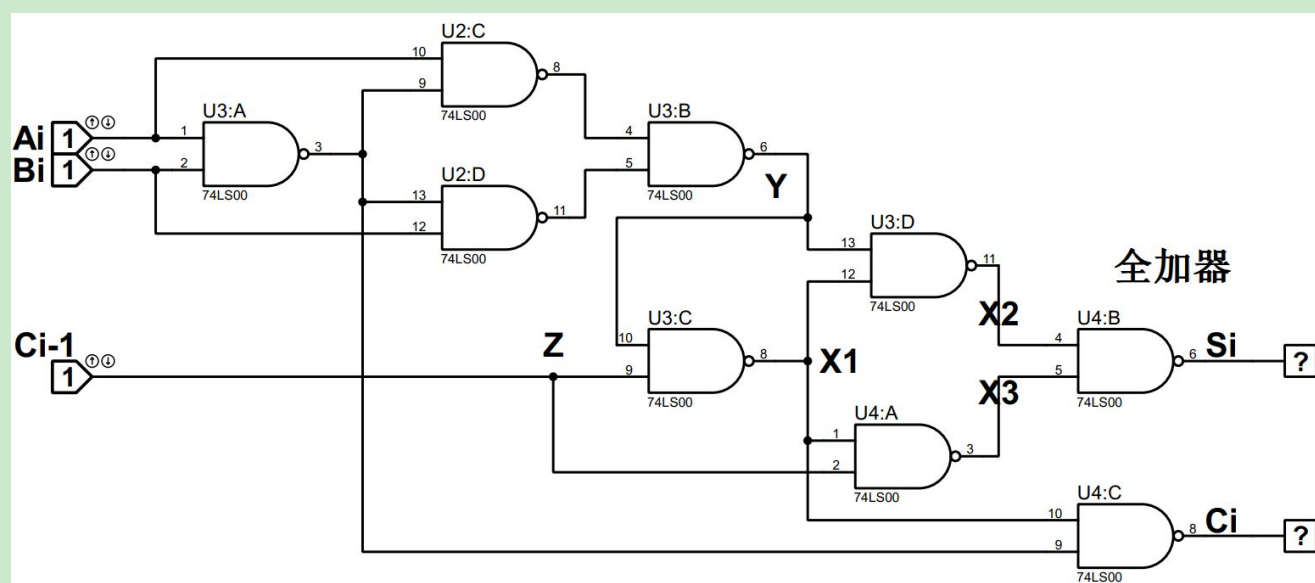
(7) 硬件连接表（参照仿真电路）

芯片 74LS86	芯片 74LS00	拨码开关	逻辑电平	电源
1	1	SW1		
2	2	SW2		
3			D1	
7	14			GND
14	14			5V
	3 脚与 4、5 相连			
	6		D2	

B、全加器

用异或门 74LS86 及与非门 74LS00 设计一个全加器，并在 Proteus 上验证所设计的全加器电路是否正确。

- (1) 列出真值表。
 - (2) 由真值表用卡诺图写出逻辑表达式。
 - (3) 画出逻辑电路接线图。
 - (4) 自拟记录表格，根据自己设计的逻辑电路图在硬件上验证逻辑功能
 - (5) 根据自己设计的逻辑图连接硬件，实验时需要给芯片上电，即芯片上 VCC 引脚接+5V，GND 引脚接地(GND)。
- 接线检查无误后打开实验箱电源，进行实验。
- (6) 参考逻辑电路接线图



(7) 硬件连接表（参照仿真电路）

五、实验报告

- 1、画出实验电路连线示意图，整理实验数据，分析实验结果与理论值是否相等。
- 2、设计判断得奖电路时需写出真值表及得到相应输出表达式以及逻辑电路图。
- 3、总结中规模集成电路的使用方法及功能

实验五（1） 编码器及其应用实验

一、实验目的

- 1、掌握中规模集成编码器的逻辑功能和使用方法
- 2、掌握编码器的级联方法及测试方法

二、实验设备

- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 1、复习有关编码器的原理
- 2、查找编码器相关的芯片手册，了解其引脚功能及分布
- 3、根据实验任务，画出所需的实验线路及记录表格

四、实验内容及步骤

- 1、8-3 线优先编码器 74LS148

编码器 74LS148 的作用是将输入 $I_0 \sim I_7$ 8 个状态分别编成二进制码输出，它的功能表见表 3.4-1。它有 8 个输入端，3 个二进制码输出端，输入使能端 EI，输出使能端 EO 和优先编码工作状态标志 GS。优先级分别从 I_7 至 I_0 递减。

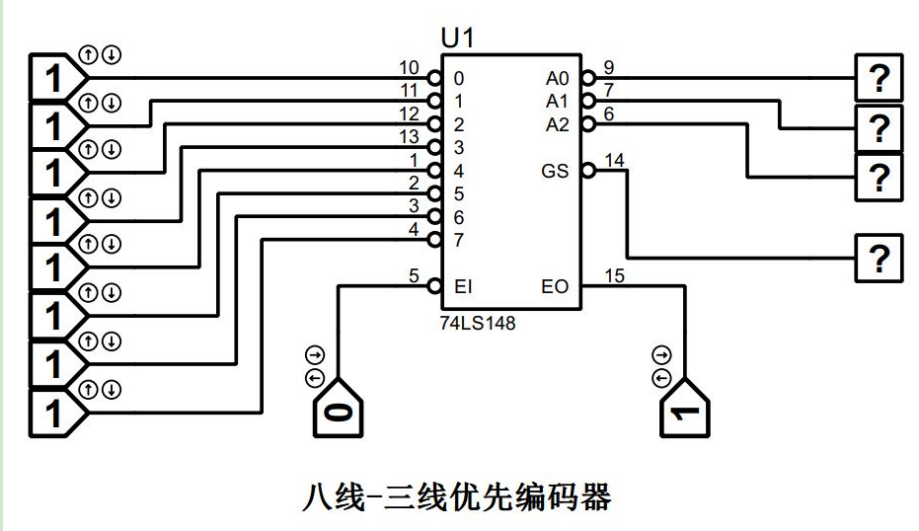
Inputs									Outputs				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

表 3.4-1 优先编码器 74LS148 功能表

- 2、实验步骤

（1）在实验箱上找到 DIP16 插槽，将芯片 74LS148 插到插槽中并固定，并在 DIP16 插座的第 8 脚接上实验箱的地（GND），第 16 脚接上电源（+5V）。八个输入端 $I_0 \sim I_7$ 及 EO、EI 接拨动开关（实验箱的逻辑开关

单元），输出端接发光二极管进行显示（实验箱的逻辑电平显示单元）。



(2) 硬件连接表(请参照仿真电路连接硬件)

74LS148	拨动开关	逻辑电平	电源
10	SW1		
11	SW2		
12	SW3		
13	SW4		
1	SW5		
2	SW6		
3	SW7		
4	SW8		
6		D1	
7		D2	
9		D3	
15	SW9 (置 1)		
5	SW10 (置 0)		
16			+5V
8			GND

注意：芯片底座下的数字表示该芯片的引脚数字标号，根据其逻辑功能将 15, 5 引脚接到相应的逻辑电平，实验时确保给芯片接线正确，检查无误后打开实验箱电源，进行实验。

五、实验报告

- 1、整理实验数据，分析实验结果与理论值是否相等。
- 2、总结中规模集成电路的使用方法及功能。
- 3、思考题： 74LS148 的输入信号 EI 和输出信号 GS、EO 的作用。

实验五（2） 译码器及其应用实验

一、实验目的

- 1、掌握中规模集成译码器的逻辑功能和使用方法
- 2、掌握译码器的级联方法及测试方法

二、实验设备

- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 2、查找译码器相关的芯片手册，了解其引脚功能及分布
- 3、复习有关译码器的原理、根据实验任务，画出所需的实验线路及记录表格

四、实验内容及步骤

1、3-8 线译码器 74LS138

它有三个地址输入端 A、B、C，共有 8 种状态的组合，即可译出 8 个输出信号 $Y_0 \sim Y_7$ 。另外它还有三个使能输入端 E_1 、 E_2 、 E_3 。它的引脚排列见图 3.5-1 功能表见表 3.5-1。

输入						输出							
E_2	E_1	E_2	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

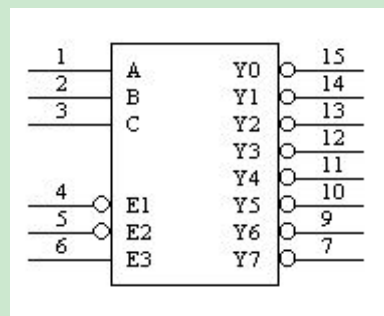
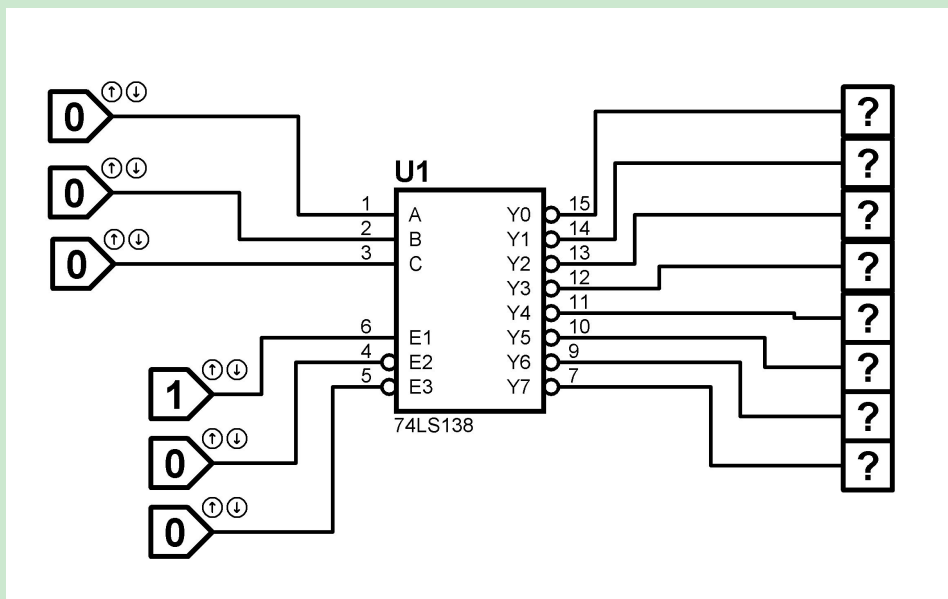


图 3.5-1 74LS138 的引脚图

表 3.5-1 74LS138 的功能表

2、实验步骤

(1) 在实验箱上找到 DIP16 插槽，将芯片 74LS138 插到插槽中并固定，在 DIP16 插座的第 8 脚接上实验箱的地（GND），第 16 脚接上电源（+5V）。将 74LS138 的输入端 A、B、C、 E_1 、 E_2 、 E_3 接拨动开关（实验箱的逻辑开关单元），74LS138 的输出端 $Y_0 \sim Y_7$ 分别接到 8 个发光二极管上（实验箱的逻辑电平显示单元），逐次拨动对应的拨位开关，根据发光二极管显示的变化，测试 74LS138 的逻辑功能。



(2) 硬件连接表(请参照仿真电路连接硬件)

74LS138	拨动开关	逻辑电平	电源
1	SW1		
2	SW2		
3	SW3		
4	SW4 (置 0)		
5	SW5 (置 0)		
6	SW6 (置 1)		
7		D8	
9		D7	
10		D6	
11		D5	
12		D4	
13		D3	
14		D2	
15		D1	
16			+5V
8			GND

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

五、实验报告

- 1、画出实验线路，把观察到的波形画在坐标上，并标上相应的地址码。
- 2、整理实验数据，对实验结果进行分析、讨论。
- 3、总结中规模集成电路的使用方法及功能。
- 4、思考题：
 - (1)、译码器的级联，两片 74LS138 组成 4-16 线译码器？

实验六 数据选择器和数据比较器实验

一、实验目的

- 1、熟悉数据选择器和数据比较器
- 2、掌握数据选择器和数据比较器应用和电路设计方法

二、实验设备

- 1、数电实验箱
- 2、数字万用表

三、预习要求

- 1、预习所用到的中规模集成芯片的功能、引脚排列及使用方法
- 2、预习组合逻辑电路的功能特点和结构特点
- 3、预习组合逻辑电路的一般分析及设计方法
- 4、用 Proteus 软件对实验进行仿真并分析实验是否成功

四、实验内容及步骤

1、数据选择器

图 3.6-1 为“八选一”数据选择器 74ls251 的引脚图，其中 A (S0), B (S1), C (S2) 为三位地址码输入端， \overline{OE} 为低电平选通输入，D0-D7 为数据输入端，Y 为源码输出端， \overline{Y} 为反码输出端。

E_0	S_2	S_1	S_0	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	\overline{Y}	Y
H	X	X	X	X	X	X	X	X	X	X	X	(Z)	(Z)
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	X	X	X	X	X	X	X	L	H
L	L	L	H	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	L	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	L	H	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	L	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

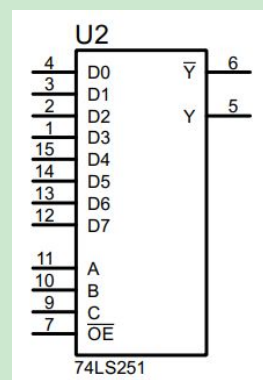
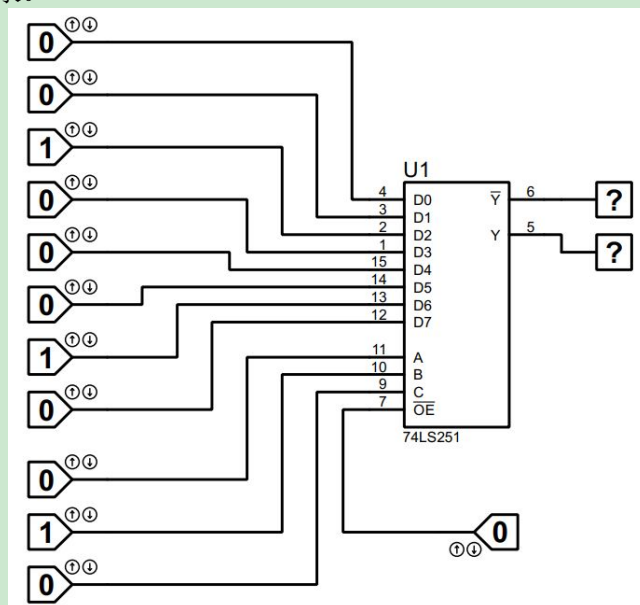


图 3.6-1 74ls251 引脚图

表 3.6-1 74ls251 的功能表

(1) 在实验箱上找到 DIP16 插槽，将芯片 74ls251 插到插槽中并固定，在 DIP16 插座的第 8 脚接上实验箱的地（GND），第 16 脚接上电源（+5V）。将 74ls251 的选通端OE设置为 0 电平，数据选择器被选中，置数据输入端 D0-D7 和 A,B,C 三位地址码输入端接拨动开关（实验箱的逻辑开关单元），A,B,C 三位地址码输入端分别设置为 000,001, …, 111，置数据输入端 D0-D7 分别设置为 10101010 或 11110000，观察输出端 Y 和 \bar{Y} 输出结果并记录。



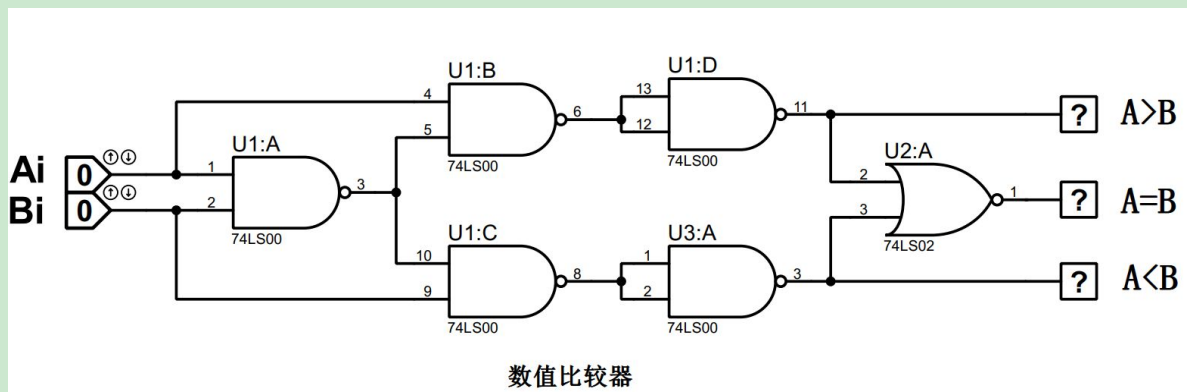
(2) 硬件连接表（参照仿真电路）

74ls251	拨动开关	逻辑电平	电源
4	SW1		
3	SW2		
2	SW3		
1	SW4		
15	SW5		
14	SW6		
13	SW7		
12	SW8		
11	SW10		
10	SW11		
9	SW12		
7	SW13		
5		D1	
6		D2	
16			+5V
8			GND

2、数据比较器

在数字电路中，经常需要对两个位数相同的二进制数进行比较，以判断它们的相对大小或者是否相等，用来实现这一功能的逻辑电路就成为数值比较器。

在仿真中进行软件验证，记录数据变化，参照仿真图进行硬件实验。



五、实验报告

- 1、整理实验数据，列表记录。
- 2、分析实验中的现象，操作中遇到的问题及解决办法。
- 3、总结分析、设计组合逻辑电路的步骤、方法及心得。

实验七 竞争与冒险实验

一、实验目的

- 1、熟悉竞争与冒险
- 2、掌握竞争与冒险电路设计中避免的方法

二、实验设备

- 1、Proteus 软件、示波器
- 2、数字万用表

三、预习要求

- 1、预习所用到的中规模集成芯片的功能、引脚排列及使用方法
- 2、预习组合逻辑电路的功能特点和结构特点
- 3、预习组合逻辑电路的一般分析及设计方法
- 4、用 Proteus 软件对实验进行仿真并分析实验是否成功

四、实验内容及步骤

1、竞争冒险现象及其成因,对于组合逻辑电路,输出仅取决于输入信号的取值组合,但这仅是指电路的稳定解而言,没有涉及电路的暂态过程。实际上,在组合逻辑电路中信号的传输可能通过不同的路径而汇合到某一门的输入端上。由于门电路的传输延迟,各路信号对于汇合点会有一定的时差。这种现象称为竞争。如果竞争现象的存在不会使电路产生错误的输出,则称为非临界竞争;如果使电路的输出产生了错误输出,则称为临界竞争,通常称为逻辑冒险现象。一般说来,在组合逻辑电路中,如果有两个或两个以上的信号参差地加到同一门的输入端,在门的输出端得到稳定的输出之前,可能出现短暂的,不是原设计要求的错误输出,其形状是一个宽度仅为时差的窄脉冲,通常称为尖峰脉冲或毛刺。

2、检查竞争冒险现象的方法,在输入变量每次只有一个改变状态的简单情况下,可以通过逻辑函数式判断组合逻辑电路中是否有竞争冒险存在。如果输出端门电路的两个输入信号 A 和 \bar{A} 是输入变量 A 经过两个不同的传输途径而来的,那么当输入变量的状态发生突变时输出端便有可能产生尖峰脉冲。因此,只要输出端的逻辑函数在一定条件下化简成 $Y=A+A$ 或 $Y=A*\bar{A}$ 则可判断存在竞争冒险。

3、消除竞争冒险现象的方法

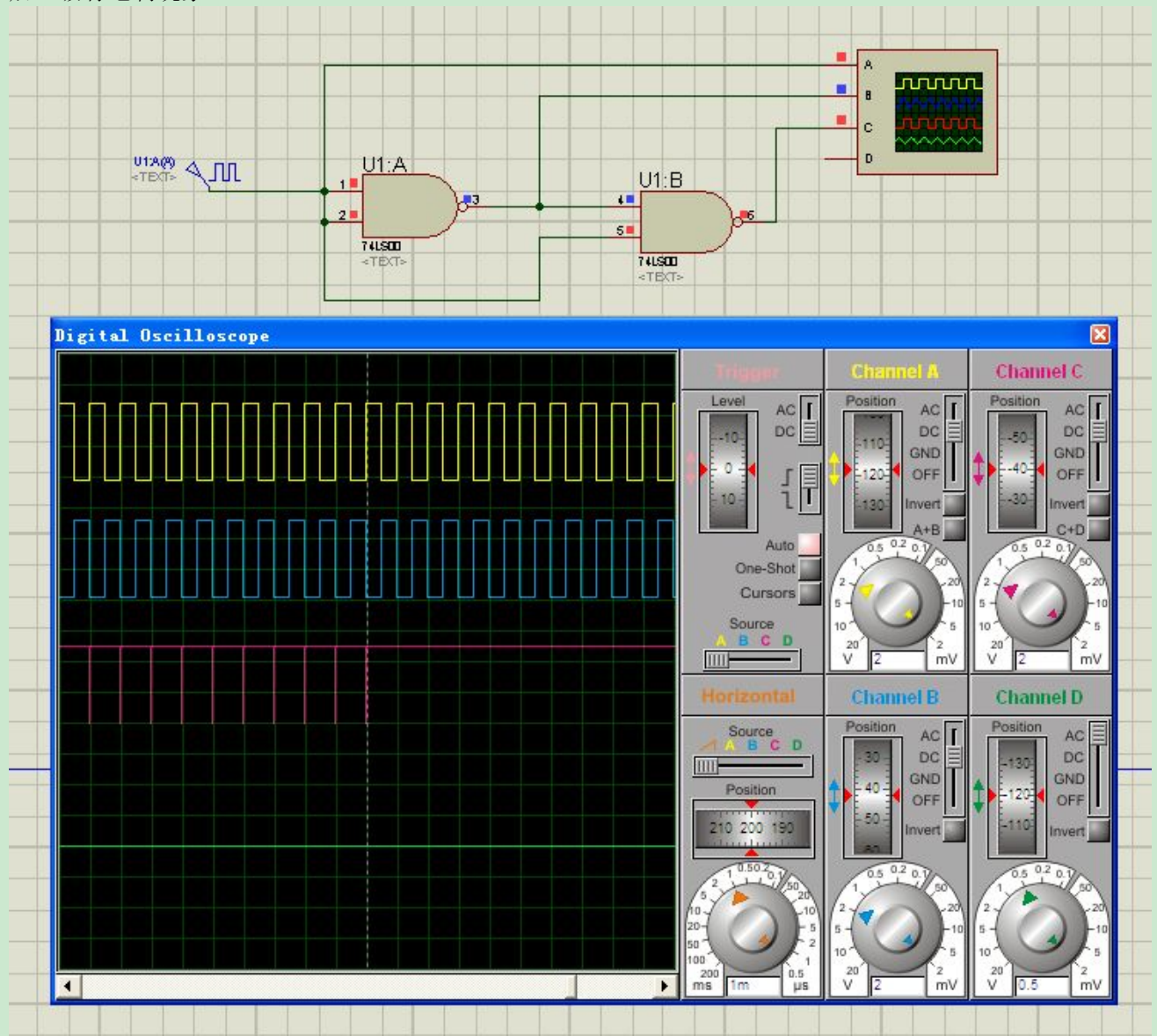
(1) 接入滤波电路,在输出端并接入一个很小的滤波电容 C_f ,足可把尖峰脉冲的幅度削弱至门电路的阈值电压以下。

(2) 引入选通脉冲。对输出引进选通脉冲,避开现象。

(3) 修改逻辑设计。在逻辑函数化简选择乘积项时,按照判断组合电路是否存在竞争冒险的方法,选择使逻辑函数不会使逻辑函数产生竞争冒险的乘积项。也可采用增加冗余项的方法。选择消除现象的方法应根据具体情况而定。组合逻辑电路的现象是一个重要的实际问题。当设计出一个组合电路,安装后应首先进行静态测试,也就是用逻辑开关按真值表依次改变输入量,验证其逻辑功能。然后再进行动态测试,观察是否存在冒险。如果电路存在现象,但不影响下一级电路的正常工作,就不必采取消除现象的措施;如果影响下一级电路的正常工作,就要分析现象的原因,然后根据不同的情况采取措施加以消除。

4、实验仿真

在 Proteus 中使用一个 74ls00 按照示意图连接，进行仿真，使用虚拟示波器，观察输入与输出，会看到最后一级有毛刺现象。



5、硬件参考仿真图搭建，用示波器可以看到毛刺现象。

五、实验报告

- 1、整理实验数据，列表记录。
- 2、分析实验中的现象，操作中遇到的问题及解决办法。
- 3、总结消除竞争与冒险的步骤、方法及心得

实验八 触发器及其应用实验

一、实验目的

- 1、掌握基本 RS、JK、T 和 D 触发器的逻辑功能
- 2、掌握集成触发器的功能和使用方法
- 3、熟悉触发器之间相互转换的方法

二、实验设备

- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 1、复习有关触发器内容，熟悉有关器件的管脚分配
- 2、列出各触发器功能测试表格
- 3、参考有关资料查看 74LS00、74LS74 和 74LS76 的逻辑功能

四、实验内容及步骤

触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存贮器件，是构成多种电路的最基本逻辑单元。

- 1、测试基本 RS 触发器的逻辑功能（自己参照仿真电路搭建电路验证）

按图 3.8-1，用 74LS00 芯片上的两个与非门组成基本 RS 触发器，将测试结果记录于表 3.8-1 中。

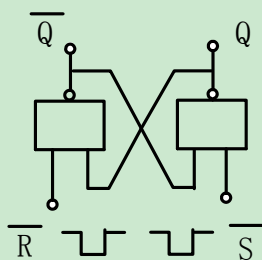


图 3.8-1

\bar{S}	\bar{R}	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

表 3.8-1

- 2、测试双 JK 触发器 74LS76 的逻辑功能

在输入信号为双端输入的情况下，JK 触发器是功能完善，使用灵活和通用性较强的一种触发器。本实验采用 74LS76 双 JK 触发器，是下降沿触发的边沿触发器。引脚功能及逻辑符号如图 3.8-2 所示，JK 触发器的状态方程为

$$Q^{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

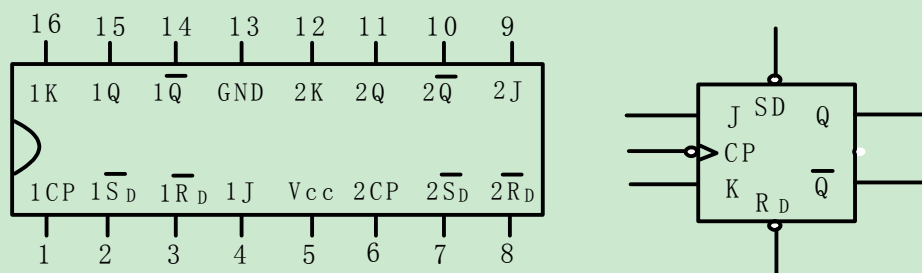


图 3.8-2

(1) 异步置位及复位功能的测试按图 3.8-2，用 74LS76 芯片的一个 JK 触发器，将 J、K、CP 端断开（或任意状态），改变 \bar{S}_D 和 \bar{R}_D 的状态。观察输出 Q 和 \bar{Q} 的状态，记录于表 3.8-2 中。

(2) 逻辑功能的测试用实验箱上的单脉冲作为 JK 触发器的 CP 脉冲源，当将触发器的初始状态置 1 或置 0 时，将测试结果记录于表 3.8-3 中。

\bar{S}_D	\bar{R}_D	Q	\bar{Q}
1	0→1		
	1→0		
1→0	1		
0→1			
0	0		

表 3.8-2

J	K	CP	Q _{n+1}	
			Q _n =1	Q _n =0
0	0	0→1		
0	0	1→0		
0	1	0→1		
0	1	1→0		
1	0	0→1		
1	0	1→0		
1	1	0→1		
1	1	1→0		

表 3.8-3

(3)、硬件连接表（参照仿真电路）

芯片 74LS76	拨动开关	逻辑电平	脉冲	电源
1			单脉冲	
2	SW1			
3	SW2			
4	SW3			
16	SW4			
14		D1		
15		D2		
5				+5V
13				GND

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

3、测试双 D 触发器 74LS74 的逻辑功能

在输入信号为单端的情况下，D 触发器用起来最为方便，其状态方程为 $Q_{n+1}=D_n$ ，其输出状态的更新发生在 CP 脉冲的上升沿，故又称为上升沿触发器的边沿触发器。D 触发器的状态只取决于时钟到来前 D 端的

状态。D 触发器应用很广，可供作数字信号的寄存，移位寄存，分频和波形发生等。有很多种型号可供各种用途需要而选用。图 3.8-3 为 74LS74 双 D 触发器的引脚排列图和逻辑符号。

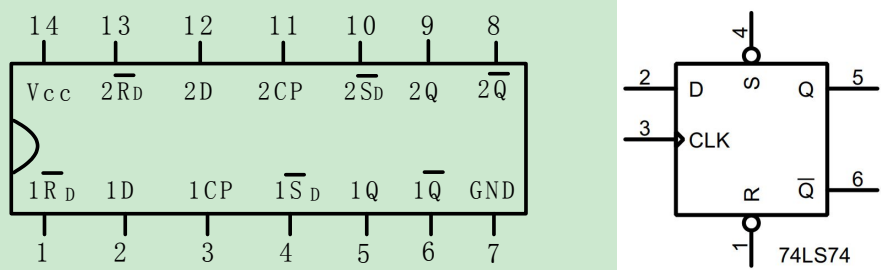


图 3.8-3

(1) 异步置位及复位功能的测试：按图 3.8-3，用 74LS74 芯片的一个触发器，改变 \overline{S}_D 和 \overline{R}_D 的状态，观察输出 Q 和 \overline{Q} 的状态；自拟表格记录。

(2) 逻辑功能的测试：用单次脉冲作为 D 触发器的 CP 脉冲源，测试 D 触发器的功能，自拟表格记录。

(3)、硬件连接表（参照仿真电路）

芯片 74LS74	拨码开关	逻辑电平	脉冲	电源
1	SW1			
2	SW2			
3			脉冲	
4	SW3			
5		D1		
6		D2		
14				+5V
7				GND

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

五、实验报告

- 1、事理实验数据记录，分析结果；
- 2、总结 \overline{S}_D 、 \overline{R}_D 及 S、R 各输入端的作用。
- 3、叙述各触发器之间的转换方法。
- 4、分析实验中的现象，操作中遇到的问题及解决办法。

实验九 集成移位寄存器应用实验

一、实验目的

- 1、掌握移位寄存器的工作原理及逻辑功能。
- 2、掌握移位寄存器的典型应用。
- 3、熟悉移位寄存器的调试方法。

二、实验设备

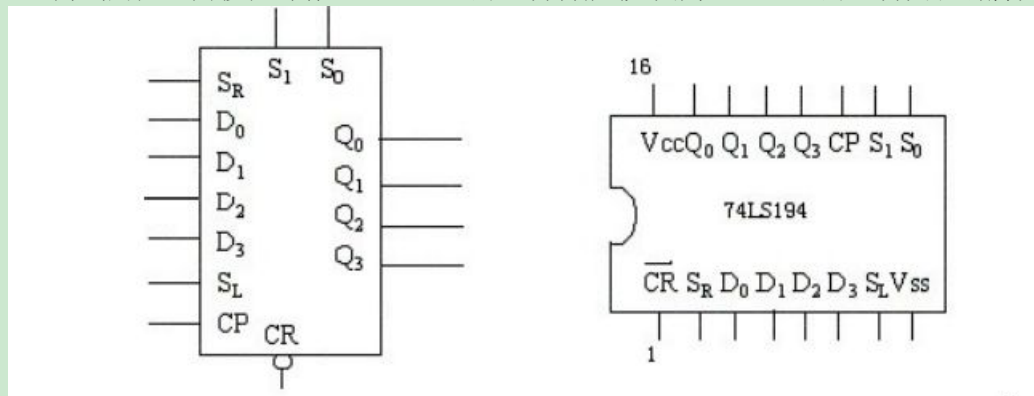
- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 1、复习中规模移位寄存器的有关教材内容。
- 2、根据实验任务，画出所需的实验线路及记录表格。

四、实验内容及步骤

- 1、测试四位双向移位寄存器 74LS194 的逻辑功能(如图为 74LS194 的逻辑图和引脚图)。



(1) 存数功能：将 74LS194 芯片接好电源及地线，控制端 S_1 、 S_0 置于“1、1”状态，数据输入端 D_0 、 D_1 、 D_2 、 D_3 分别接“1011”，输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 分别接电平指示灯，观察在 CP 端加单脉冲后输出的变化，并加以记录。

(2) 动态保持功能：将控制端 S_1 、 S_0 “0”电平，输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 分别接指示灯，数据输入 D_0 、 D_1 、 D_2 、 D_3 接“0”电平，在 CP 端加单脉冲的条件下，观察 Q_0 、 Q_1 、 Q_2 、 Q_3 的状态变化，并加以记录。

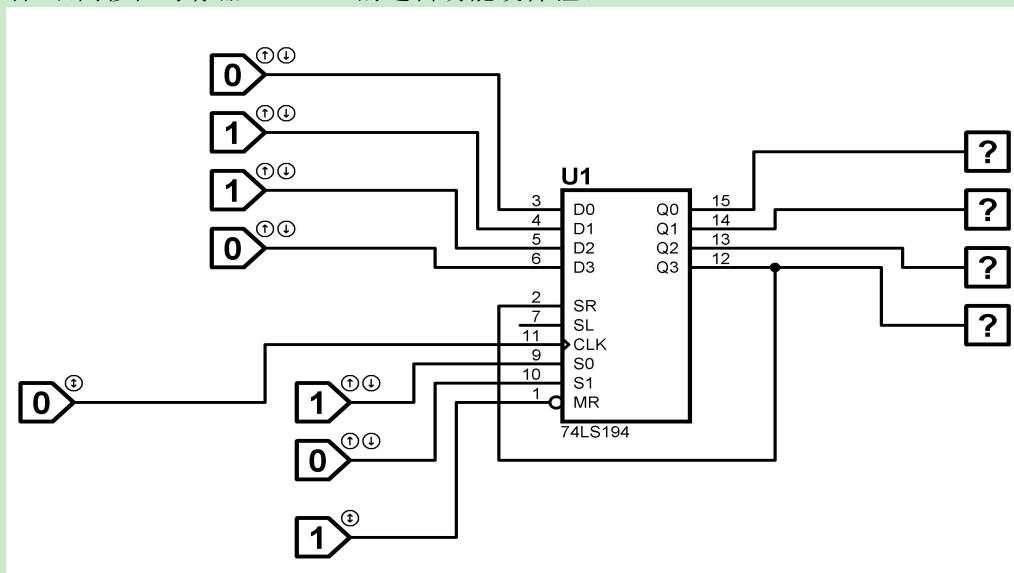
(3) 左移功能：将控制端 S_1 接“1”电平、 S_0 接“0”电平，输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 分别接指示灯，将 Q_0 接至 DSL ，在 CP 端加单脉冲的条件下，观察 Q_0 、 Q_1 、 Q_2 、 Q_3 的状态变化，并加以记录。

(4) 右移功能：将控制端 S_1 接“0”电平、 S_0 接“1”电平，输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 分别接指示灯，将 Q_3 接至 DSR ，在 CP 端加单脉冲的条件下，观察 Q_0 、 Q_1 、 Q_2 、 Q_3 的状态变化，并加以记录。

用 74LS194 和 74LS00 构成七进制计数器：将控制端 S1 接“0”电平、S0 接“1”电平，用与非门 74LS00 实现 $\overline{Q_C Q_D} = D_{sr}$ ，RD 端先清零，然后在 CP 端输入连续脉冲，观察 CP 和 QD、QC 的相对波形，并加以记录。

仿真实验

2、四位双向移位寄存器 74LS194 的逻辑功能硬件验证



(1) 硬件连接表（参照仿真电路）

74LS194	拨码开关	逻辑电平	脉冲	电源
1	SW1 (置 1)			
2, 12		D4		
3	SW2			
4	SW3			
5	SW4			
6	SW5			
9	SW6 (置 1)			
10	SW7 (置 1)			
11			单脉冲	
13		D3		
14		D2		
15		D1		
8				GND
16				+5V

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

五、实验报告

- 1、正确画出各步骤的实验接线图及数据记录表格。
- 2、记录所观察的输出波形并进行分析。

实验十 计数、译码及显示电路实验

一、实验目的

- 1、熟悉常用中规模计数器的逻辑功能。
- 2、掌握计数、译码、显示电路的工作原理及其应用。

二、实验设备

- 1、数模电实验箱
- 2、数字万用表

三、预习要求

- 1、复习教材中有关中规模集成芯片 74LS90、74LS47 和 BT5161 数码管引脚的逻辑功能。
- 2、拟出用 74LS90 构成 8421BCD 码十进制计数器的实验线路图。
- 3、拟出用 74LS90、74LS47 和 BT5161（数码管）构成的计数、译码、显示电路的电路图。

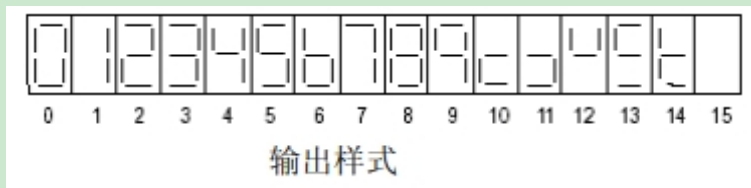
四、实验内容及步骤

- 1、4 线 BCD-7 段译码器（74LS48）

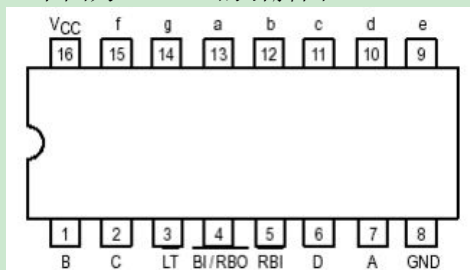
74LS48 为有内部上拉电阻的 BCD-7 段译码器/驱动器，其中 A-D 管脚为译码地址输入端，QA-QG 管脚为译码输出端，BI 非/RBO 非为消隐输入（低电平有效）/脉冲消隐输出（低电平有效），LT 非为灯测试输入端（低电平有效），RBI 非为脉冲消隐输入端（低电平有效）。

74LS48 的真值表：

INPUTS								OUTPUTS							NOTE
DECIMAL OR FUNCTION	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	L	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4



下图为 74ls48 的引脚图：

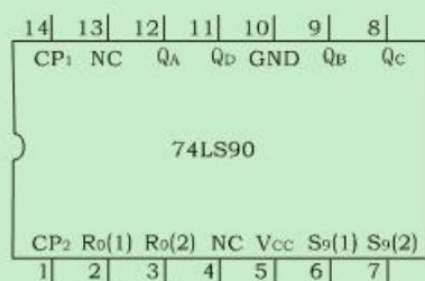


2、用 74LS90 芯片、分别构成五分频、六分频、九分频、十分频（5421）计数器。

输 入			输 出				功 能
清 0	置 9	时 钟	Q_D	Q_C	Q_B	Q_A	
$R_0(1)$ 、 $R_0(2)$	$S_9(1)$ 、 $S_9(2)$	CP_1 CP_2					
1 1	0 ×	× ×	0	0	0	0	清 0
0 ×	× 0						
× 0	1 1	× ×	1	0	0	1	置 9
0 ×	0 ×	↓ 1	Q_A 输 出				二进制计数
		1 ↓	$Q_D Q_C Q_B$ 输出				五进制计数
		↓ Q_A	$Q_D Q_C Q_B Q_A$ 输出 8421BCD 码				十进制计数
		Q_D ↓	$Q_A Q_D Q_C Q_B$ 输出 5421BCD 码				十进制计数
		1 1	不 变				保 持

图-74LS90 功能表

下图为 74ls48 的引脚图：

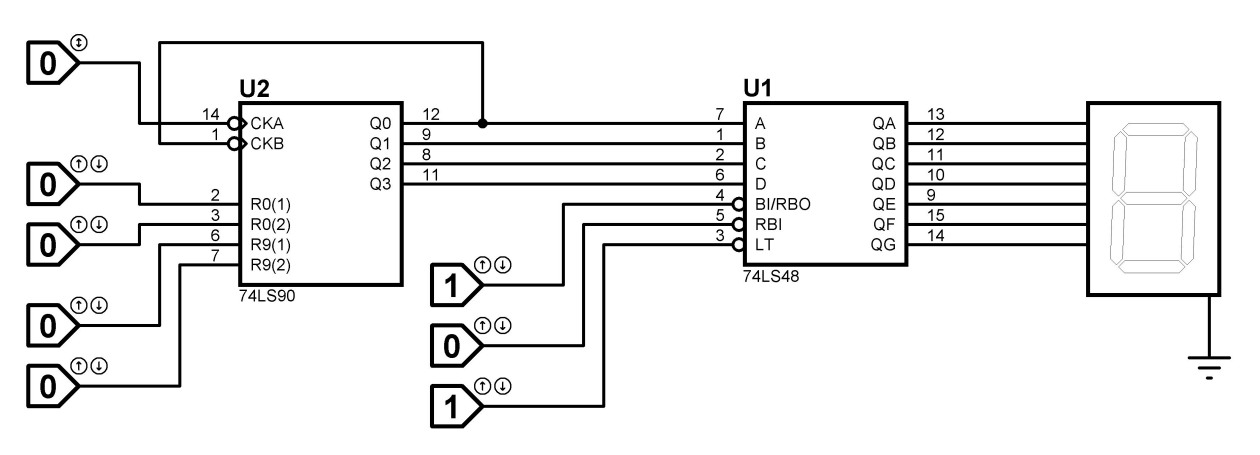


- (1) 画出四种工作方式的实验电路图。
- (2) 输入连续脉冲信号，用示波器观察记录输出波形。

3、用 74LS90 构成 8421BCD 码十进制计数器

- (1) 画出实验电路图。
- (2) 输入端 CP_1 接单脉冲信号源， Q_3 、 Q_2 、 Q_1 、 Q_0 分别接指示灯（发光二极管）。观察在单脉冲源作用下， Q_3 、 Q_2 、 Q_1 、 Q_0 按 8421BCD 码变化规律。

(3) 输入端 CP1 接连续脉冲源，用示波器观察 Q3 和输入端相对波形，并记录。



4、计数、译码、显示

- (1) 用 74LS90、74LS48 及数码管 BT5161（数码管）构成计数、译码、显示实验电路。
- (2) 硬件连接表（参照仿真电路）

74LS90	74LS48	拨码开关	数码管	脉冲	电源
1, 12	7				
2		SW1（置 0）			
3		SW2（置 0）			
6		SW3（置 0）			
7		SW4（置 0）			
8	2				
9	1				
11	6				
14				单脉冲	
	3	SW5（置 1）			
	4	SW6（置 1）			
	5	SW7（置 0）			
	13		SA		
	12		SB		
	11		SC		
	10		SD		
	9		SE		
	15		SF		
	14		SG		
5	16				+5V
10	8				GND

注意：芯片目录下的数字表示该芯片的引脚数字标号，实验时确保给芯片上电，接线检查无误后打开实验箱电源，进行实验。

五、实验报告

- 1、整理实验数据，分析实验结果与理论值是否相等。
- 2、总结中规模集成电路的使用方法及功能。

实验十一 555 定时器及应用

一、实验目的

- 1、熟悉基本定时电路的工作原理及定时元件 RC 对振荡周期和脉冲宽度的影响
- 2、掌握用 555 集成定时器构成定时电路的方法

二、实验设备

- 1、数模电实验箱
- 2、数字示波器

三、预习要求

- 1、预习所用到的中规模集成芯片的功能、引脚排列及使用方法
- 2、预习组合逻辑电路的功能特点和结构特点
- 3、预习组合逻辑电路的一般分析及设计方法
- 4、用 Proteus 软件对实验进行仿真并分析实验

四、实验内容及步骤

555 定时器的功能主要由两个比较器决定。两个比较器的输出电压控制 RS 触发器和放电管的状态。在电源与地之间加上电压，当 5 脚悬空时，则电压比较器 C1 的同相输入端的电压为 $2V_{CC}/3$ ，C2 的反相输入端的电压为 $V_{CC}/3$ 。若触发输入端 TR 的电压小于 $V_{CC}/3$ ，则比较器 C2 的输出为 0，可使 RS 触发器置 1，使输出端 OUT=1。如果阈值输入端 TH 的电压大于 $2V_{CC}/3$ ，同时 TR 端的电压大于 $V_{CC}/3$ ，则 C1 的输出为 0，C2 的输出为 1，可将 RS 触发器置 0，使输出为低电平。

它的各个引脚功能如下：

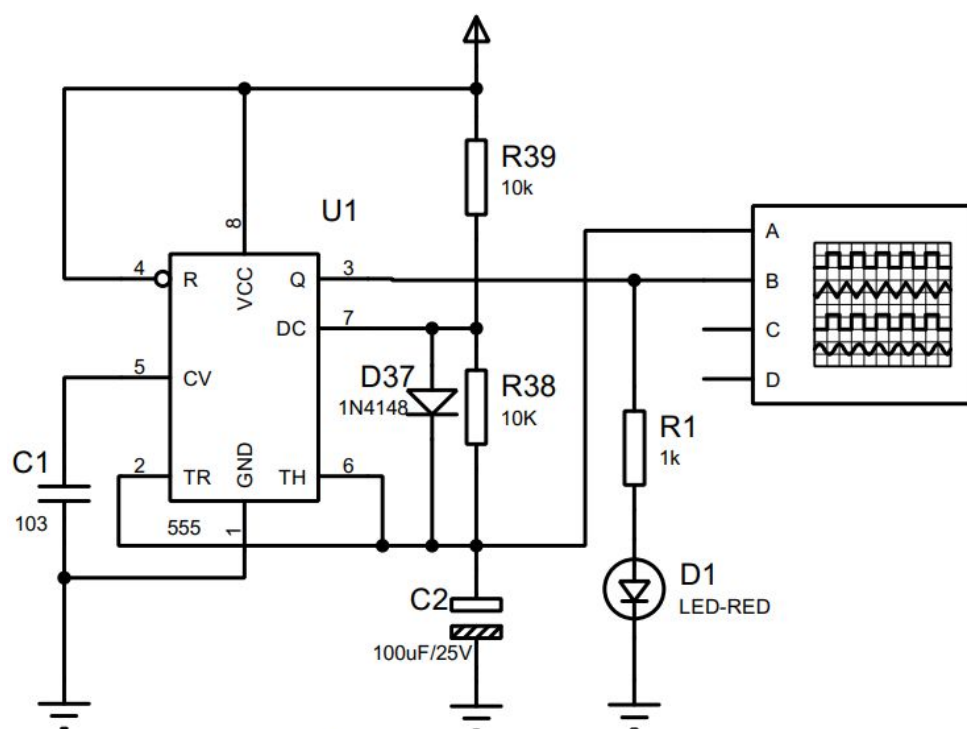
- 1 脚：外接电源负端 VSS 或接地，一般情况下接地。
- 2 脚：低触发端 TR。
- 3 脚：输出端 V_O
- 4 脚：是直接清零端。当此端接低电平，则时基电路不工作，此时不论 TR、TH 处于何电平，时基电路输出为“0”，该端不用时应接高电平。
- 5 脚：VC 为控制电压端。若此端外接电压，则可改变内部两个比较器的基准电压，当该端不用时，应将该端串入一只 $0.01\mu F$ 电容接地，以防引入干扰。
- 6 脚：高触发端 TH。
- 7 脚：放电端。该端与放电管集电极相连，用做定时器时电容的放电。
- 8 脚：外接电源 VCC，双极型时基电路 VCC 的范围是 $4.5 \sim 16V$ ，CMOS 型时基电路 VCC 的范围为 $3 \sim 18V$ 。一般用 5V。

在 1 脚接地，5 脚未外接电压，两个比较器 C1、C2 基准电压分别为低电平的情况下，555 时基电路的功能表如表 6—1 示。

表 6—1 555 定时器的功能表

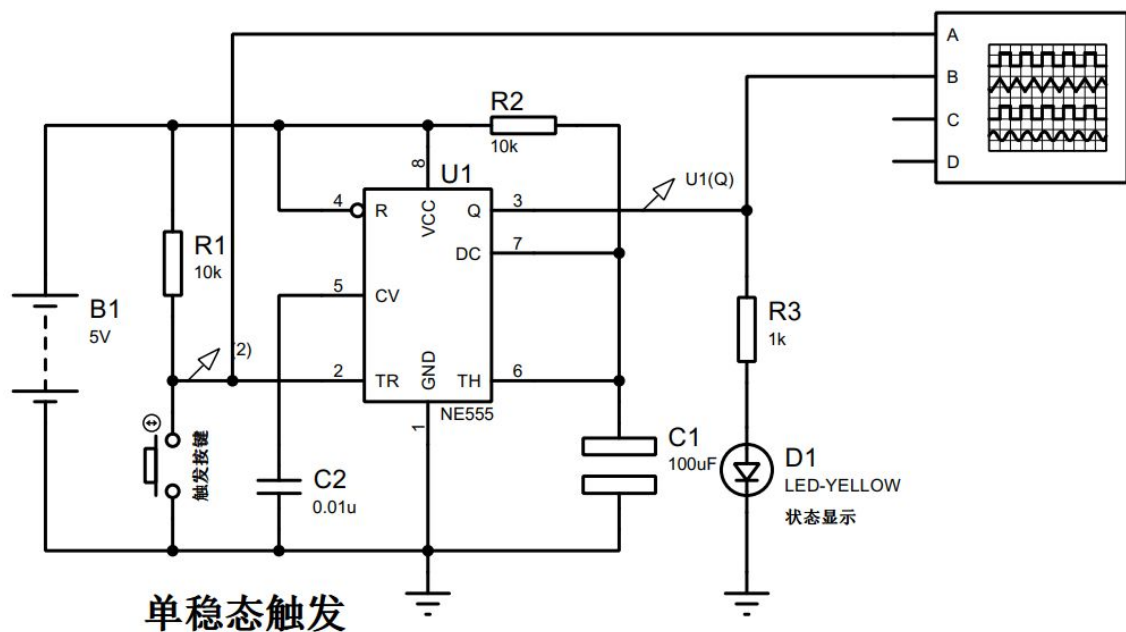
清零端	高触发端 TH	低触发端 TR	V0	放电管 T (V)	功能
0	×	×	0	导通	直接清零
1	0	1	x	保持上一状态	保持上一状态
1	1	0	1	截止	置 1
1	0	0	1	截止	置 1
1	1	1	0	导通	清零

多谐振荡器：在此模式下，555 以振荡器的方式工作。这一工作模式下的 555 芯片常被用于频闪灯、脉冲发生器、逻辑电路时钟、音调发生器、脉冲位置调制（PPM）等电路中。如果使用热敏电阻作为定时电阻，555 可构成温度传感器，其输出信号的频率由温度决定。

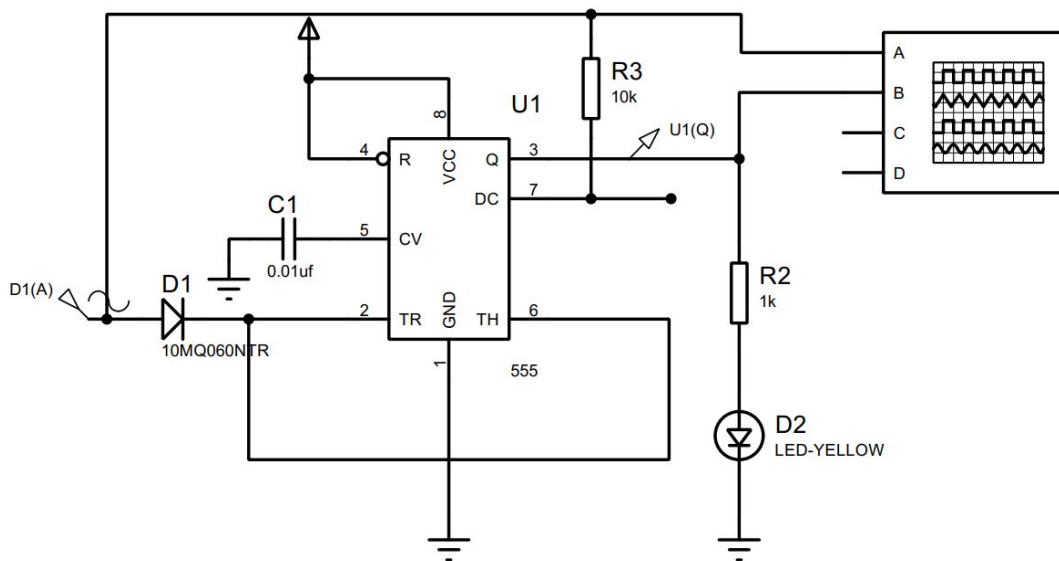


555振荡器

单稳态模式：在此模式下，555 功能为单次触发。应用范围包括定时器，脉冲丢失检测，反弹跳开关，轻触开关，分频器，电容测量，脉冲宽度调制（PWM）等。



双稳态模式（或称施密特触发器模式：在 DIS 引脚空置且不外接电容的情况下，555 的工作方式类似于一个 RS 触发器，可用于构成锁存开关。



五、实验报告

- 1、整理实验数据，列表记录。
- 2、分析实验中的现象，操作中遇到的问题及解决办法。
- 3、总结分析、设计组合逻辑电路的步骤、方法及心得。

实验十二 A/D 和 D/A 转换器（纯仿真实验）

一、实验目的

- 1、熟悉 A/D 和 D/A 转换器的基本工作原理
- 2、掌握 A/D 和 D/A

二、实验设备

- 1、proteus 软件
- 2、虚拟电压表

三、预习要求

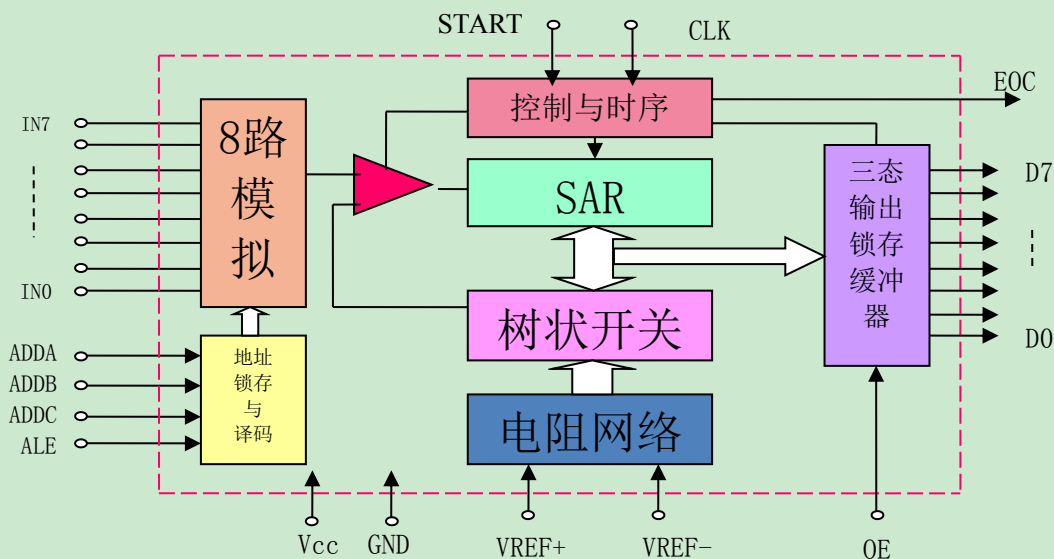
- 1、预习所用到的中规模集成芯片的功能、引脚排列及使用方法
- 2、预习组合逻辑电路的功能特点和结构特点
- 3、预习组合逻辑电路的一般分析及设计方法
- 4、用 Proteus 软件对实验进行仿真并分析实验

四、实验内容及步骤

AD 转换实验

1、AD0809 的逻辑结构

ADC0809 是 8 位逐次逼近型 A/D 转换器。它由一个 8 路模拟开关、一个地址锁存译码器、一个 A/D 转换器和一个三态输出锁存器组成（见图 1）。多路开关可选通 8 个模拟通道，允许 8 路模拟量分时输入，共用 A/D 转换器进行转换。三态输出锁存器用于锁存 A/D 转换完的数字量，当 OE 端为高电平时，才可以从三态输出锁存器取走转换完的数据。



2、AD0809 的工作原理

IN0—IN7：8 条模拟量输入通道。

ADC0809 对输入模拟量要求：信号单极性，电压范围是 0—5V，若信号太小，必须进行放大；输入的模拟量在转换过程中应该保持不变，如若模拟量变化太快，则需在输入前增加采样保持电路。

地址输入和控制线：4 条

ALE 为地址锁存允许输入线，高电平有效。当 ALE 线为高电平时，地址锁存与译码器将 A，B，C 三条地址线的地址信号进行锁存，经译码后被选中的通道的模拟量进转换器进行转换。A，B 和 C 为地址输入线，用于选通 IN0—IN7 上的一路模拟量输入。通道选择表如下表所示。

A	B	C	选择通道
0	0	0	IN0
0	0	1	IN1
0	1	0	IN2
0	1	1	IN3
1	0	0	IN4
1	0	0	IN5
1	1	0	IN6
1	1	1	IN7

数字量输出及控制线：11 条

ST：为转换启动信号。当 ST 上升沿时，所有内部寄存器清零；下降沿时，开始进行 A/D 转换；在转换期间，ST 应保持低电平。

EOC：为转换结束信号。当 EOC 为高电平时，表明转换结束；否则，表明正在进行 A/D 转换。

OE：为输出允许信号，用于控制三条输出锁存器向单片机输出转换得到的数据。OE=1，输出转换得到的数据；OE=0，输出数据线呈高阻状态。

D7—D0：数字量输出线。

CLK 为时钟输入信号线。因 ADC0809 的内部没有时钟电路，所需时钟信号必须由外界提供，通常使用频率为 500KHZ，

$V_{REF(+)}$ ， $V_{REF(-)}$ 为参考电压输入。

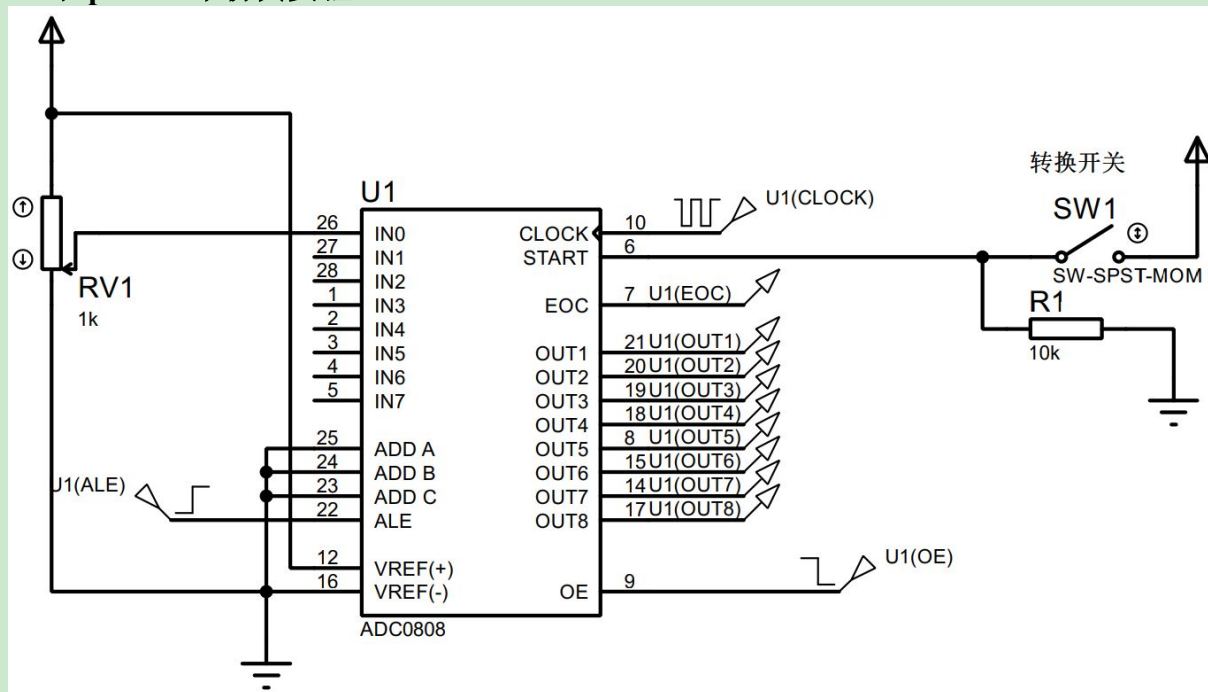
作为测量的基准。一般 $V_{REF(+)}=5V$ ， $V_{REF(-)}=0V$ 。

模拟输入与数字量输出的关系：

$$N = (V_{IN} - V_{REF(-)}) \times 256 / (V_{REF(+)} - V_{REF(-)})。$$

当 $V_{REF(+)} = +5V$ ， $V_{REF(-)} = 0V$ ，若输入模拟电压为 2.5V，则转换后的数字量 $N=128$ ，即 10000000B。

3、在proteus中仿真实验

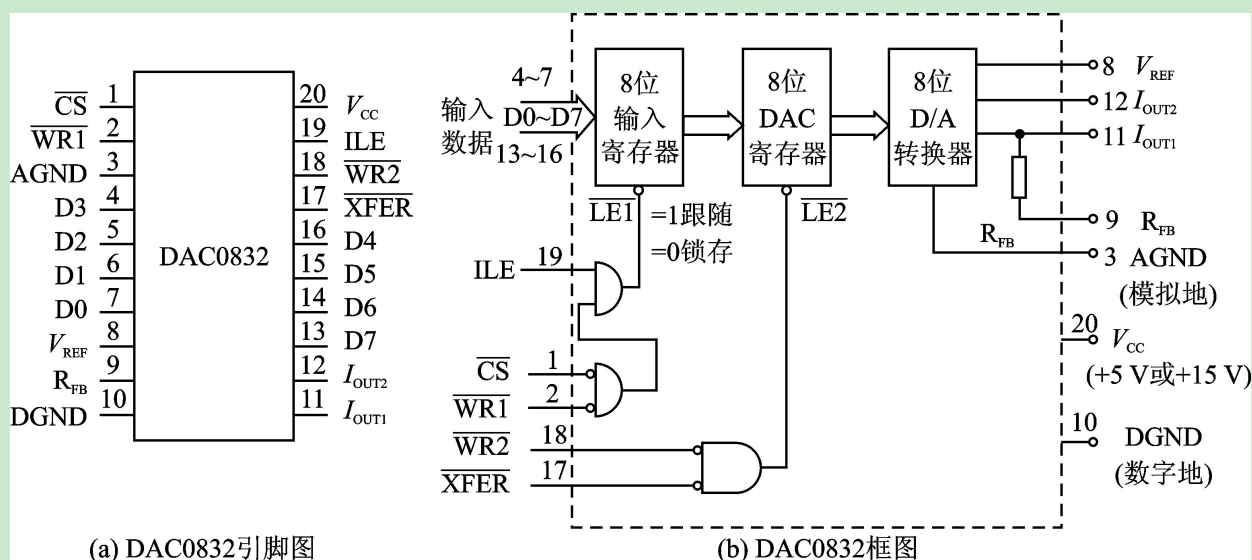


- (1) 先改变输入电压，然后点击转关开关，进行转换，观察 OUT1-OUT8 的电平输出
- (2) 记录不同电压对应不同 OUT 的电平输出

DA 转换实验

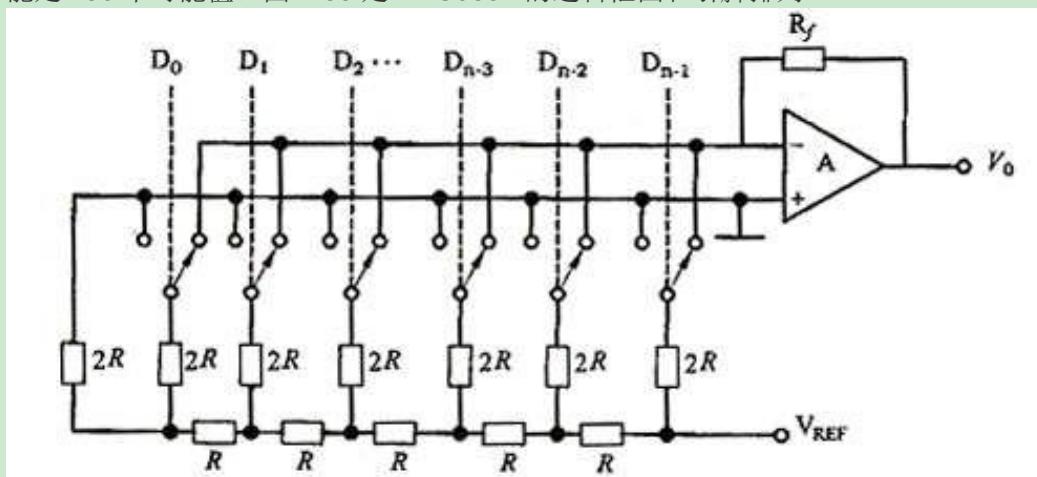
1、DAC0832 的逻辑结构

DAC0832 是 8 分辨率的 D/A 转换集成芯片。与微处理器完全兼容。这个 DA 芯片以其价格低廉、接口简单、转换控制容易等优点，在单片机应用系统中得到广泛的应用。D/A 转换器由 8 位输入锁存器、8 位 DAC 寄存器、8 位 D/A 转换电路及转换控制电路构成。

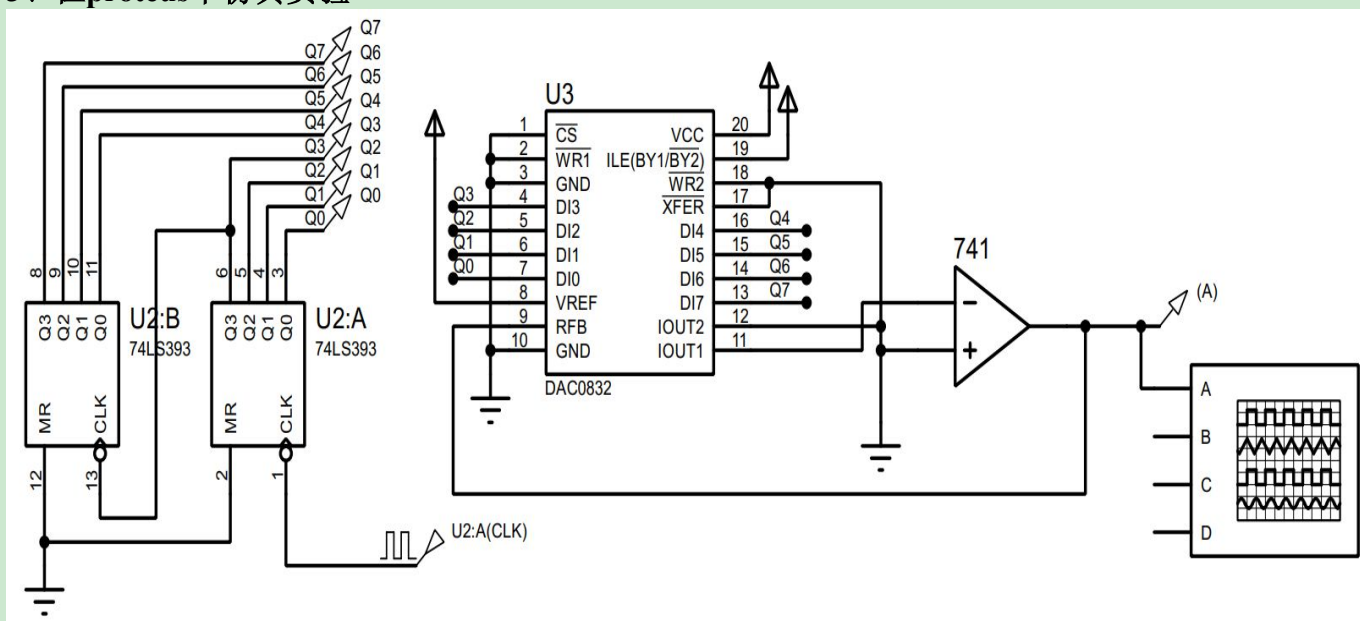


2、DAC0832 的工作原理

一个 8 位 D/A 转换器有 8 个输入端（其中每个输入端是 8 位二进制数的一位），有一个模拟输出端。输入可有 $2^8=256$ 个不同的二进制组态，输出为 256 个电压之一，即输出电压不是整个电压范围内任意值，而只能是 256 个可能值。图 4-83 是 DAC0832 的逻辑框图和引脚排列。



3、在proteus中仿真实验



- (1) 在 proteus 中使用 74LS393 产生二进制加法，并将二进制数值输入 DAC0832 的数据端观察输出变化
- (2) 记录输入数据和输出电压

五、实验报告

- 1、整理实验数据，列表记录。
- 2、分析实验中的现象，操作中遇到的问题及解决办法。
- 3、总结分析、设计组合逻辑电路的步骤、方法及心得。

实验十三 RAM 和 ROM 实验（纯仿真实验）

一、实验目的

- 1、熟悉 RAM 半导体存储器的工作特性以及有关操作
- 2、掌握 RAM 存储器 2114 的应用

二、实验设备

- 1、proteus 软件

三、预习要求

- 1、预习所用到的中规模集成芯片的功能、引脚排列及使用方法
- 2、预习组合逻辑电路的功能特点和结构特点
- 3、用 Proteus 软件对实验进行仿真并分析实验

四、实验内容及步骤

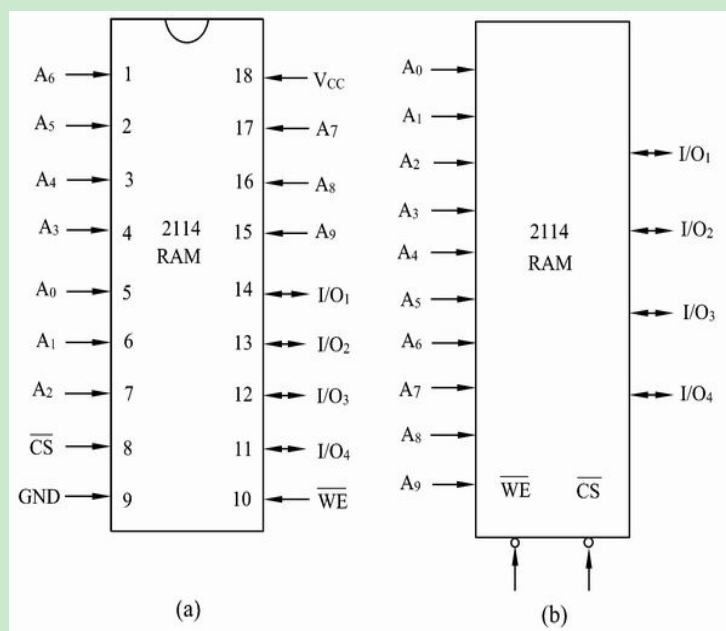


图 13. 1 (a) 和 (b)

1、常用的静态 RAM 芯片有 2114、2142、6116、6264 等。下面仅举几例。Intel 2114 是一个容量为 $1K \times 4$ 位的静态 RAM 芯片，其内部结构如图 13. 1 所示，芯片的引脚图和逻辑符号见图 13. 1 (a) 和 (b)。

图中，A0~A9 为 10 根地址线，可寻址 $2^{10}=1024$ (1K) 个存储单元。I/O1~I/O4 为 4 根双向数据线。 \overline{WE} 为写允许控制信号线， $\overline{WE}=0$ 时为写入； $\overline{WE}=1$ 时为读出。 \overline{CS} 为芯片片选信号， $\overline{CS}=0$ 时，该芯片被选中。由于 2114 的容量为 1024×4 位，故有 4096 个基本存储电路，排成 64×64 的矩阵。用 A3-A8 六根地址线作

为行译码，产生 64 根行选择线，用 A0~A2 与 A9 四根地址线作为列译码，产生 16 根列选择线，而每根列选择线控制一组 4 位同时进行读或写操作。存储器内部有 4 路 I/O 电路以及 4 路输入/输出三态门电路，并由 4 根双向数据线 I/O1~I/O4 引与外部数据总线相连。

当 $\overline{CS}=0$ 与 $\overline{WE}=0$ 时，经门 1 输出线的高电平将输入数据控制线上的 4 个三态门打开，使数据写入；

当 $\overline{CS}=0$ 与 $\overline{WE}=1$ 时，经门 2 输出的高电平将输出数据控制线上的 4 个三态门打开，使数据读出。

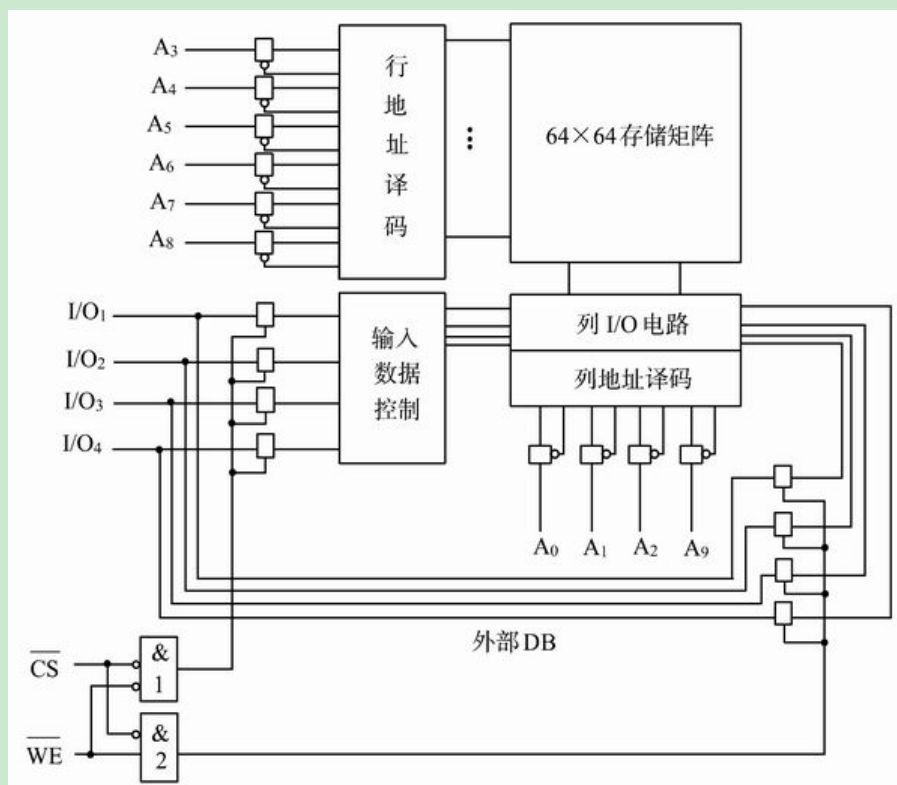


图 13. 3 INTEL 2114 内部结构

2、proteus 中的仿真实验

在 proteus 中我们通过全速运行，与单步调试的方法，向 2114 内部写入数据

（1）写入数据

将拨码开关电平输入闭合，LED 输出断开

将 WE 电平置 0，

通过 A0-A3 输入要写入的地址，

通过 D0-D3 输入要写入的数据，

然后将片选 CS 置 0 再置 1，

数据进入对应地址

（2）读取数据

将拨码开关电平输入断开，LED 输出闭合

将 WE 电平置 1，

通过 A0-A3 输入要读取的地址，

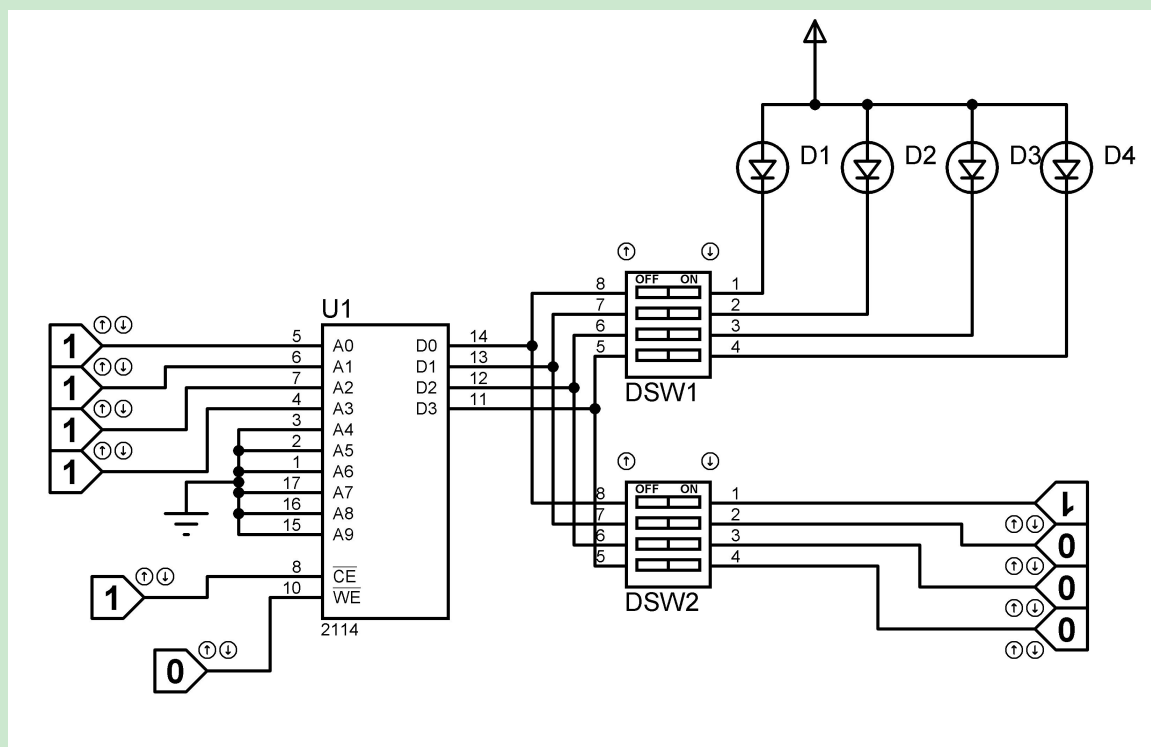
通过 D0-D3 输出的 LED 观察数据，

然后将片选 CS 置 0 再置 1，

所选内存地址的数据被读取到 LED 灯

(3) 通过调试窗口观察写入内存的数据

当我们完成“写入数据”的操作在软件中点击单步，然后点击菜单栏中的“调试”选择“Memory Contents”查看我们写入的数据。



五、实验报告

- 1、整理实验数据，列表记录。
- 2、分析实验中的现象，操作中遇到的问题及解决办法。
- 3、总结分析、设计组合逻辑电路的步骤、方法及心得。