**重排序缓冲ROB工作原理**

**1、实验目的**

（1）加深对指令级并行性及其开发的理解。

（2）加深对基于硬件的猜测的理解。

（3）掌握ROB在指令流出、执行、写回、提交4个阶段所进行的操作。

（4）掌握ROB结构特点。

（5）给定执行代码片段，能写出某个时钟周期，保留站、ROB、寄存器状态表的变化情况。

**2、实验平台**

实验平台采用重排序缓冲ROB模拟器。

**3、实验内容**

（1）假设浮点功能部件的延迟时间（处理时间）为：加法2个时钟周期，乘法10个时钟周期，除法40个时间周期，Load部件2个时钟周期。

①有以下代码段，给出当指令MUL.D即将确认时，保留站、ROB和浮点寄存器状态表的内容。

L.D F6, 24(R2)

L.D F2, 12(R3)

MUL.D F0, F2, F4

SUB.D F8, F6, F2

DIV.D F10, F0, F6

ADD.D F6, F8, F2

②按步进方式执行上述代码，利用模拟器的“小三角按钮”的对比显示功能，观察每一个时钟周期前后保留站、ROB和浮点寄存器状态的内容变化情况。

（2）对于与上面相同的延迟时间和代码段：

①给出在第5个时钟周期时，保留站的内容。

②步进5个时钟周期，ROB的内容有哪些变化？

③再步进5个时钟周期，给出这时保留站、ROB以及浮点寄存器状态表的内容。

（3）假设浮点功能部件的延迟为：加减法3个时钟周期，乘法8个时钟周期，除法40个时钟周期。自己编写一段程序（要在实验报告中给出），重复上述步骤（2）的工作。