

《 计算机体系结构 》

实验报告

|  |  |
| --- | --- |
| 班 级： | **计213** |
| 学 号： | **21013134** |
| 姓 名： | **徐昊博** |
| 指导教师： | **梁建宁** |

信息科学与工程学院

2023年 12月

**实验名称** **重排序缓冲ROB工作原理 实验地点信息楼418** **实验日期** **2023年12月6日**

1. **实验目的**

（1）加深对指令级并行性及其开发的理解。

（2）加深对基于硬件的猜测的理解。

（3）掌握ROB在指令流出、执行、写回、提交4个阶段所进行的操作。

（4）掌握ROB结构特点。

（5）给定执行代码片段，能写出某个时钟周期，保留站、ROB、寄存器状态表的变化情况。

1. **实验设备**

实验平台采用重排序缓冲ROB模拟器。

1. **实验原理**

ROB 的主要工作原理如下：

1. 指令调度和乱序执行：当指令进入处理器时，它们不一定按照在程序中的顺序执行。ROB 会为每个指令保留一个条目，并且指令将按照数据和资源的可用性进行调度和执行，而不必等待之前的指令完成。这种乱序执行能够提高处理器的性能。

2. 记录指令状态：ROB 中的每个条目都会记录指令的状态，包括指令的类型、操作数、目的寄存器、执行状态等信息。当指令被发送到执行单元时，其状态会相应更新，记录指令的执行情况。

3.结果写回和提交：当指令完成执行并得到正确的结果时，其结果会被写回到 ROB 条目中。在指令完成后，它会被标记为完成，并且等待它的下一条指令可以安全地提交。指令按照程序顺序从 ROB 中提交，以确保结果的正确性和程序的语义正确性。

4. 异常处理和回滚：如果出现异常（如缓存未命中、分支预测失败等），ROB 可以用于回滚程序状态。通过撤销尚未提交的指令并重新执行，ROB 能够确保程序的正确性。

1. **实验操作及运行结果**

（1）假设浮点功能部件的延迟时间（处理时间）为：加法2个时钟周期，乘法10个时钟周期，除法40个时间周期，Load部件2个时钟周期。

①有以下代码段，给出当指令MUL.D即将确认时，保留站、ROB和浮点寄存器状态表的内容。

L.D F6, 24(R2)

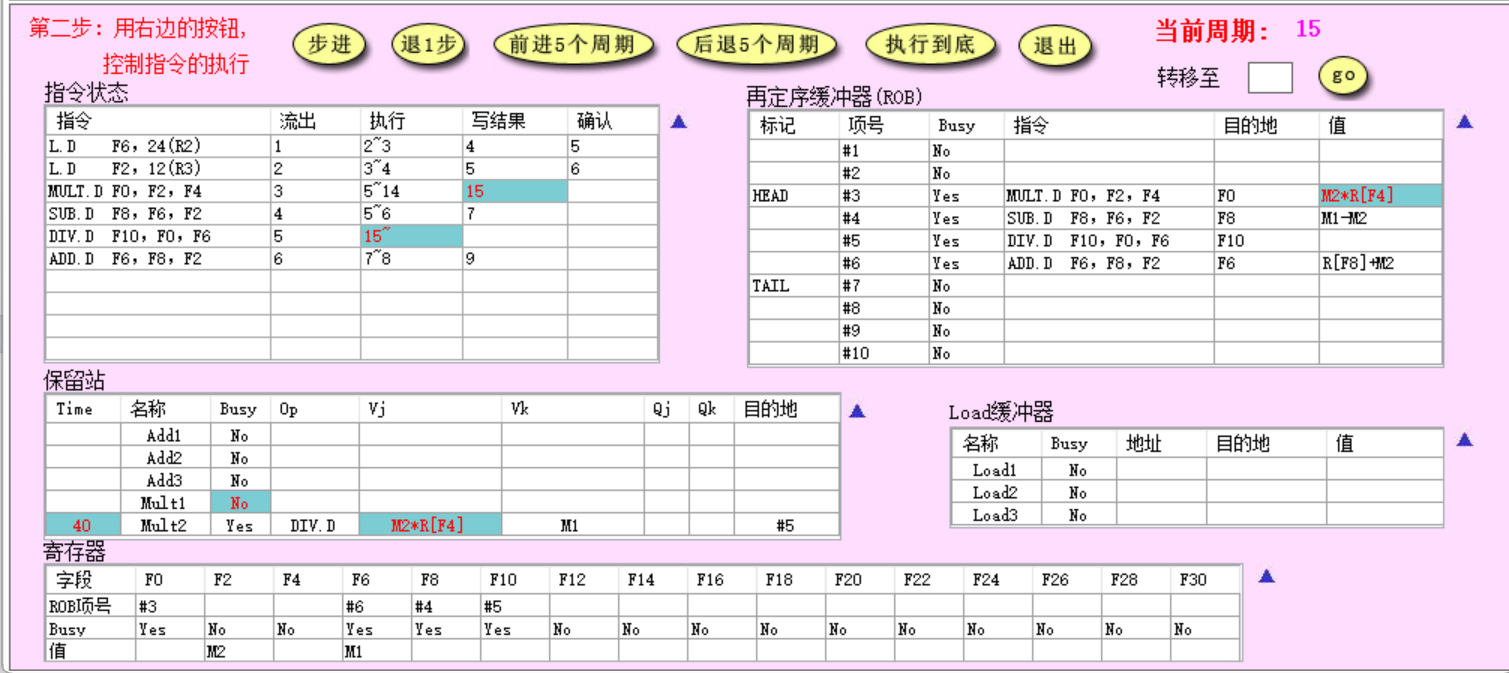
L.D F2, 12(R3)

MUL.D F0, F2, F4

SUB.D F8, F6, F2

DIV.D F10, F0, F6

ADD.D F6, F8, F2



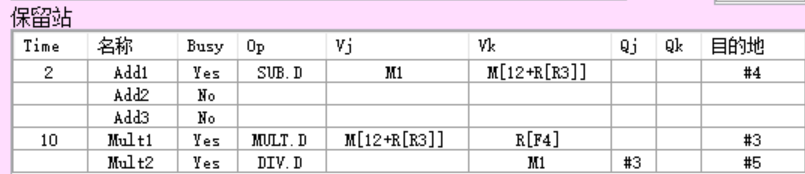
②按步进方式执行上述代码，利用模拟器的“小三角按钮”的对比显示功能，观察每一个时钟周期前后保留站、ROB和浮点寄存器状态的内容变化情况。



从上对比图可以看出ROB工作原理：ROB中根据项号缓存了前5条指令的目的地与值，由于第一条load指令已经完确认，所以更新寄存器F6与存储器中的值后，从ROB中移走。保留栈中也暂存了相关指令的操作数信息。虽然第2条Load指令与MULT指令和SUB指令之间存在数据相关（寄存器F2），但是到第5周期该load指令已经完成了写结果，F2值已旁路转发到ROB和相应功能部件中，MULT与SUB指令可从中获得源操作数，进入执行阶段。

（2）对于与上面相同的延迟时间和代码段：

①给出在第5个时钟周期时，保留站的内容。



②步进5个时钟周期，ROB的内容有哪些变化？





③再步进5个时钟周期，给出这时保留站、ROB以及浮点寄存器状态表的内容。



（3）假设浮点功能部件的延迟为：加减法3个时钟周期，乘法8个时钟周期，除法40个时钟周期。自己编写一段程序（要在实验报告中给出），重复上述步骤（2）的工作。

L.D F6, 24(R2)

L.D F2, 12(R3)

MUL.D F0, F6, F2

DIV.D F4, F0, F2

ADD.D F4, F6, F2

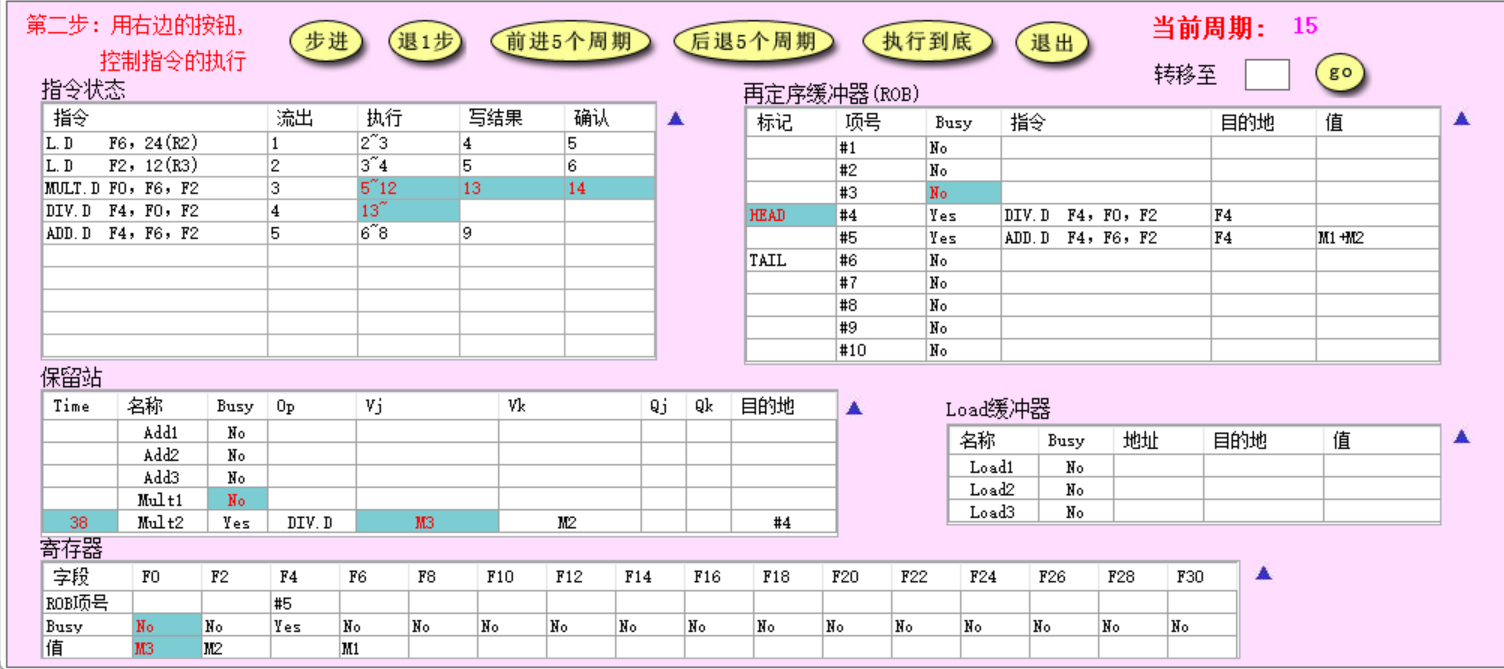
①给出在第5个时钟周期时，保留站的内容。



②步进5个时钟周期，ROB的内容有哪些变化？



③再步进5个时钟周期，给出这时保留站、ROB以及浮点寄存器状态表的内容。



1. **实验中出现的问题和解决方法**

性能影响：在进行大规模实验时，模拟器可能会因为处理器模拟的复杂性而导致性能下降，运行速度变慢。

解决方法：使用较小规模的测试进行初步实验，并逐步增加测试规模。另外，可以尝试优化模拟器设置或者使用更高性能的计算资源，比如更快速的计算机或优化的模拟器设置。