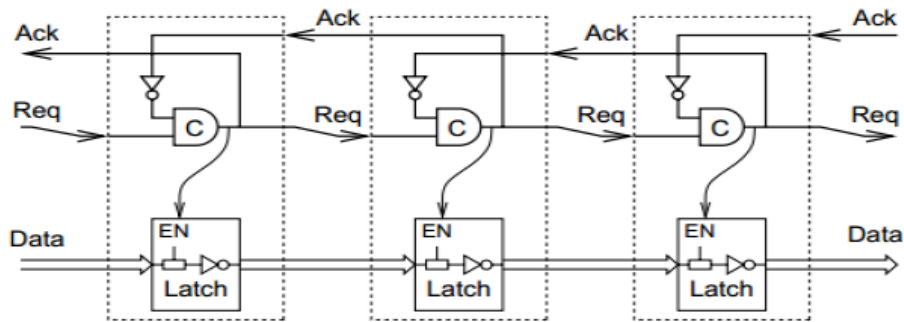


异步处理器设计实验报告

一、实验原理

本实验采用 C 单元实现四段握手协议，观察波形仿真。实验电路结构图如下所示：



图一 C 单元实现四段握手

二、实验步骤

本实验按照模块化设计思想进行设计。

Step1. muller_c 单元设计

Step2. Latch 设计

Step3. 单个模块（图 1 虚线框）stage 设计

Step4. 三个模块（stage）组合为顶层模块 stage3

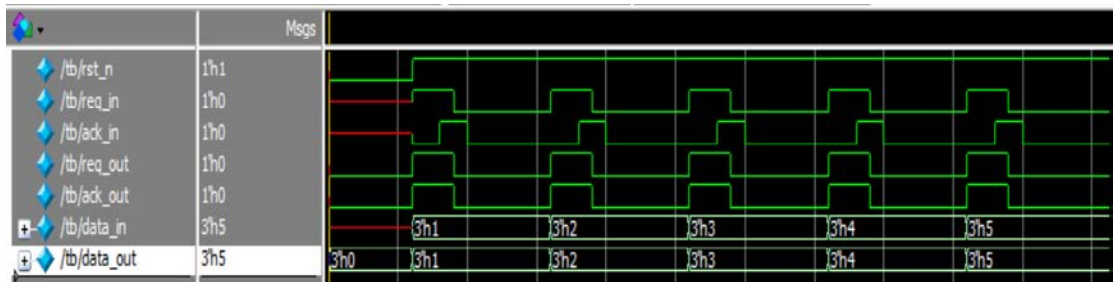
三、实验结果分析

1. 编写上述设计对应的 testbench，输入数据 data_in 为 1, 2, 3, 4, 5，观察输出 data_out 的情况。

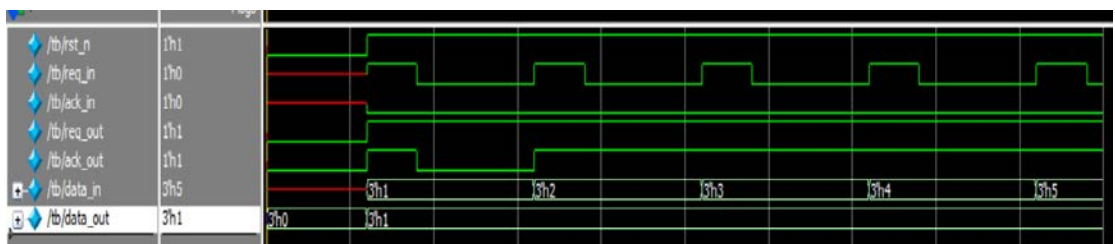
实验结果如下：

data_out 依次输出 1, 2, 3, 4, 5。

波形图如下：



2. 将应答 ack_in 始终置为 0，观察输出波形如下：



3. 综合结果



Symbol

时序分析:

The screenshot shows the 'Design Vision - TopLevel.1 - [Report.1 - Timing] -- stage3' window. It displays a timing report with a table of signals, their arrival times, and data arrival times. The table is as follows:

Signal	Arrival Time	Data Arrival Time
one/req_in (stage_0)	0.00	0.00 f
one/c/a (muller_c_0)	0.00	0.00 f
one/c/U4/Y (OA121X4)	0.06	0.06 r
one/c/U3/Y (OA12BB1X4)	0.03	0.09 f
one/c/U2/Y (AND2X1)	0.21	0.30 f
one/c/z (muller_c_0)	0.00	0.30 f
one/req_out (stage_0)	0.00	0.30 f
two/req_in (stage_2)	0.00	0.30 f
two/c/a (muller_c_2)	0.00	0.30 f
two/c/U4/Y (OA121X4)	0.10	0.40 r
two/c/U3/Y (OA12BB1X4)	0.03	0.43 f
two/c/U2/Y (AND2X1)	0.21	0.64 f
two/c/z (muller_c_2)	0.00	0.64 f
two/req_out (stage_2)	0.00	0.64 f
three/req_in (stage_1)	0.00	0.64 f
three/c/a (muller_c_1)	0.00	0.64 f
three/c/U3/Y (OA12BB1X1)	0.13	0.77 f
three/c/U2/Y (AND2X1)	0.17	0.93 f
three/c/z (muller_c_1)	0.00	0.93 f
three/l/en (latch_1)	0.00	0.93 f
three/l/U5/Y (AND2X1)	0.16	1.10 f
three/l/U4/Y (AO22X4)	0.17	1.26 f
three/l/data_out[2] (latch_1)	0.00	1.26 f
three/data_out[2] (stage_1)	0.00	1.26 f
data_out[2] (out)	0.00	1.26 f
data arrival time		1.26

(Path is unconstrained)

流水线延迟: 1.26f

流水线吞吐量: 3.98/f