

实验五 存储器实现和乘法器的优化

一、 实验目的

- 复习存储器、乘法器的基本实现原理
- 学习时序逻辑
- 使用 verilog 实现存储器和乘法器的优化
- 熟练使用 Vivado 工具进行仿真和调试

二、 实验环境

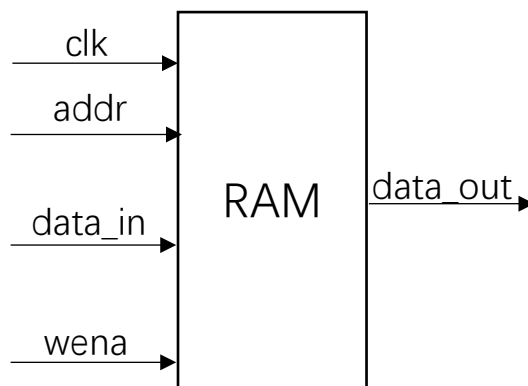
Vivado 2019.1 开发工具

NEXYS A7 开发板 (xc7a100tcsq324-1)

三、 实验内容

1. 实现一个 32*8 bit 的 RAM。

用时序逻辑实现一个 RAM，本题可以通过 Vivado 仿真或 FPGA 开发板实现。如果使用开发板实现，可以不用开发板上的自带时钟，而用一个开关手动控制时钟。



接口定义和寄存器定义：

```
module RAM(  
    input clk, // 输入时钟  
    input wena, // 低电平表示读数据，高电平表示写数据  
    input [4:0] addr, // 5 位的地址  
    input [7:0] data_in, // 输入的 8 位二进制数据  
    output [7:0] data_out // 输出数据  
);  
    reg [7:0] mymem [31:0]; // 定义 32 个 8 位存储器 (mymem[i]表示第 i 个存储器)  
  
endmodule
```

2. 在实验四的四位有符号乘法器基础上，完成时序乘法器的设计和优化。

基本任务：此前的乘法器设计基于组合逻辑，没有时钟作为输入。本题要求通过时序逻辑实现时序乘法器。

附加任务：在此基础上，可以继续实现乘法器的优化，优化思路可以参考本指导书最后的相关链接，也可以采取其他方法。请将优化思路、实验结果和相关代码体现在实验报告中。

四、 实验注意事项与提交方法

1. 同学们继续按照上节课的分组进行。
2. 本次实验有两种实现方式：Vivado 仿真和 Nexys A7 开发板实现。
3. 本次实验不用在课上验收，每个小组都必须提交实验报告。实验报告的排版格式、报告中的设计思路以及任务完成情况决定了每个小组的实验分数。
4. 请同学们在报告中提交相关代码。用 Vivado 仿真的小组请自行编写 testbench 并提交仿真截图，用开发板的小组请在报告中附上实验结果的图片或视频（两种方法实现对应的实验分数没有区别）。报告提交截止时间为下周四（11 月 10 日）23:59。提交地址如下：

<https://icloud.qd.sdu.edu.cn:7777/link/A881E4FFF7185F1D3089CEB52AC182CD>。

请注意命名（**不正确命名会额外扣分**）：实验五_组号_成员一_成员二_成员三_成员四。

5. 严禁抄袭代码，发现抄袭的小组实验成绩为**零分**。
6. 爱护实验器材。FPGA 开发板是有开关的，需要开启才能成功连接电脑。**拔掉板子和电脑连接的 USB 线之前，必须先断开板子的开关。USB 的正反面不要插反，切勿暴力插拔。**
7. 借用和归还开发板需遵守规章手续进行登记。
8. 参考链接：

<https://www.cnblogs.com/vinsonnotes/articles/15818269.html>

https://blog.csdn.net/weixin_44502896/article/details/106534817

<https://www.runoob.com/w3cnote/verilog-pipeline-design.html>