

## 实验四 ALU 和乘法器的实现

### 一、实验目的

- 复习 ALU、乘法器的基本实现原理
- 使用 verilog 实现 ALU 和乘法器
- 熟练使用 Vivado 工具进行仿真和调试
- 学习掌握实例化模块的方式

### 二、实验环境

Vivado 2019.1 开发工具

NEXYS A7 开发板 (xc7a100tcsg324-1)

### 三、实验内容

1. 设计一个简易的 ALU，实现以下的几种基本运算（注意特殊情况的分析）。

	运算	aluc[3]	aluc[2]	aluc[1]	aluc[0]
AND	$r=a\&b$ 与	0	0	0	0
OR	$r=a b$ 或	0	0	0	1
ADD	$r=a+b$ 4 位有符号数加（即实验三第四题）	0	0	1	0
SUB	$r=a-b$ 4 位有符号数减（即实验三第四题）	0	1	1	0
SLT	$r=(a<b)?1:0$ 有符号数比较（利用减法器）	0	1	1	1
NOR	$r=\sim(a b)$ 或非	1	1	0	0
NAND	$r=\sim(a\&b)$ 与非	1	1	0	1

接口定义：

```
module alu(  
    input [3:0] a, //操作数 a  
    input [3:0] b, //操作数 b  
    input [3:0] aluc, //控制 alu 的操作。如 aluc==4'b1100 时执行或非  
    output [3:0] r, //运算结果  
    output ZF, //零标志位, 运算结果为 0(全零)则置 1, 否则置 0  
);  
endmodule
```

2. 设计一个四位的有符号乘法器,要求该乘法器实例化第一题设计的 ALU 模块。

接口定义：

```
module mult4(  
    input [3:0] a,  
    input [3:0] b,  
    output [7:0] z, // 乘积输出 z
```

```
        output ZF; // 标志位, 不强制要求输出
    );
endmodule
```

#### 四、 实验注意事项与提交方法

1. 同学们继续按照上节课的分组进行。
2. 本次实验有两种实现方式：Vivado 仿真和 Nexys A7 开发板实现。
3. 使用 Vivado 仿真实现的同学需要提交实验报告。请自行编写 testbench，在报告中提交实验结果截图和相关代码。报告提交截止时间为下周四（11 月 3 日）23:59。提交地址如下：<https://icloud.qd.sdu.edu.cn:7777/link/BACB9DFEBC7BF137B2D2C97D3220478>。请注意命名（**不正确命名会额外扣分**）：实验四\_组号\_成员一\_成员二\_成员三\_成员四。
4. 用 Nexys A7 开发板实现的同学不需要提交实验报告，大家完成这两题之后，在本节课或下节课找助教进行现场演示即可，演示结果正确即获得满分。
5. 严禁抄袭，发现抄袭的小组实验成绩为**零分**。
6. 爱护实验器材。FPGA 开发板是有开关的，需要开启才能成功连接电脑。**拔掉板子和电脑连接的 USB 线之前，必须先断开板子的开关。**
7. 借用和归还开发板需遵守规章手续进行登记。