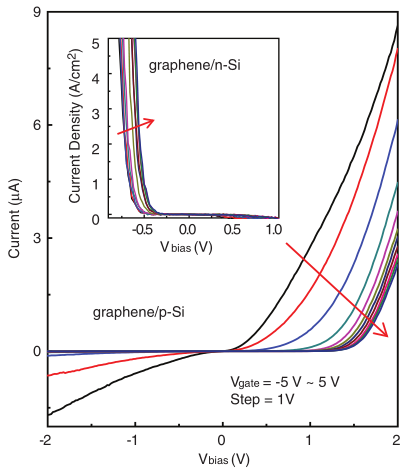
**文献2：**Yang et al. Graphene Barristor, a Triode Device with a Gate-Controlled Schottky Barrier, Science 336(6085),1140-3(2012)

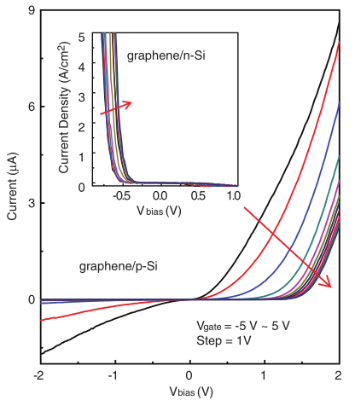
**问题：**

其实比如绝缘体上硅（SOI），应变硅技术，鳍式场效晶体管（FinFET）都能够起到减小尺寸效应影响的作用，所以摩尔定律还能延续，为何文献第一段说明硅晶体管已经到了潜在极限？

对于接触的石墨烯为N型或P型区别在于费米面的高度，也就是说接触过后能带向上或向下弯曲，则在图像显示应该两种图像会出现偶对称的情况，为何N型石墨烯与Si接触在-0.5V以下电流就明显增大而P型石墨烯与Si接触在1.5V以上电流才明显增大？且P型石墨烯费米能较低能否看成金属型材料？若不能，则此接触还能看成肖特基接触吗？

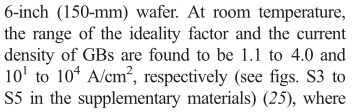
对于Si而言，影响其能带弯曲的主要原因一个是金属接触导致费米面变化导致的能带弯曲，另一个是表面态的影响，而对于石墨烯这样的二维材料而言，其电子也存在类似的表面态，两种材料的表面态会互相影响吗，会怎么影响呢（除开电子转移注入使得费米面齐平这个影响）？

为何GB电流的大调制表明肖特基势垒高度的大变化是由栅极电压的电场效应(EFE)引起的？（虽然确实肖特基势垒的高度是由栅极电压控制的，但电场效应是什么？）

为何取值范围为-5-5V，步长为1V时，在-5V-0V时曲线之间每相差1V差别都很大，但0-5V的差别不大？

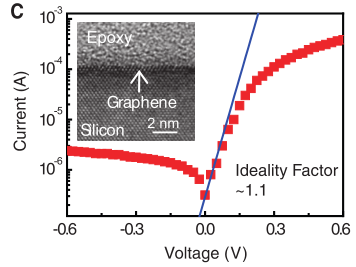
本文其实没有改变尺寸效应导致的漏电流的问题，而是通过高的开关比将漏电流的影响变小了？

**可能的错误：**

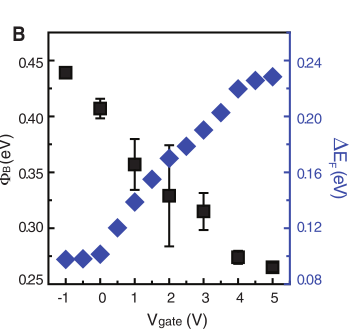
理想因子在无缺陷复合电流情况下为1，在全为复合电流情况下为2，一般情况为1-2，文献上说在室温下也可能超过2是否说明在室温下GB即会容易被击穿，若是，则器件稳定性岂不是不好？

关于石墨烯与半导体接触能抑制表面态的形成，对于半导体而言就算做到了完全饱和（没有悬挂键），但制备的石墨烯仍然不会完全为化学惰性，可能石墨烯表面仍然存在着表面态悬挂键，为何能保证石墨烯与半导体进行肖特基接触后半导体表面不会受到石墨烯影响而产生表面态（由前理想因子为1.1>1也可证明其表面仍然存在复合中心的缺陷态）？同理不能证明后面的器件完全没有费米能级钉扎。

本文说明该器件结构在横向尺寸的收缩也不会有问题，但如果将横向尺寸收缩到纳米尺寸，则不加电压而电子直接隧穿通过势垒的可能性就会变大，也就是说漏电流可能会变大，而开关比相对变小，从而可能会导致器件的逻辑混乱？（感觉和屏障在垂直方向形成并无直接联系）



图像中未见明显的氧化物或者缺陷也不能证明实际上样品表面为完全饱和无缺陷的，理想因子为1.1也间接说明其表面仍然存在缺陷态的。

为何栅极电压从0-5V，而肖特基势垒的高度只从0.45eV降低到了0.25eV，不应该降低幅度与栅极电压改变幅度相等吗？

在反向偏置电压下，可能只是有电流饱和的倾向，但从图中可以看出反向偏置电压下在图中最大反向偏压作用下也没有达到完全饱和，因此不能就此说明可以在反向偏置区域使用GB的饱和电流特性（比如图中图像比较类似log图像，虽然上升缓慢但确实是单调无界函数）