**Lab2**

1. **实验目的**

利用verilog HDL语言描述ALU的逻辑,对4位二进制输入实现加法,减法,乘法及取反操作。两个4位输入变量及功能选择使用板上的switch波段开关,运算结果为八位二进制数,转换为两位十六进制数后,使用板上的两个七段数码管显示。

通过该实验,我们可以感受到简单的加,减,乘,取反操作的组合电路设计实现过程。在动手实践中加深对组合电路特点的理解,更加熟悉verilog HDL的使用,并进一步尝试仿真及约束文件的编写。

1. **实验内容**

利用verilog HDL设计一个算术逻辑单元

输入信号：A, B 2组4位输入信号（A3-A0, B3～B0）,使用板上的switch拨段开关；

数据输出信号：F ,使用板上的两个7段数码显示；

功能控制信号：op,2位控制信号（op1～op0）,使用板上的switch拨段开关。

功能如下表所示:

|  |  |
| --- | --- |
| op | F功能表 |
| 00 | A + B |
| 01 | A - B |
| 10 | ~A |
| 11 | A \* B |

注：加法器和减法器皆为半加器，不考虑进位输入Cin，但是要考虑进位输出Cout。

实验要求：

1．用Verilog HDL语言描述此逻辑。不需要画电路原理图

2 加、减、乘、取反等运算符法可以直接用“+”、“-” 、“\*”等符号实现

2．利用vivado软件对所描述的逻辑进行仿真。

3．下载到实验板进行验证。

1. **设计思路和实验过程**

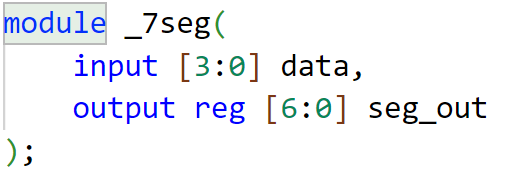
1.约束文件

用10个Switch拨段开关分别对应两个4位操作数输入和一个2位功能控制信号。将8位输出结果F的十六进制值对应到板上的两个七段数码管上。考虑到两个4位操作数的加减法可能会有溢出,且实验要求考虑加减法的进位输出Cout,利用输出F的高四位来表明溢出或借位情况。

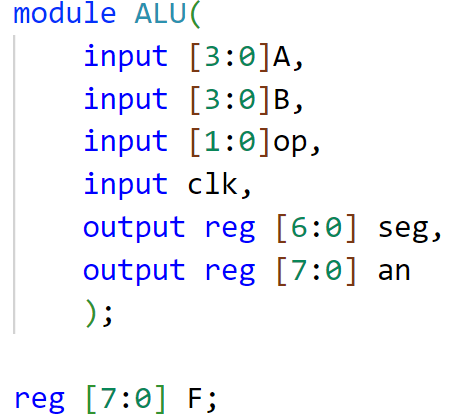
1. 设计思路

(1)\_7Segment module

该module利用case语句将一个4位二进制输入的值转化为十六进制在七段数码管上的表示,输出7段数码管每段的电压信号值。用于将最终结果F的低四位,高四位十六进制值显示在板子的七段数码管上。



(2)ALU(top module) module

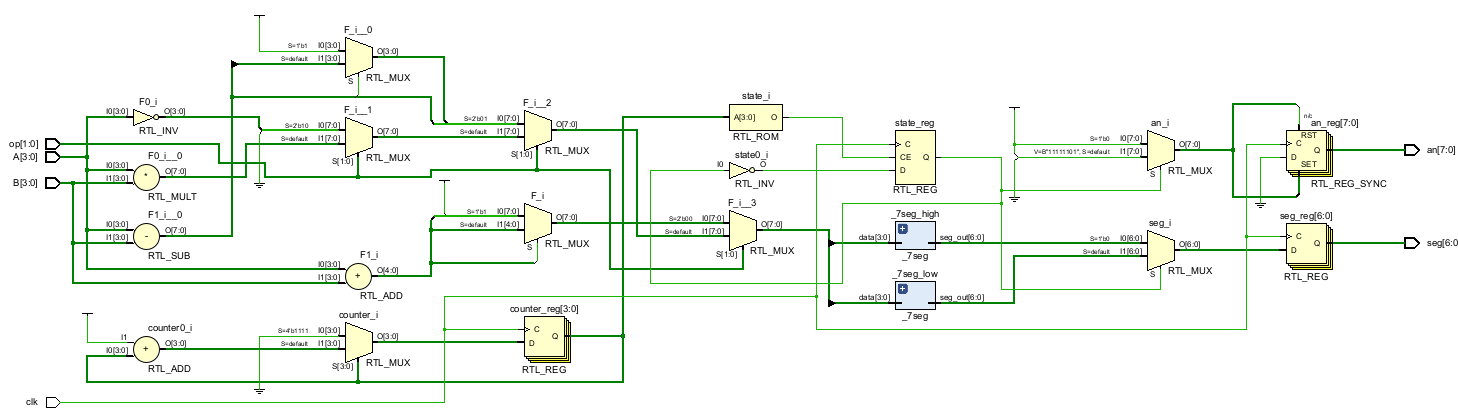


使用if语句,根据功能控制信号确定应该进行的操作,对应的加减,乘法,取反直接使用”+””-””\*””~”进行实现,其中注意加减法当中输出进位的设置。

利用之前的\_7Segment module利用F低四位,高四位的十六进制值,得到在用七段数码管表示该值时各段的亮暗情况,及一个7位二进制信号。注意七段数码管低电平有效。

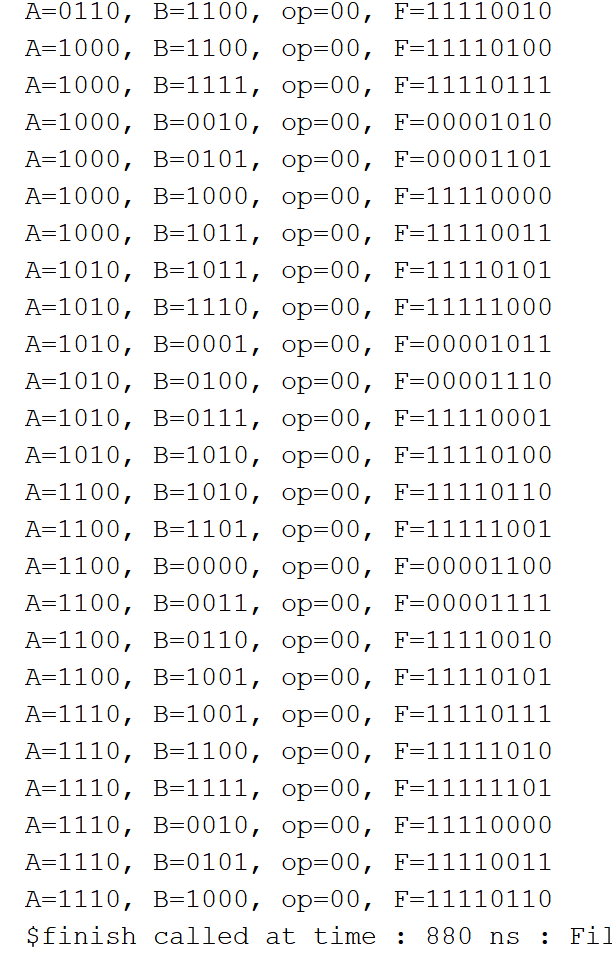
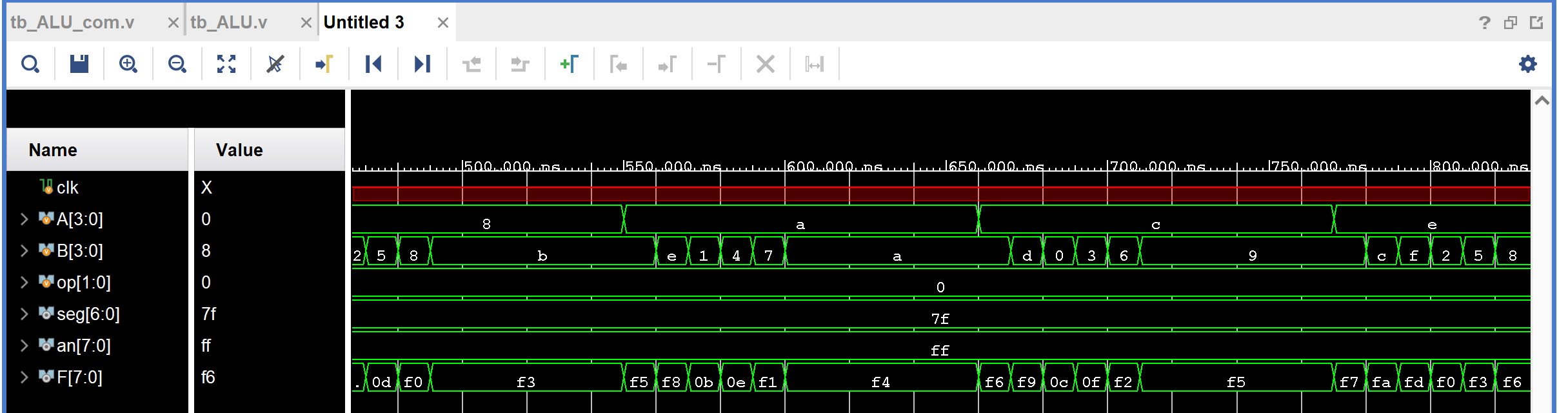
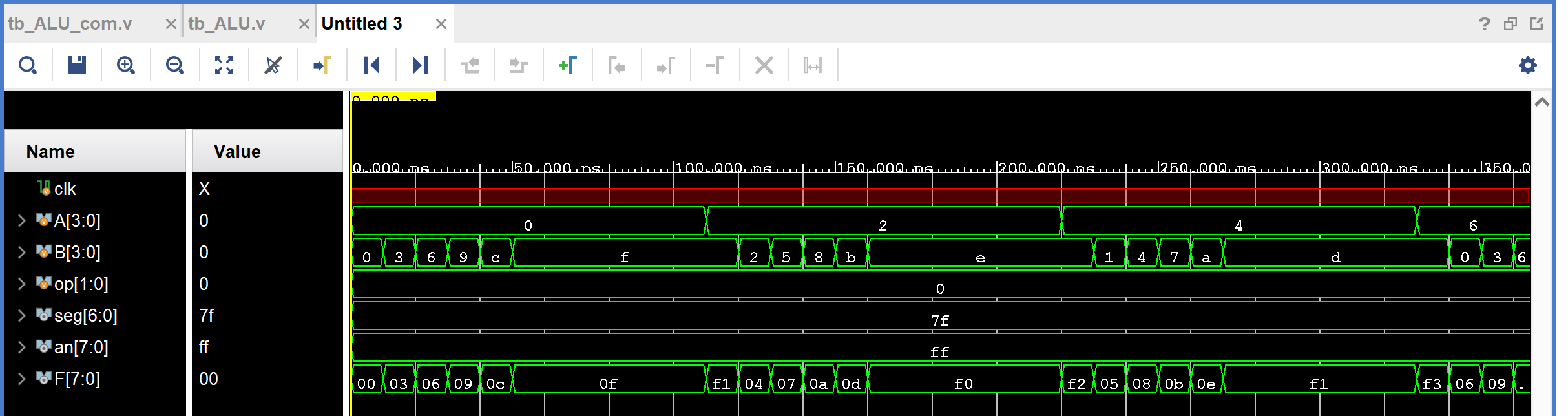
1. **实验结果**

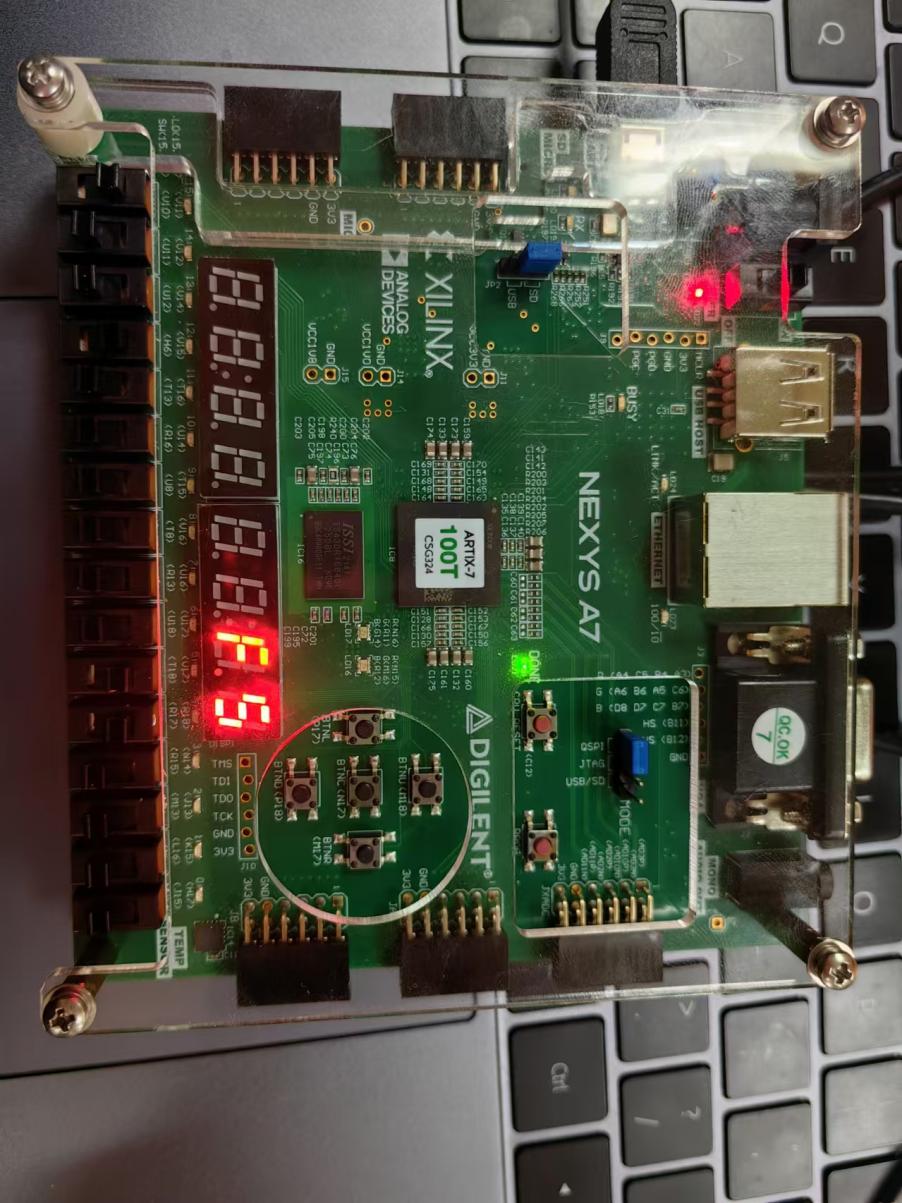
**Scematic**

****

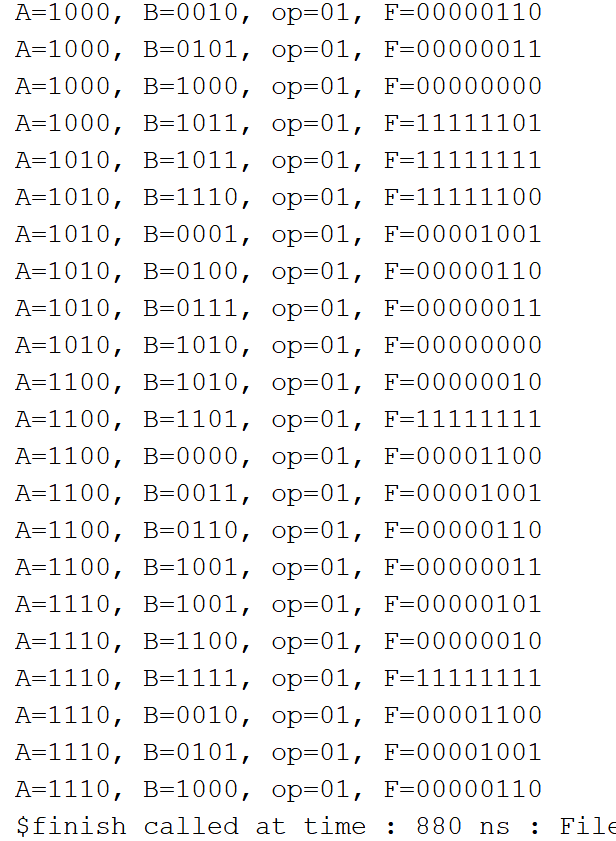
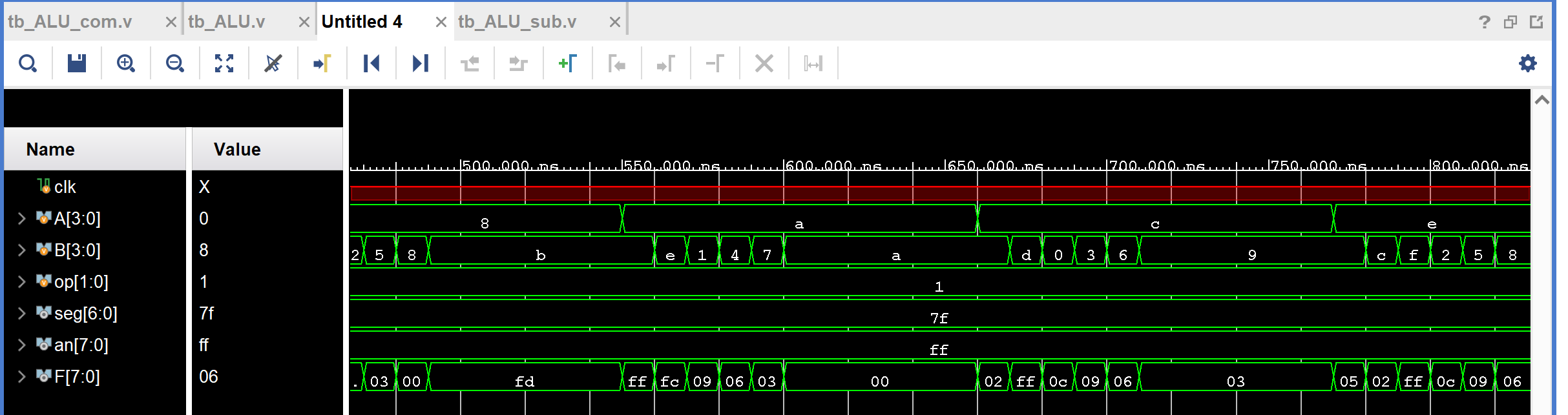
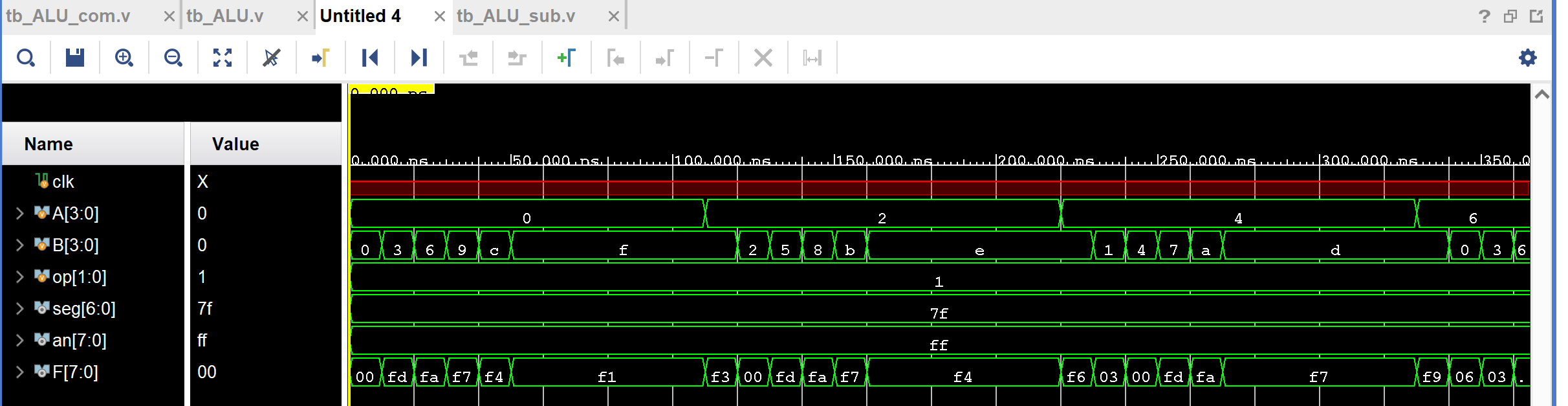
**仿真**

**(1)加法**

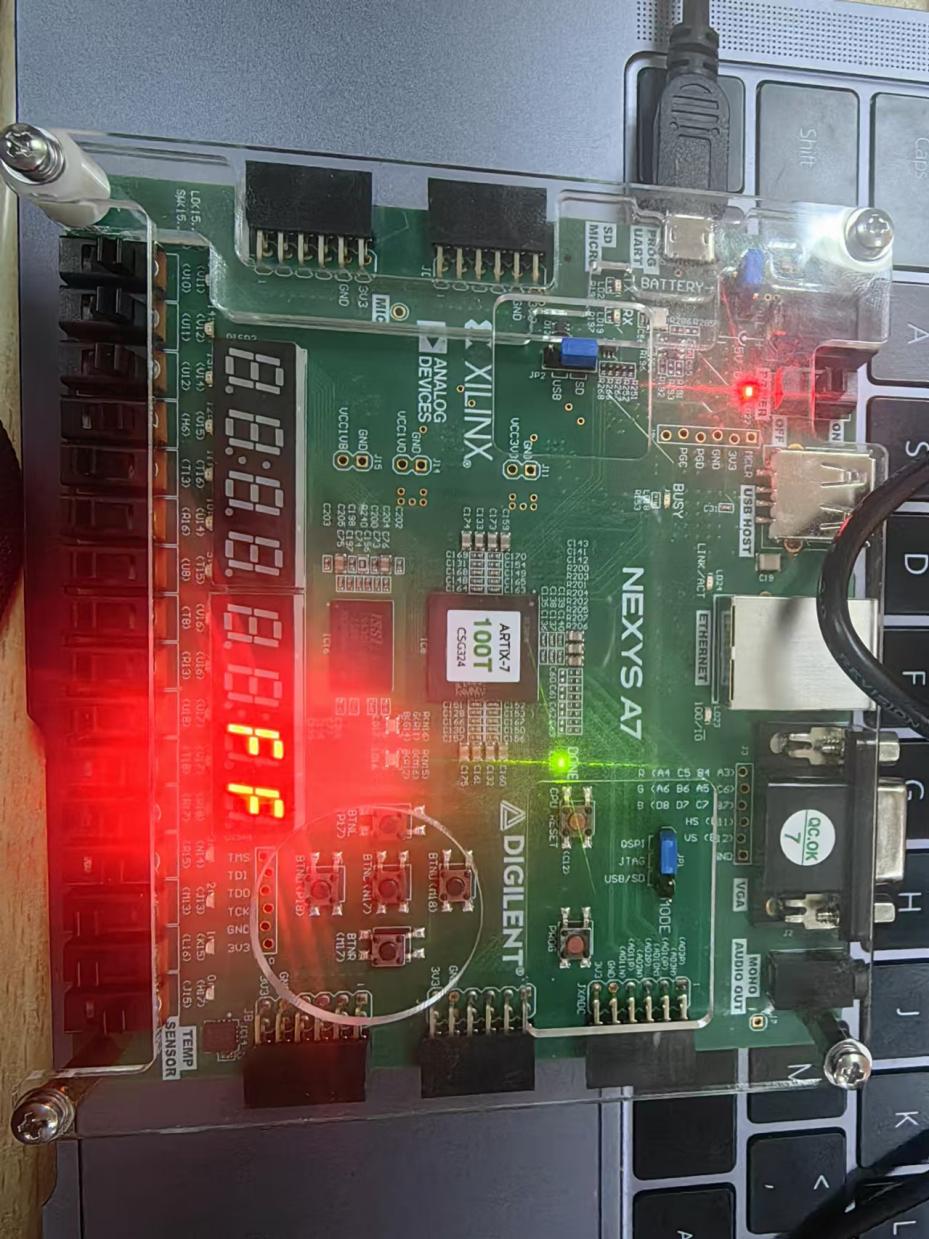
****

A = 1100,B = 1001,op = 00,F = 1111 0101时的实验情况

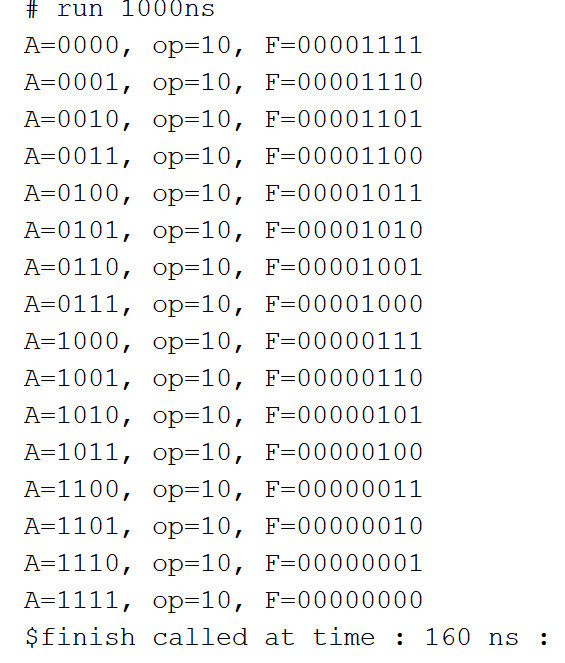
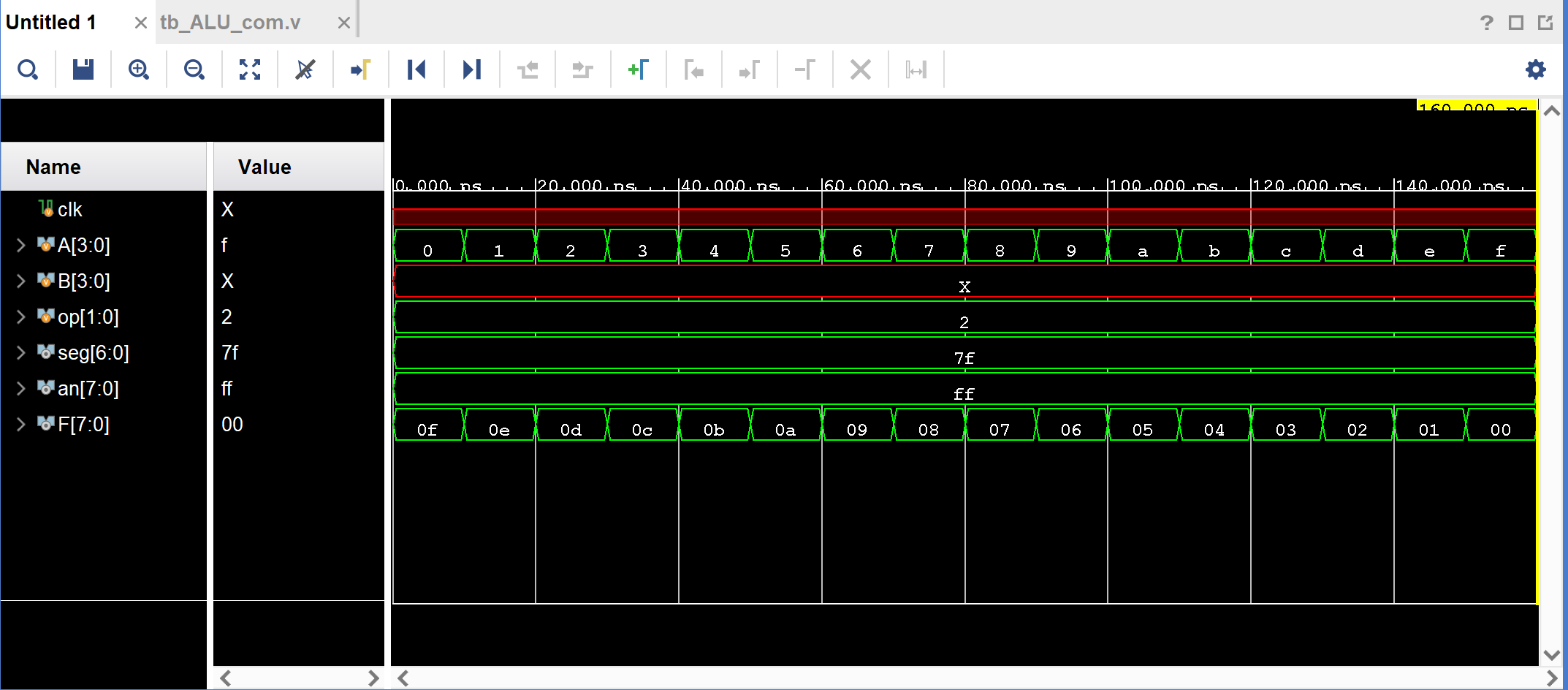
**(2)减法**

****

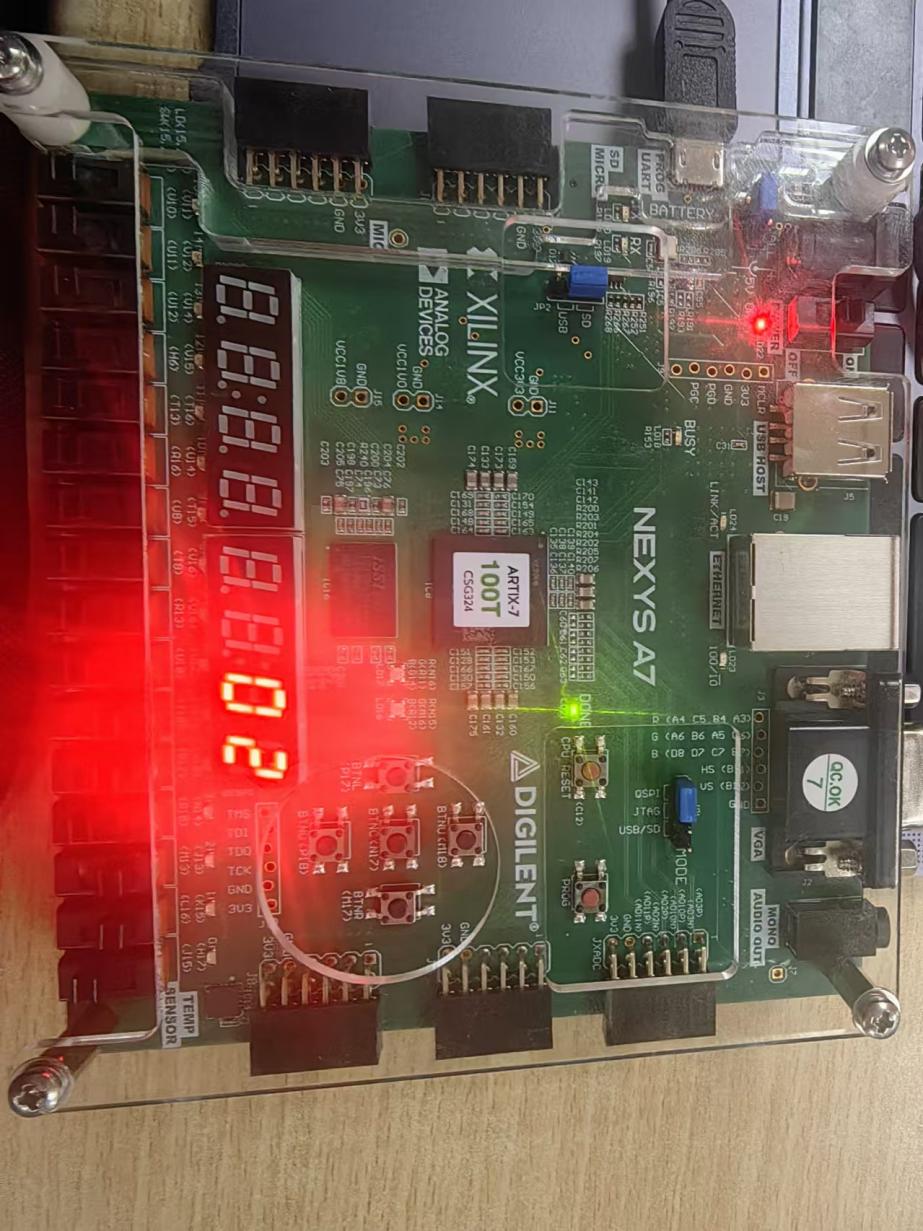
A = 1110,B = 1111,op = 01,F = 11111111时的实验情况



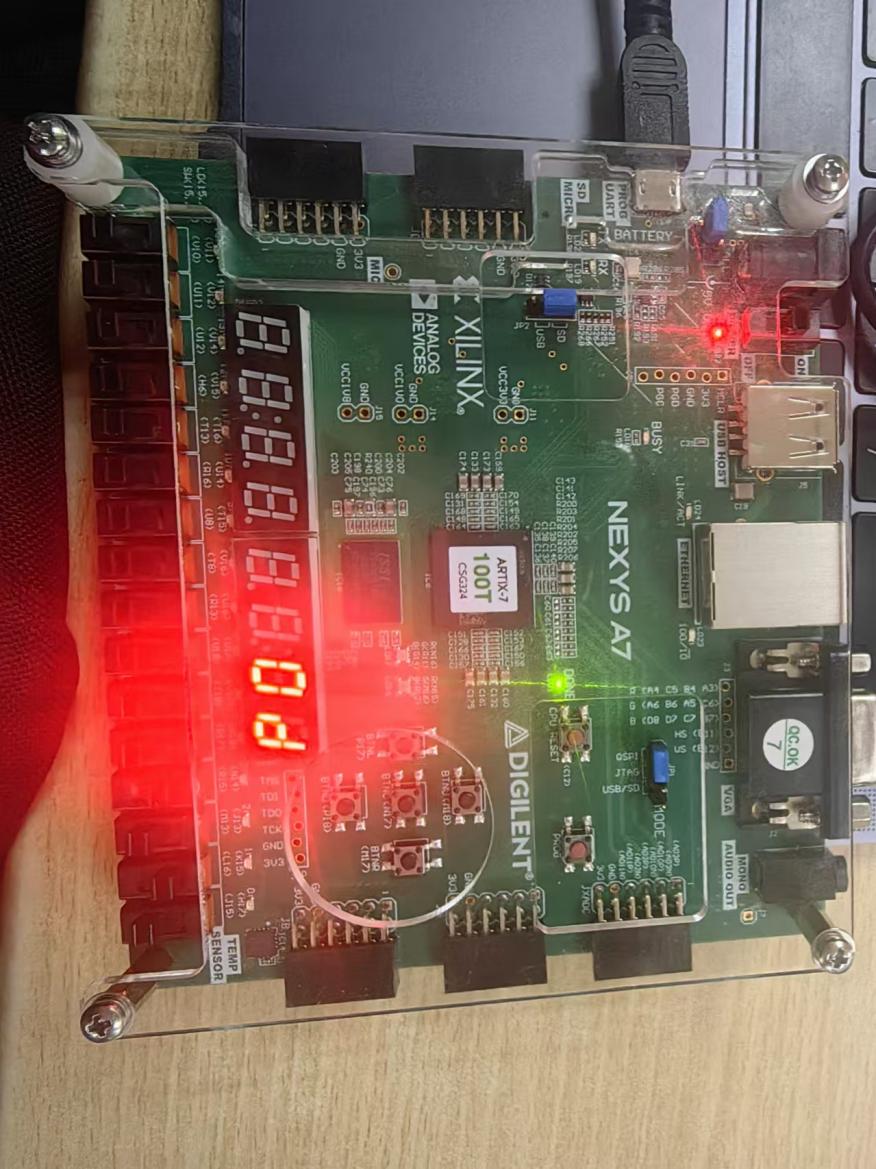
**(3)取反**

****

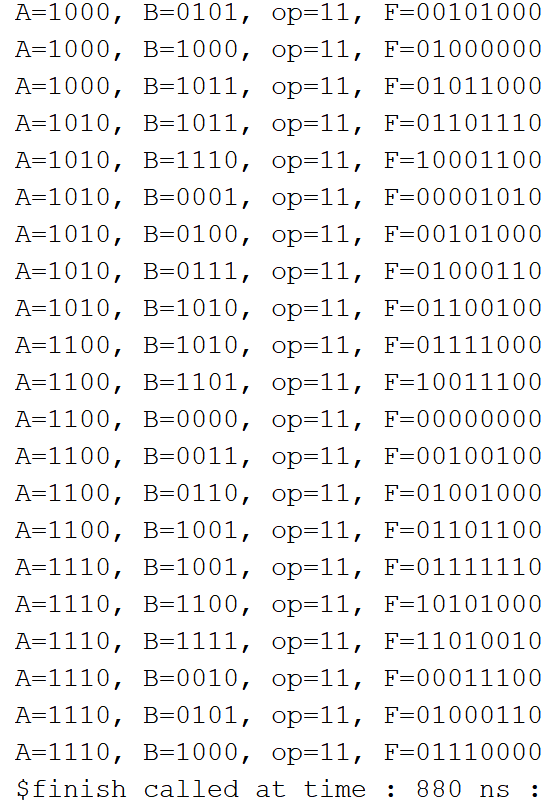
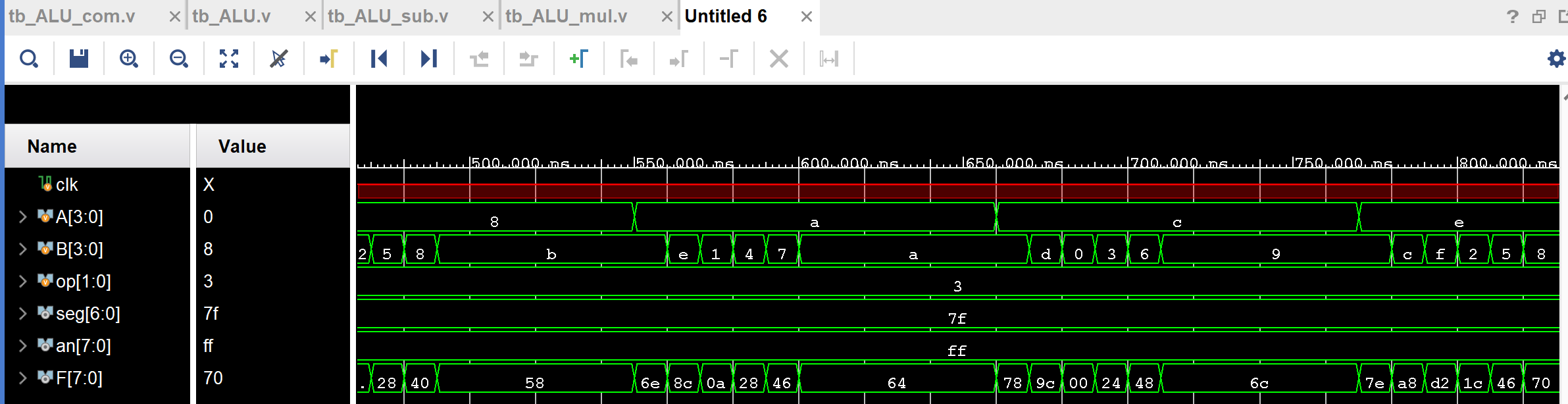
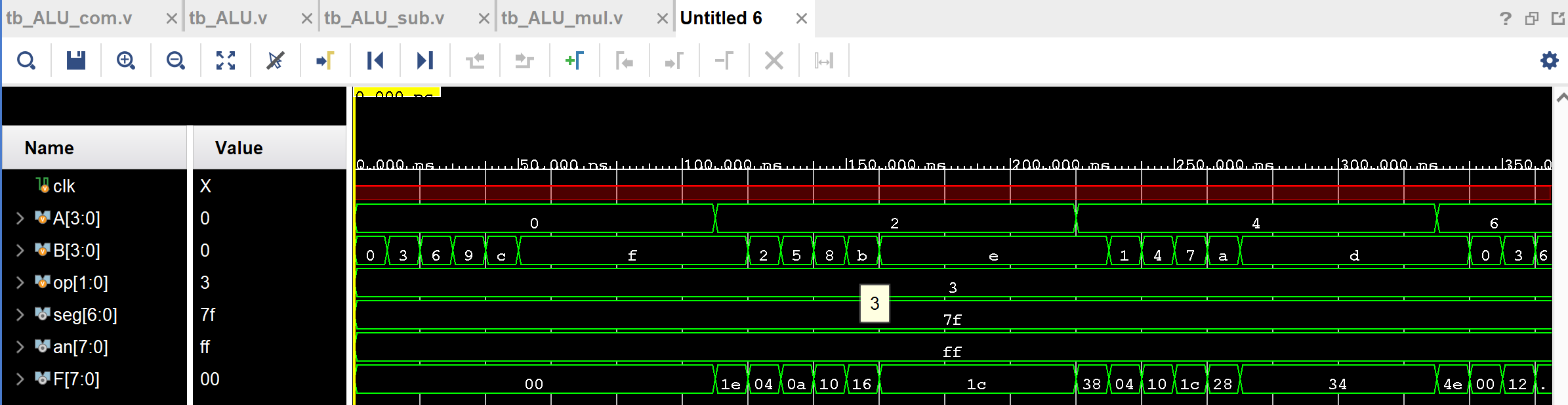
A = 1101,op = 10,F = 00000010时的实验情况

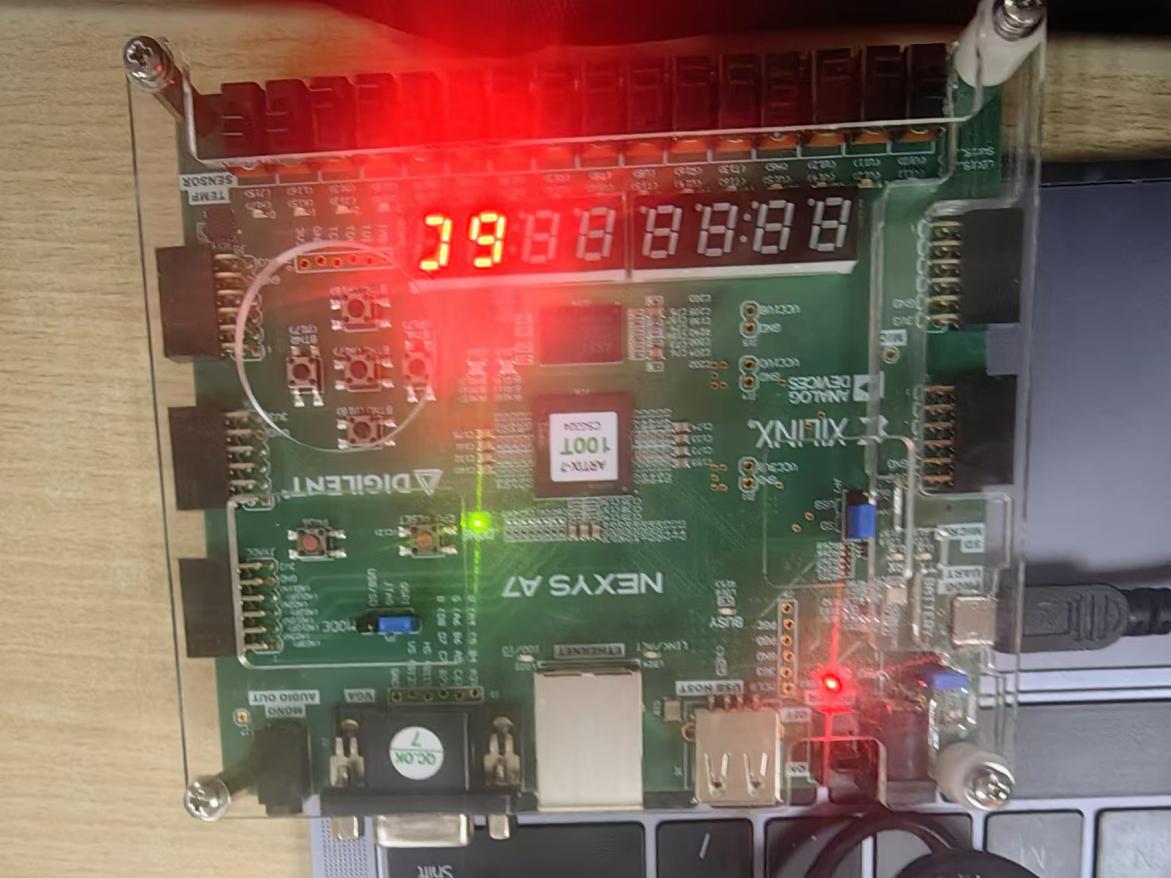


A = 0010,op = 10,F =00001101时的实验情况



**(4)乘法**

****

A = 1100,B = 1001,op = 11,F = 01101100时的实验情况

1. **遇到问题,解决方法和实验体会**

1. 仿真时结果不正确

最初,在利用Vivado进行乘法功能的仿真时,我发现对某些输入组合下,输出并不正确。通过检查代码并认真思考,发现对于两位4位二进制数的乘法运算其二进制结果可能到达8位。而使用4位的输出结果F将会导致溢出。

解决办法:

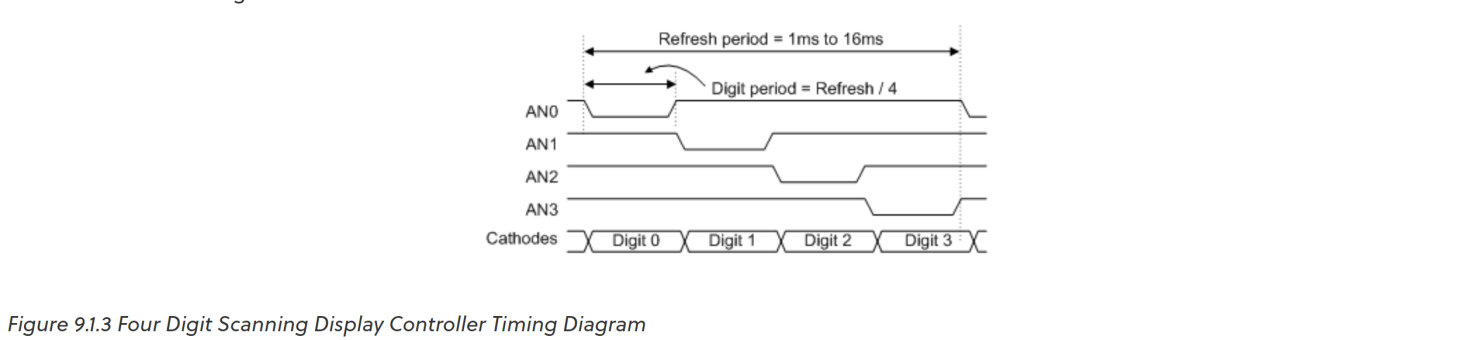
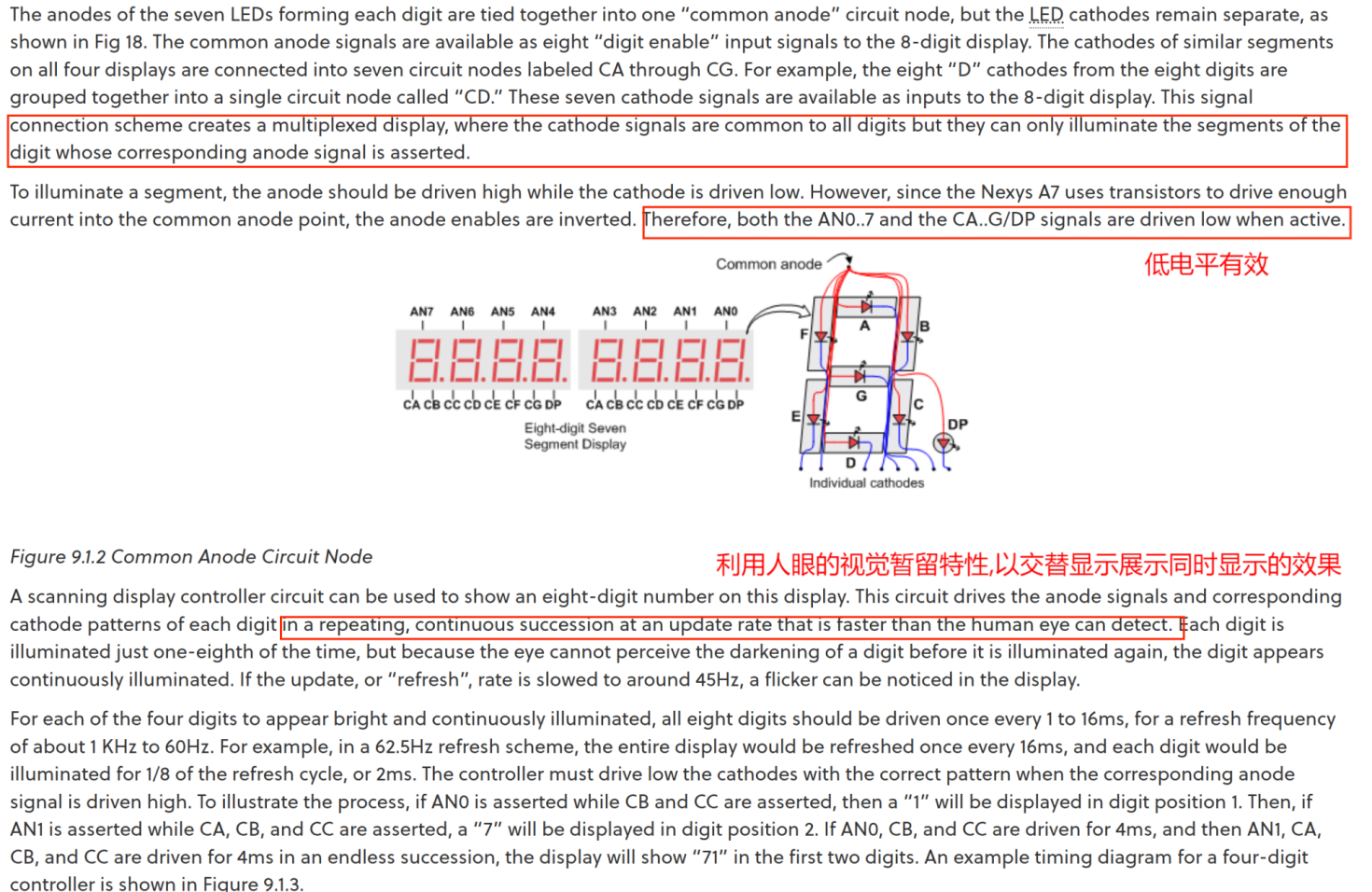
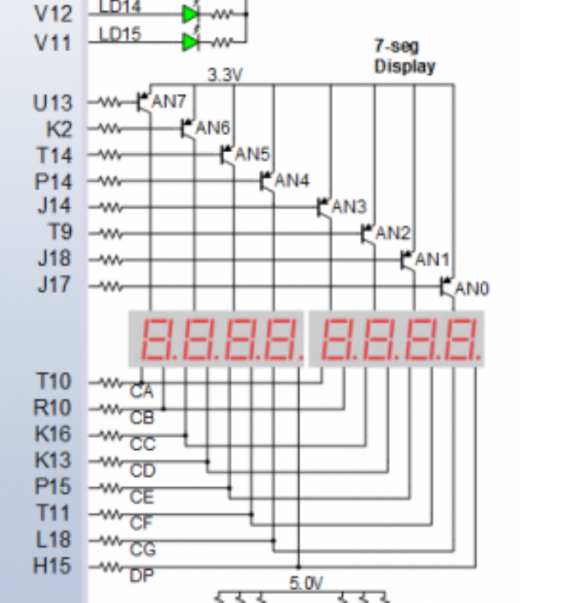
因此将F的位宽修改为8位。

2. 下载到实验板时，两个7段数码管显示不正确

下载到实验板后，发现7段数码管显示的不是预期的结果。通过调试发现，是约束文件中的对应不正确导致的。

解决办法：

如下对应修改约束文件。



3. 加减法的进位输出Cout处理

解决办法：

在加减法中考虑溢出和借位,用F的高四位来表示。

实验体会:

通过本次实验,我深刻体会到了硬件描述语言（HDL）在数字系统设计中的重要性。使用Verilog HDL可以方便地描述复杂的数字电路,并通过仿真软件进行验证,大大缩短了设计周期。

在实验过程中,我遇到了不少问题,但通过不断调试和修改代码,最终成功实现了ALU的设计。这让我更加理解了数字电路的工作原理，并提高了我的编程和调试能力。在实践中更加了解了组合电路的特点,对于Vivado中verilog的使用,仿真及约束文件的编写有了更加熟练的掌握。

在将代码下载到实验板进行验证的过程中,我深刻体会到了理论与实践相结合的重要性。只有将理论知识应用到实际中,并不断尝试探索,才能做到真正地理解和掌握。