第九章
常用时序逻辑电路模块

周 玲
ling.zhou@seu.edu.cn

内容

- 9.1 寄存器和移位寄存器
- 9.2 计数器
  - 9.2.1 二进制计数器
  - 9.2.2 十进制计数器
- 9.3 集成计数器的应用
  - 9.3.1 计数器的级联
  - 9.3.2 使用单个计数电路构成任意进制计数器
  - 9.3.3 构成分频器
  - 9.3.4 构成脉冲节拍
- 9.4 序列信号发生器
  - 9.4.1 给定序列信号设计电路
  - 9.4.2 已知序列长度设计序列信号发生器
- 本章小结

寄存器（Register）

- 寄存器能够存储二进制信息的时序电路，
  - 具有接收和寄存二进制数码的功能。

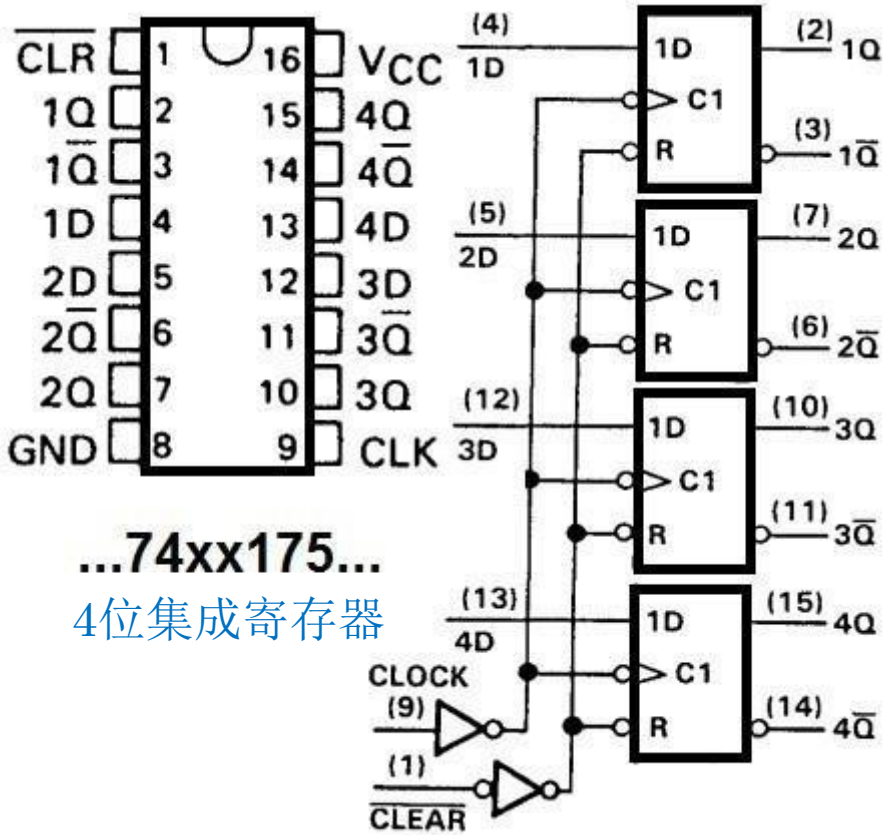
- 触发器(FF)：一种可以存储1位二进制信息的寄存器。

- n位寄存器：n个触发器合并在一起可以存储n位二进制信息

寄存器的分类

- 按照功能的不同，可将寄存器分为两大类：
  - 基本寄存器：只能并行送入数据，需要时也只能并行输出。
  - 移位寄存器：中的数据可以在移位脉冲作用下依次**逐位右移或左移**。

并行输入D/输出Q



ENTREES			SORTIES	
CLEAR	CLOCK	D	Q	Q̄
0	X	X	0	1
1	↑	0	0	1
1	↑	1	1	0
1	0	X	Q0	Q̄0
1	1	X	Q0	Q̄0

异步清零

数据寄存

数据保持

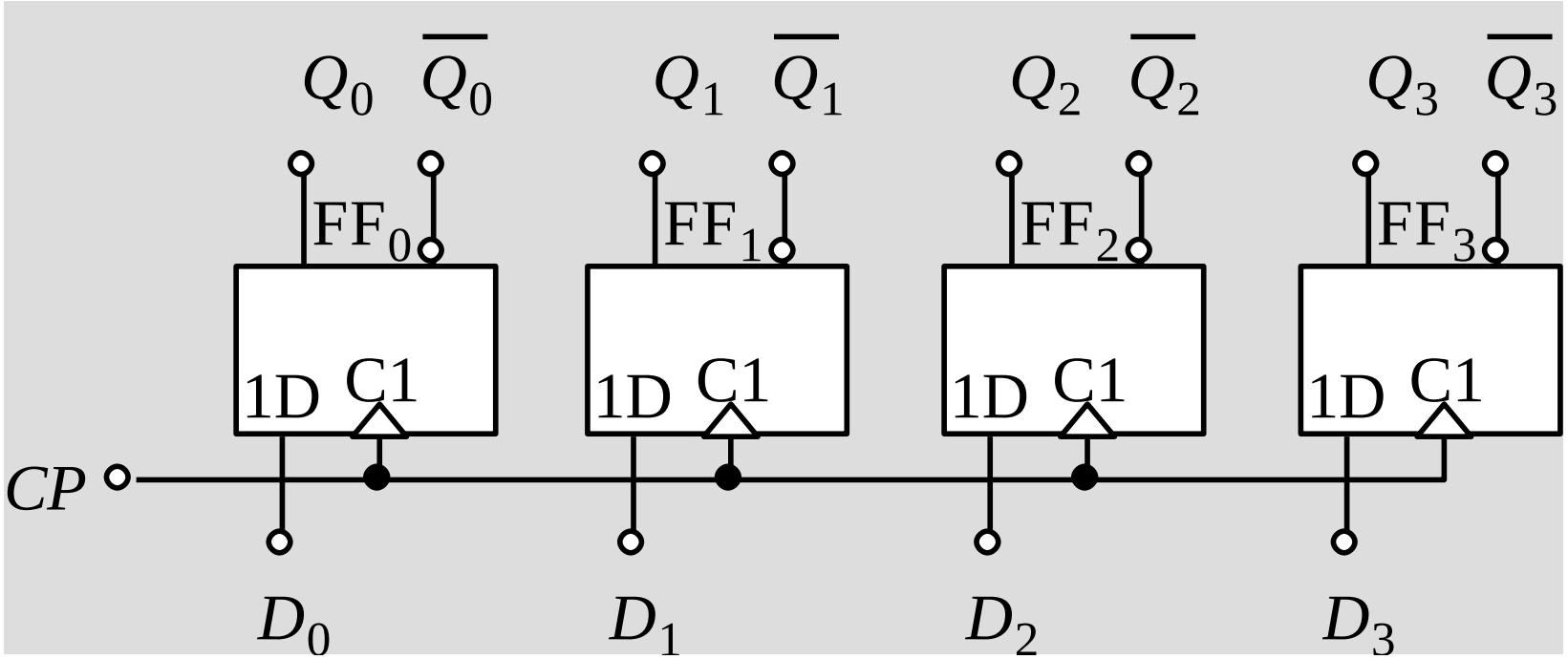
Fig. 52. - Table de vérité de chaque bascule D du circuit intégré 74175.

基本寄存器

1、单拍工作方式基本寄存器

- 只要送数控制时钟脉冲*CP*上升沿到来，加在**并行**数据输入端的数据D_0～D_3，就立即被送入进寄存器中，即有：

$$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1} = D_3D_2D_1D_0$$



基本寄存器

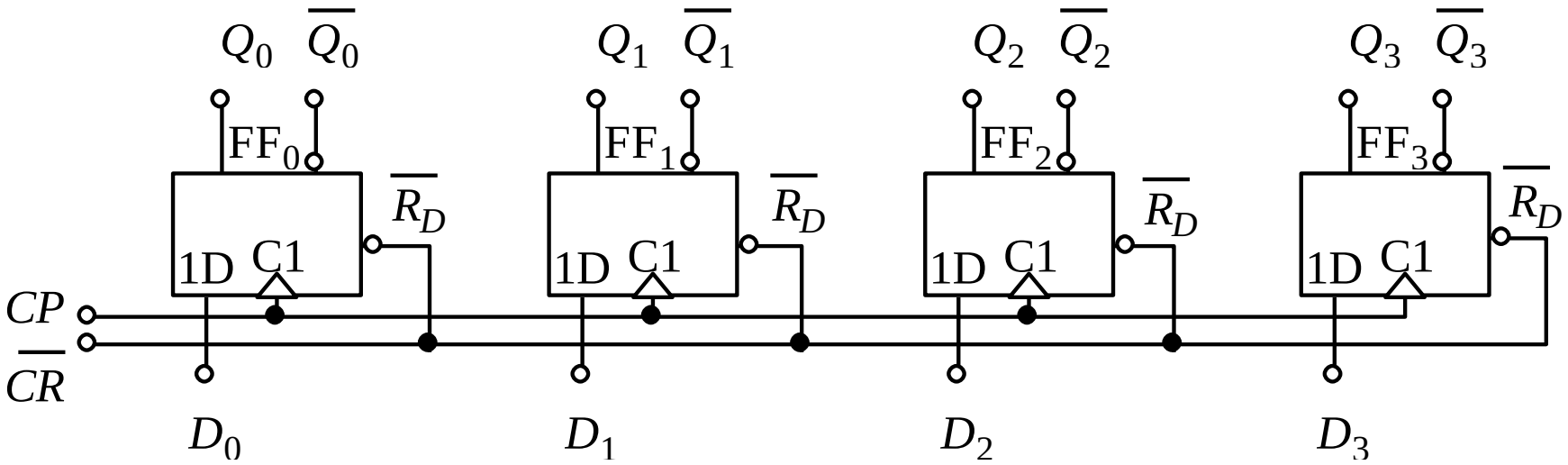
2、双拍工作方式基本寄存器

1. 清零。$\overline{CR}=0$，异步清零。立即有 $Q_3^nQ_2^nQ_1^nQ_0^n=0000$

2. 送数。$\overline{CR}$=0 → 1时，***CP*上升沿**送数。即有

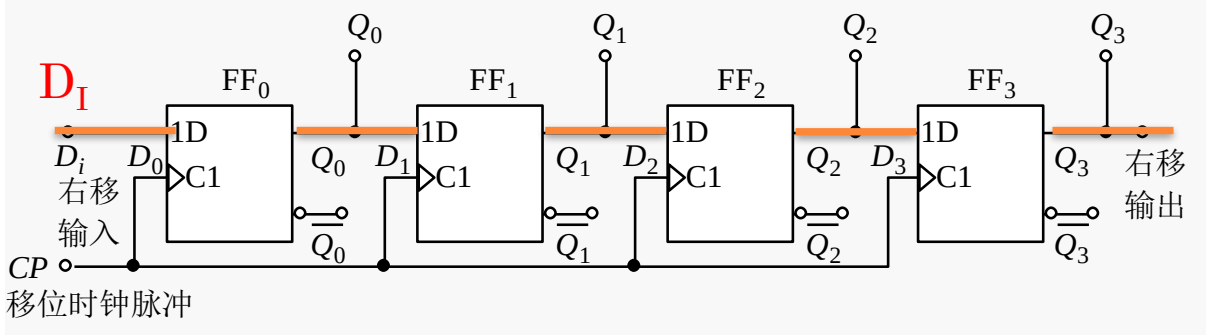
$$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=D_3D_2D_1D_0$$

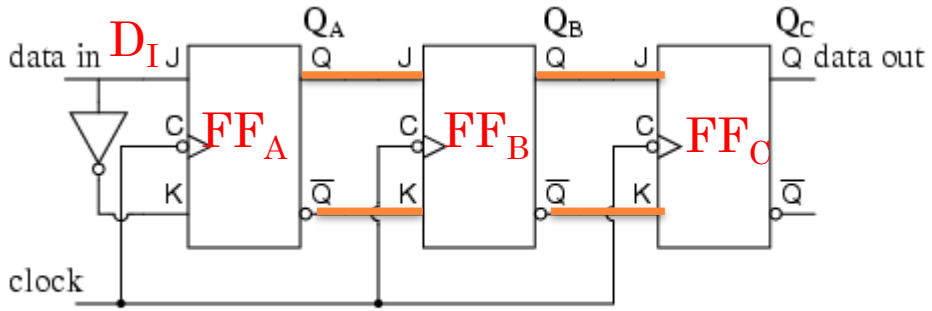
3. 保持。在$\overline{CR}=1$，CP上升沿以外时间，寄存器内容将保持不变。



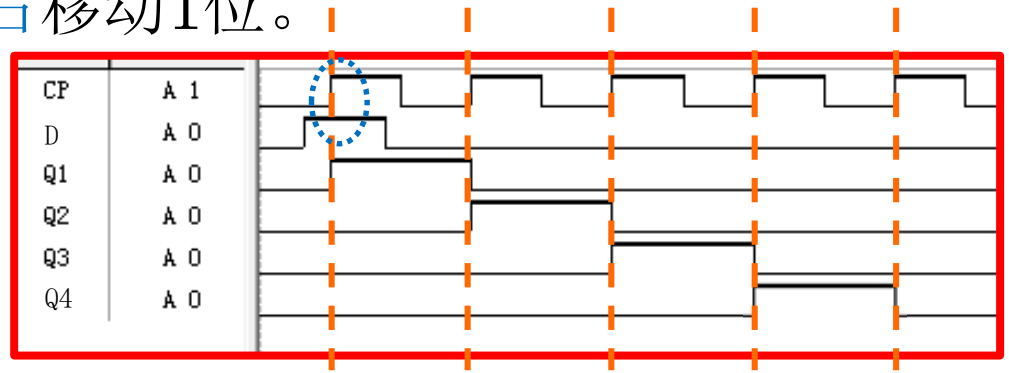
移位寄存器（SHIFT REGISTER）

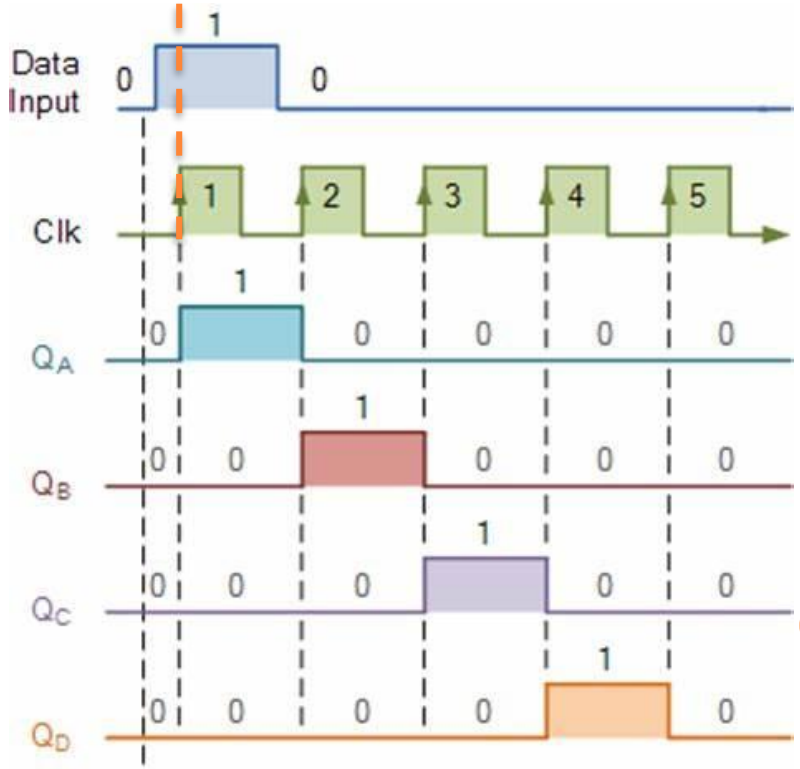
- 移位寄存器中的数据根据需要向左或向右移动1位。
  - 应用：❶寄存代码、❷串行-并行转换、❸数值运算、❹数据处理
- 单向移位寄存器（Shift register）





Serial-in, serial-out shift register using type "JK" storage elements

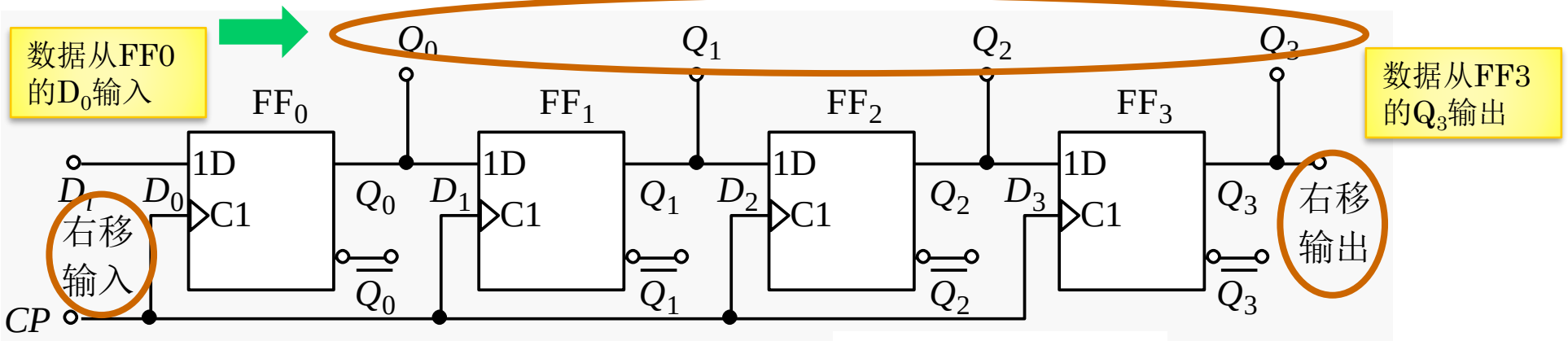




4位右移寄存器

4-BIT SHIFT RIGHT REGISTER

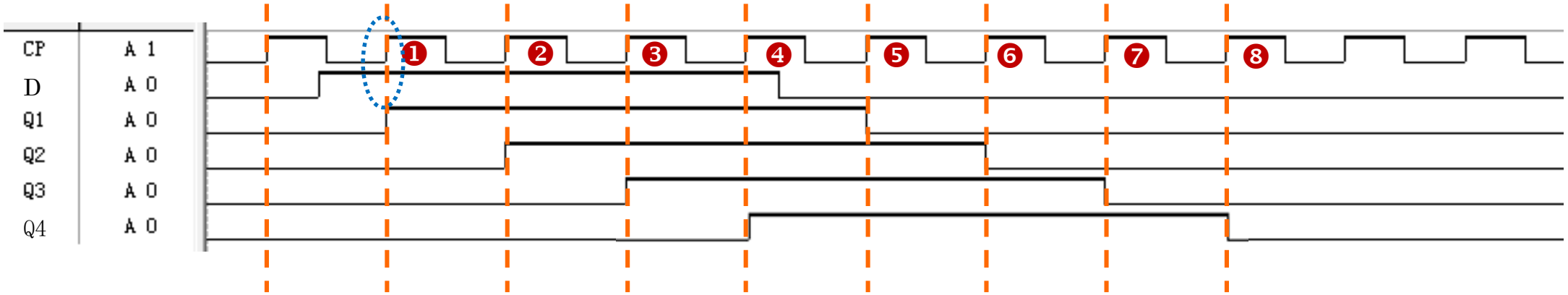
1、并行输出 4th CP↑



2、串行输出 4th ~7th CP↑

	输入		现态				次态				说明
	D_0	CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
CP ❶	1	↑	0	0	0	0	1	0	0	0	初始状态=0000
CP ❷	1	↑	1	0	0	0	1	1	0	0	连续输入
CP ❸	1	↑	1	1	0	0	1	1	1	0	4 个 1
CP ❹	1	↑	1	1	1	0	1	1	1	1	

数据从四位右移寄存器的FF0连续输入4个1的波形图

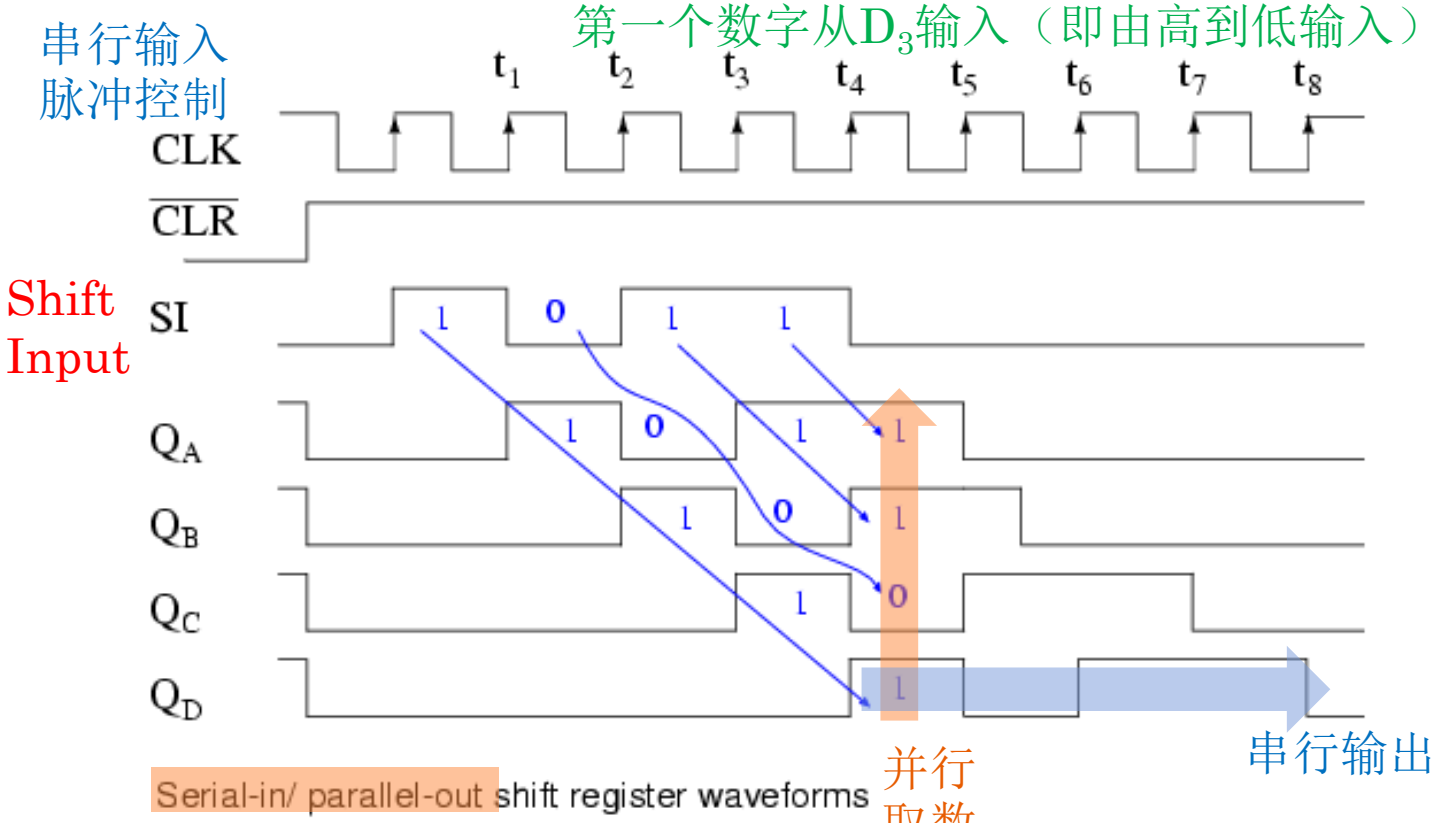


4位右移寄存器（SHIFT RIGHT REGISTER）时序图（TIMING DIAGRAM）

串行输入码 $D_I = \overset{D_3}{1}\ \overset{D_2}{0}\ \overset{D_1}{1}\ \overset{D_0}{1}$

在4个移位脉冲作用后，输入的4位数码全部存入了寄存器中。

第一个数字从D_3输入（即由高到低输入）

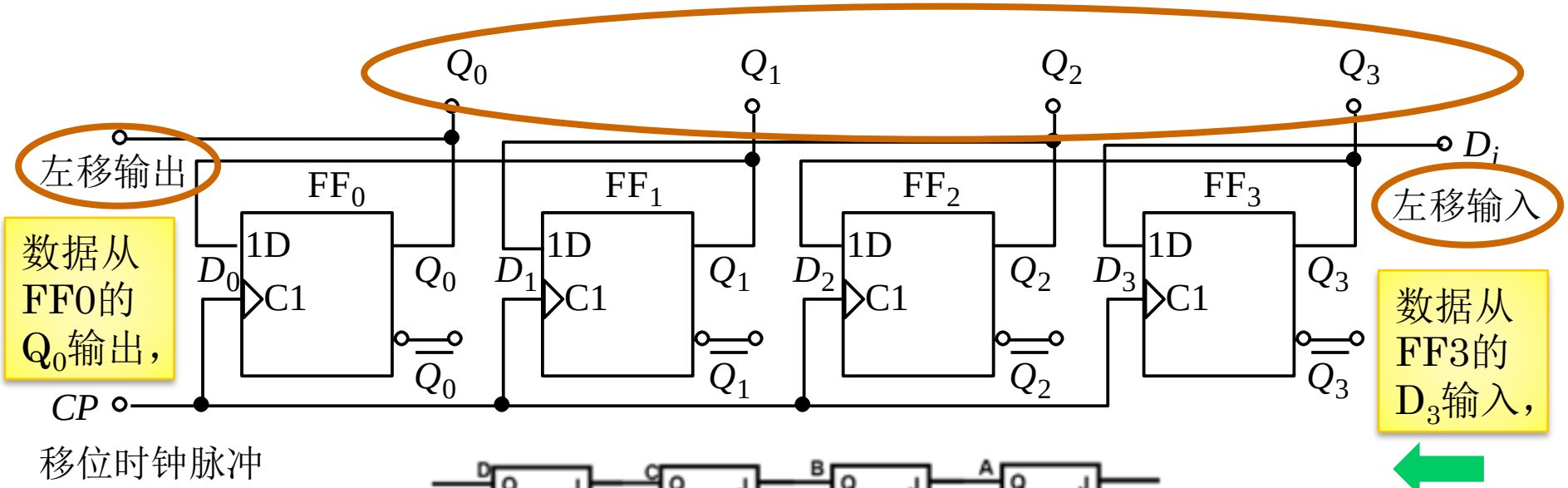


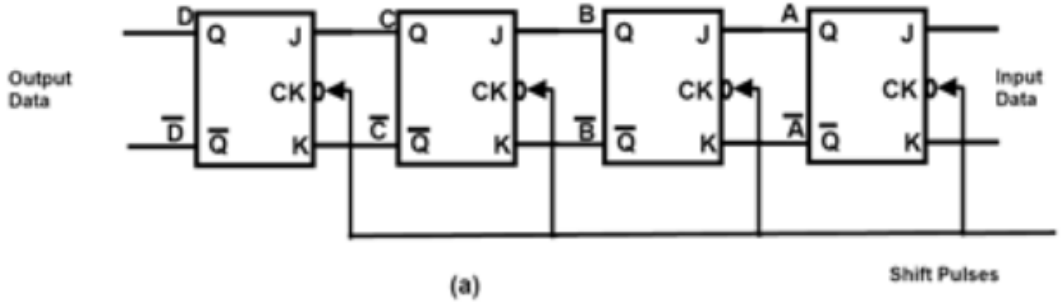
Serial-in/ parallel-out shift register waveforms

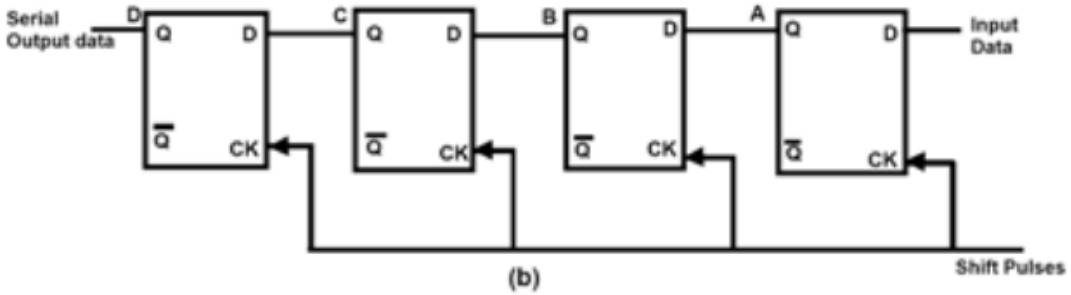
串行输出要继续输入4个移位脉冲

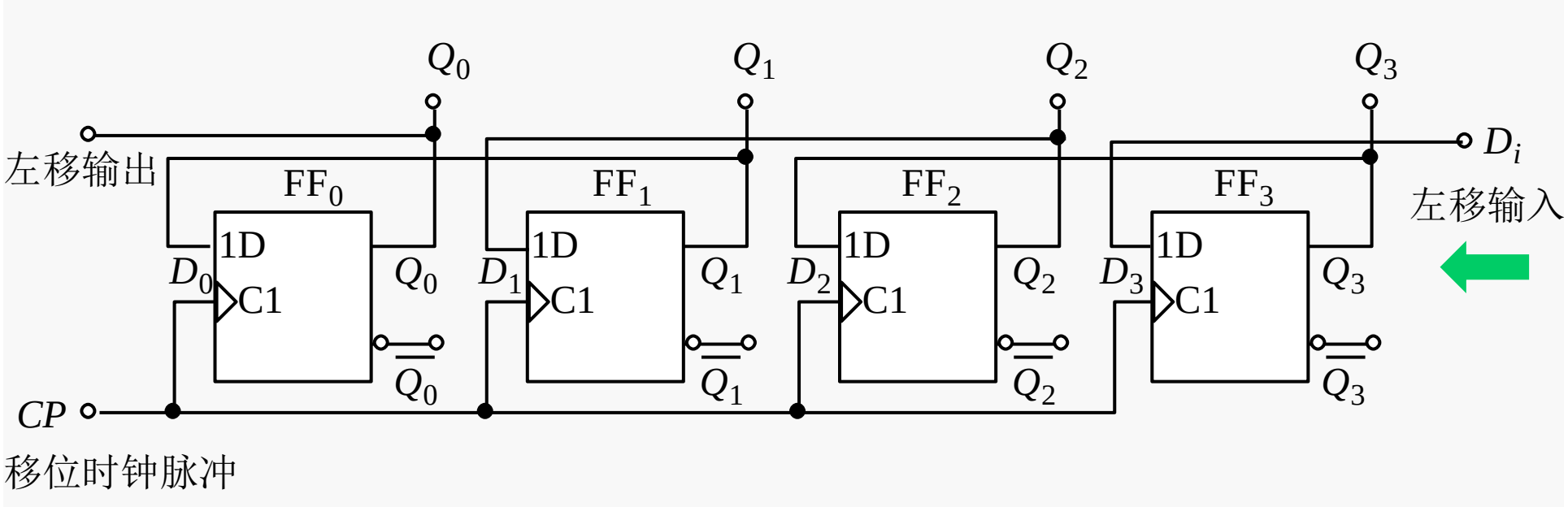
移位寄存器具有串行输入-并行输出，串行输入-串行输出两种工作方式。

4位左移寄存器(SHIFT LEFT REGISTER) 并行输出







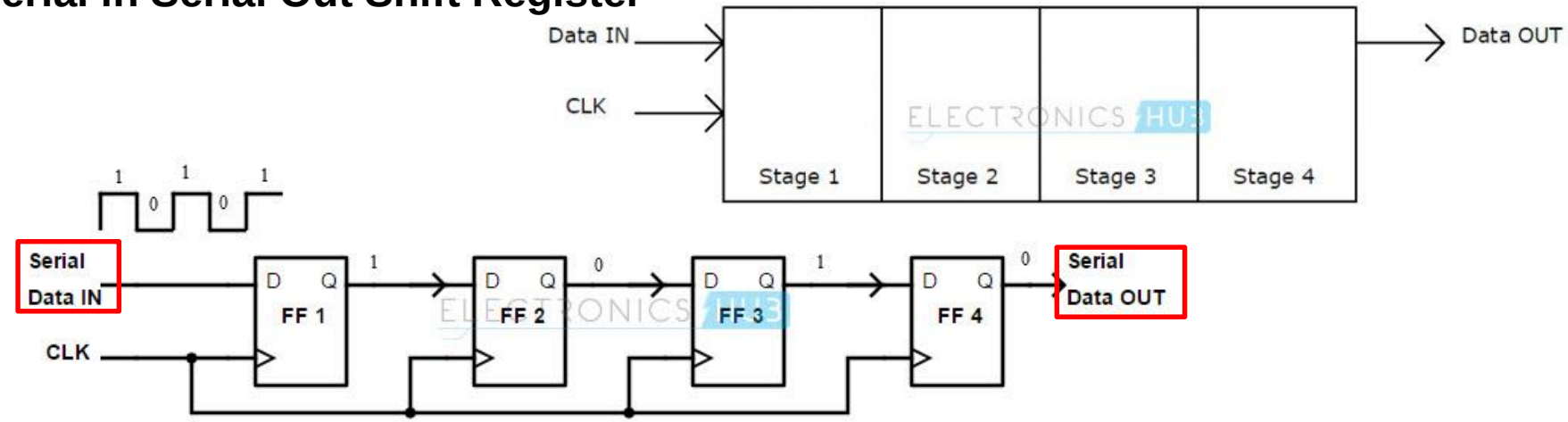


	输入		现态				次态				说明
	D_3	CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
❶	1	↑	0	0	0	0	0	0	0	1	连续输入 4 个 1
❷	1	↑	0	0	0	1	0	0	1	1	
❸	1	↑	0	0	1	1	0	1	1	1	
❹	1	↑	0	1	1	1	1	1	1	1	

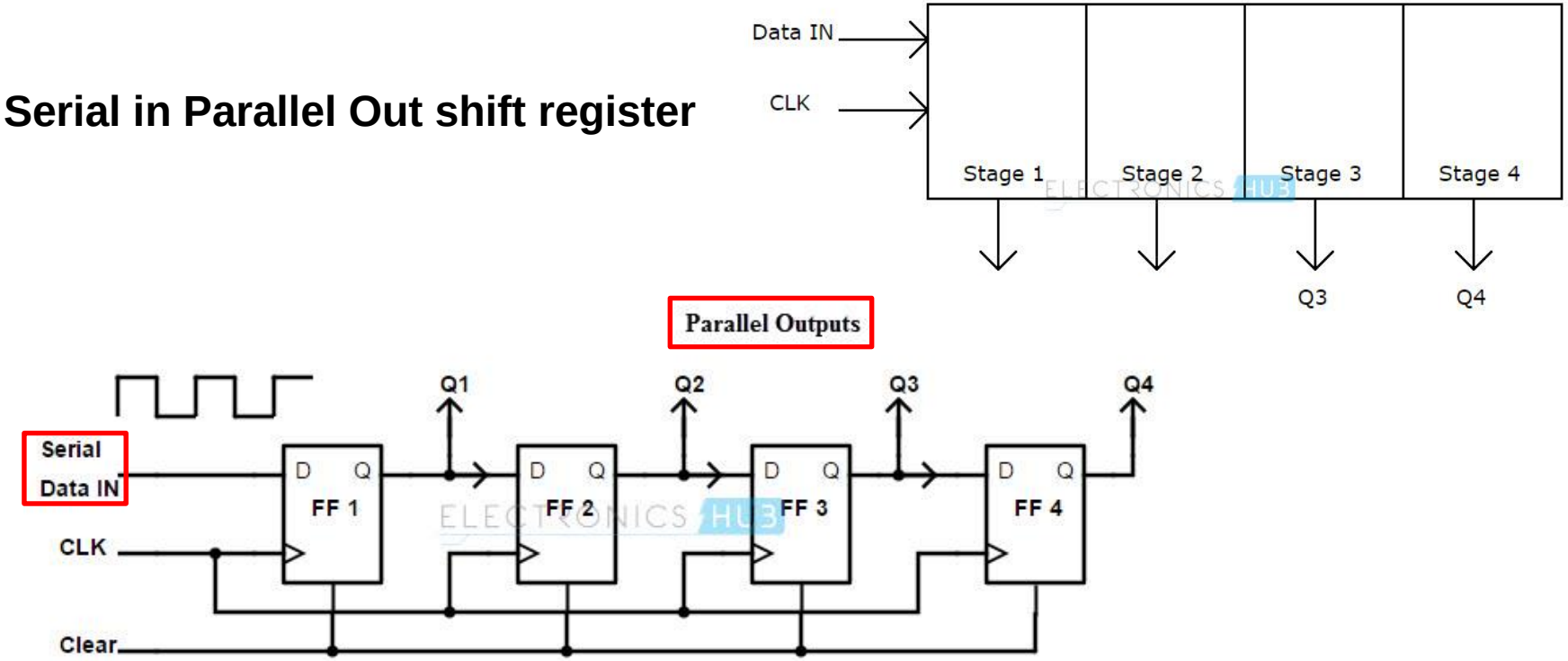
单向移位寄存器具有以下主要特点：

- 单向移位寄存器中的数码，在*CP*脉冲操作下，可以依次右移或左移。
- *n*位单向移位寄存器可以寄存*n*位二进制代码。*n*个*CP*脉冲即可完成串行输入工作。
- 若串行输入端输入为0，则*n*个*CP*脉冲后，所有寄存器便被清零。

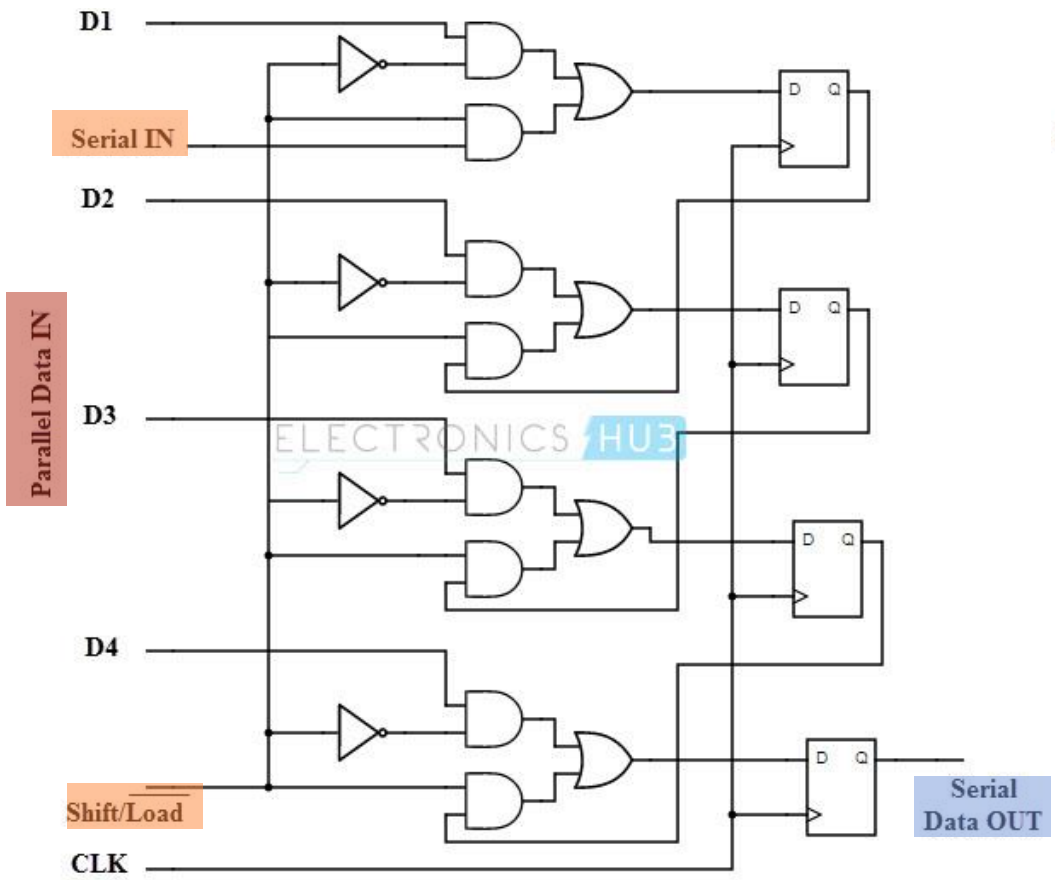
Serial in Serial Out Shift Register

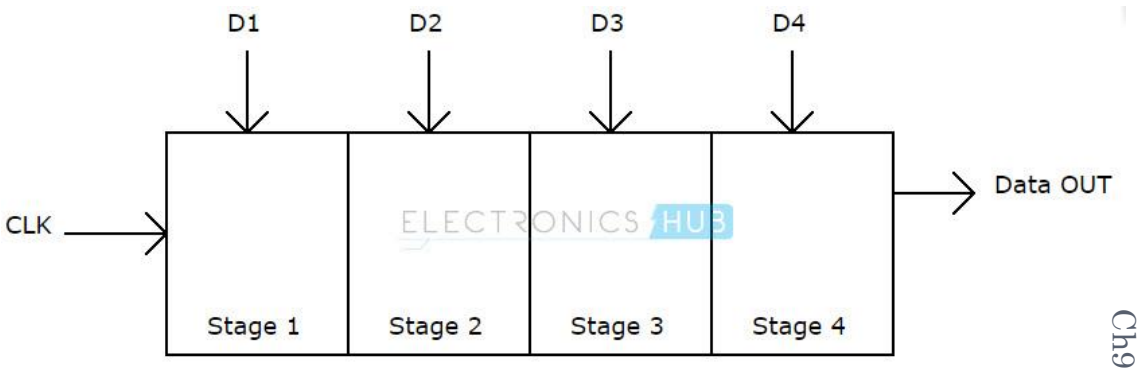


Serial in Parallel Out shift register

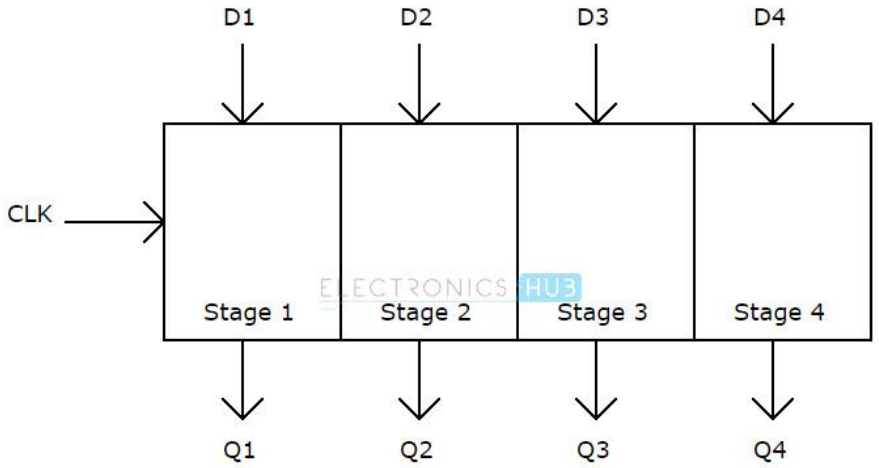


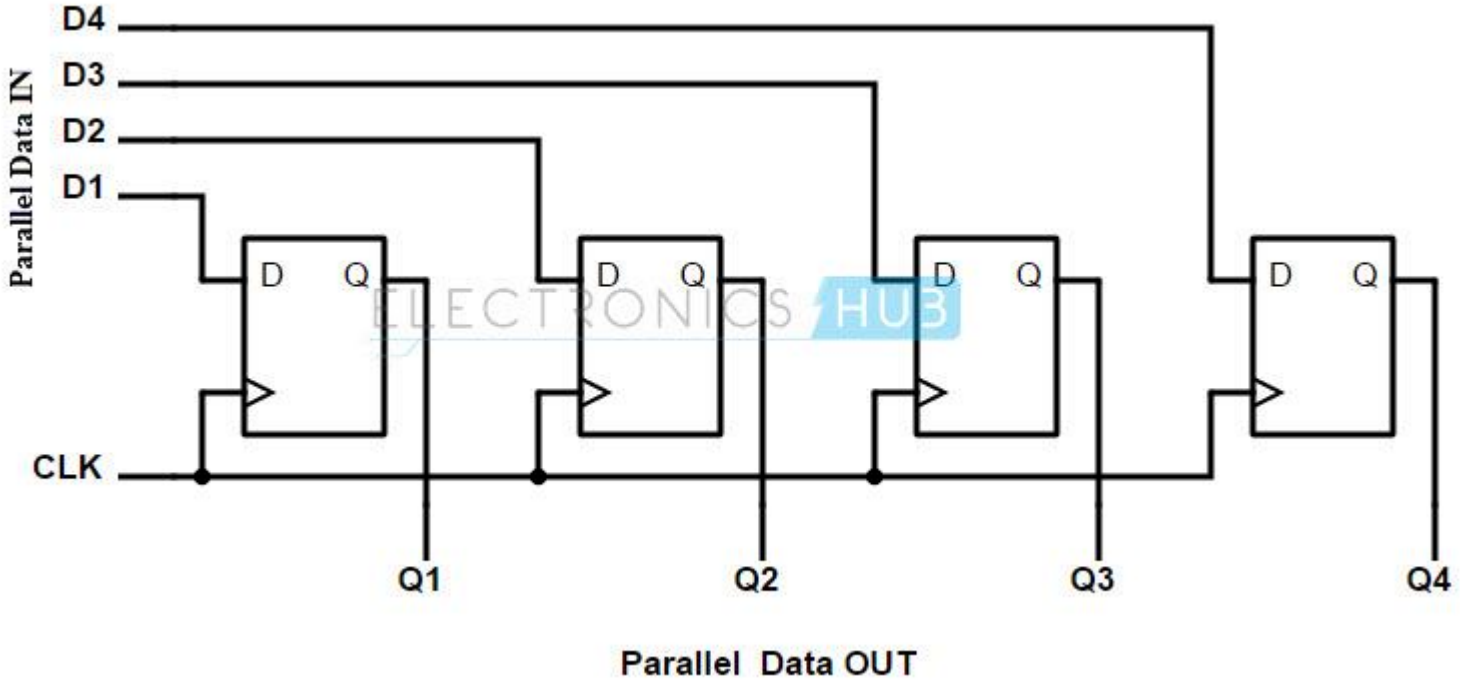
Parallel in Serial out shift register



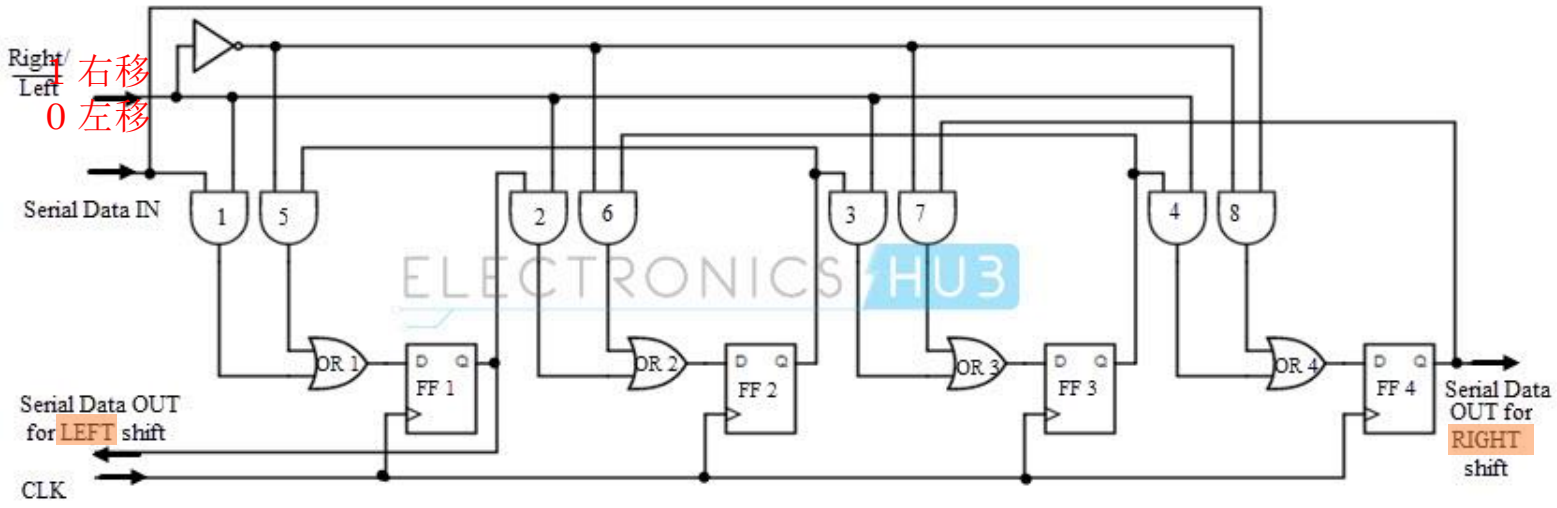


Parallel in Parallel out shift register

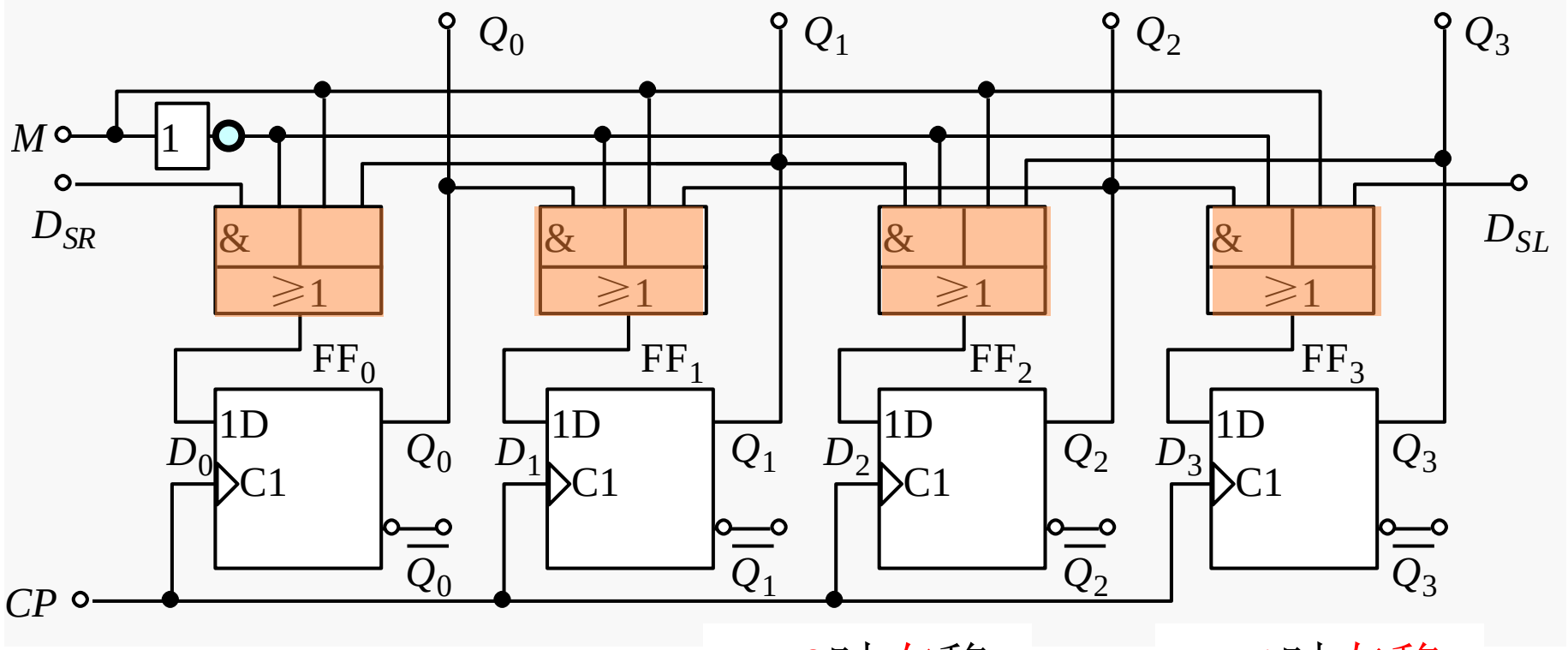




双向移位寄存器
BIDIRECTIONAL SHIFT REGISTER



2、双向移位寄存器



$$\begin{cases} Q_0^{n+1} = \overline{M}D_{SR} + MQ_1^n \\ Q_1^{n+1} = \overline{M}Q_0^n + MQ_2^n \\ Q_2^{n+1} = \overline{M}Q_1^n + MQ_3^n \\ Q_3^{n+1} = \overline{M}Q_2^n + MD_{SL} \end{cases}$$

M=0时右移

$$\begin{cases} Q_0^{n+1} = D_{SR} \\ Q_1^{n+1} = Q_0^n \\ Q_2^{n+1} = Q_1^n \\ Q_3^{n+1} = Q_2^n \end{cases}$$

M=1时左移

$$\begin{cases} Q_0^{n+1} = Q_1^n \\ Q_1^{n+1} = Q_2^n \\ Q_2^{n+1} = Q_3^n \\ Q_3^{n+1} = D_{SL} \end{cases}$$

集成移位寄存器

（1）右移移位寄存器74195

SHIFT REGISTER GENERATOR(SRG4)

功能表

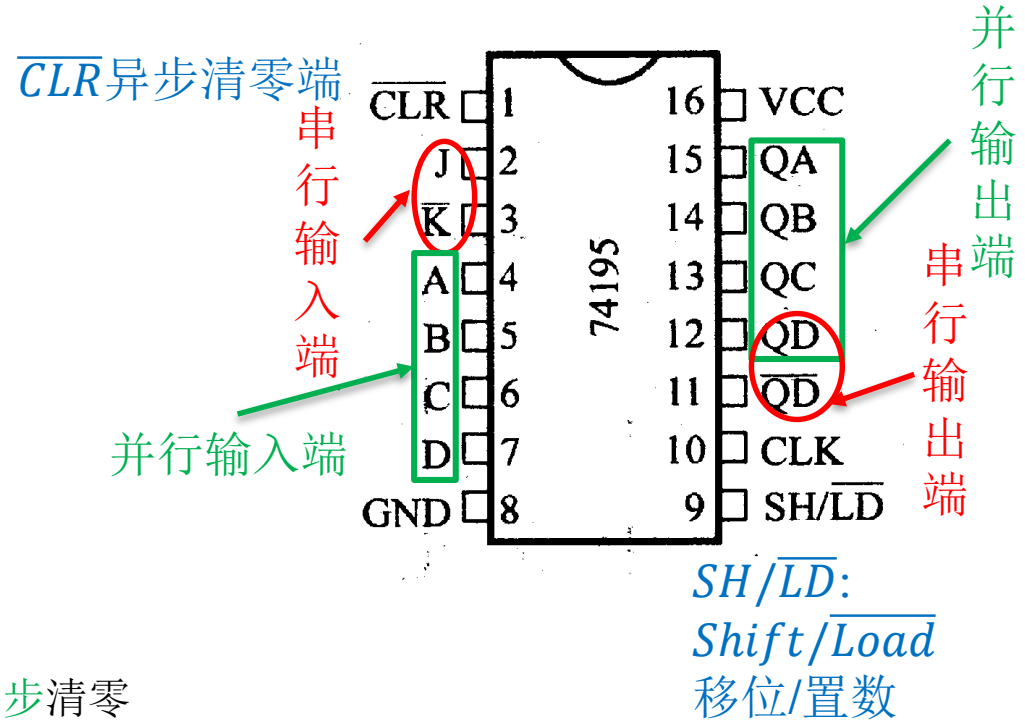
输入									输出				
清除	移位/置数	时钟	串行 J	串行 $\overline{K}$	并行 A	并行 B	并行 C	并行 D	QA	QB	QC	QD	$\overline{QD}$
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	$\overline{d}$
H	H	L	X	X	X	X	X	X	QA_0	QB_0	QC_0	QD_0	$\overline{QD_0}$
H	H	↑	L	H	X	X	X	X	QA_n	QA_n	QB_n	QC_n	$\overline{QC_n}$
H	H	↑	L	L	X	X	X	X	L	QA_n	QB_n	QC_n	$\overline{QC_n}$
H	H	↑	H	H	X	X	X	X	H	QA_n	QB_n	QC_n	$\overline{QC_n}$
H	H	↑	H	L	X	X	X	X	$\overline{QA_n}$	QA_n	QB_n	QC_n	$\overline{QC_n}$

异步清零

同步并入

保持

a、b、c、d=输入 A、B、C 或 D 端相应的稳定态输入电平。QA_0、QB_0、QC_0、QD_0 =在规定的稳定态输入条件建立之前，QA、QB、QC 或 QD 相应的电平。QA_n、QB_n、QC_n = 最近的时钟↑跳变前 QA、QB、QC 相应的电平。



在逻辑操作中，J、$\overline{K}$为串行输入端，做右移操作时，第一级触发器的状态Q_0^{n+1}由J、$\overline{K}$和Q_0^n决定。

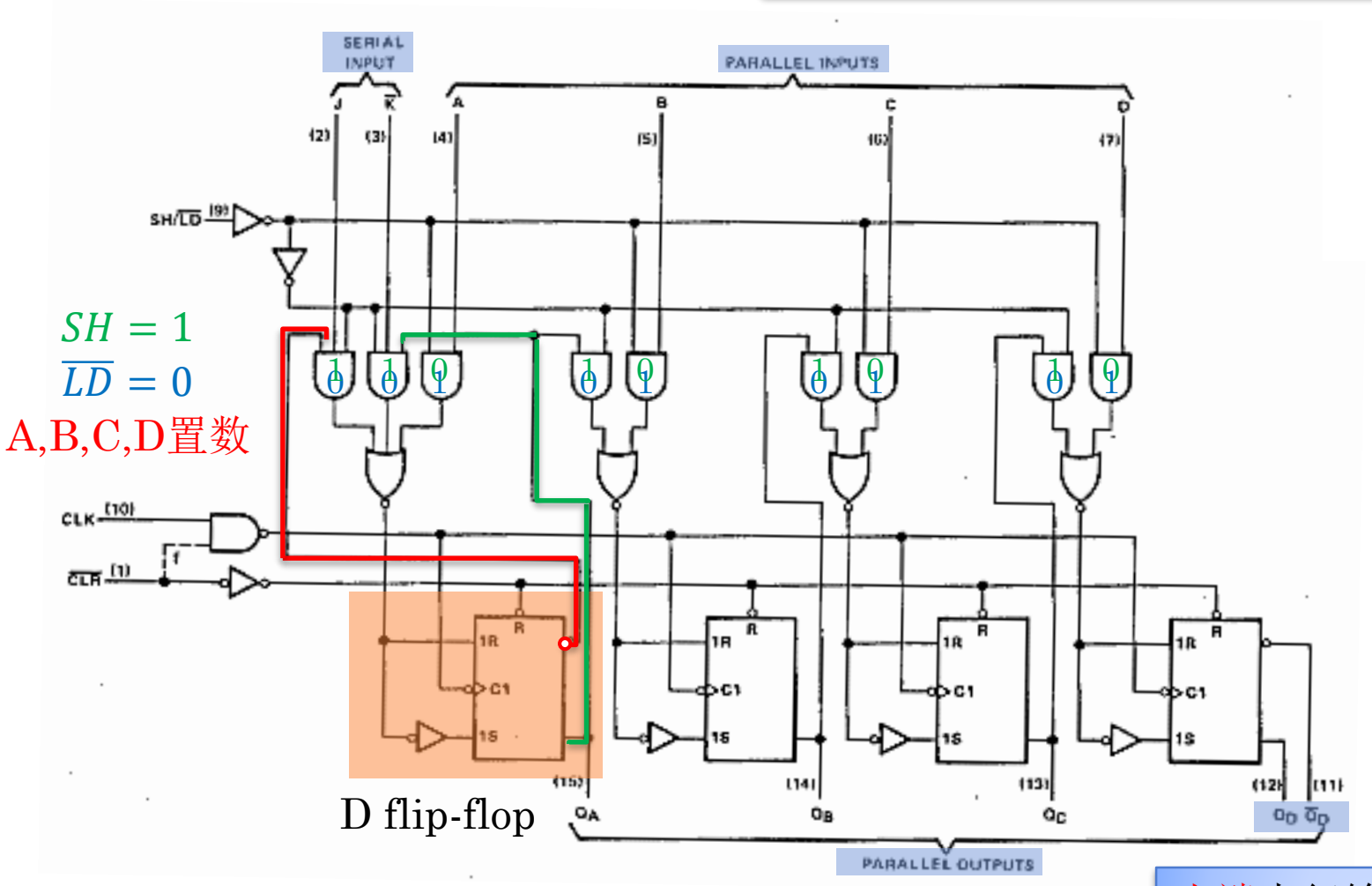
右移移位寄存器74195（SRG4）

- 74195

$SH/\overline{LD}$	J	$\overline{K}$	$\overline{CR}$	CP	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$	工作模式
x	x	x	0	x	0000	异步清零
1	0	0	1	↑	0 $Q_0^nQ_1^nQ_2^n$	串入、右移
1	0	1	1	↑	$Q_0^nQ_0^nQ_1^nQ_2^n$	
1	1	0	1	↑	$\overline{Q_0^n}Q_0^nQ_1^nQ_2^n$	
1	1	1	1	↑	1 $Q_0^nQ_1^nQ_2^n$	
0	x	x	1	↑	$D_0D_1D_2D_3$	同步并入

74195 LOGIC CIRCUIT

SRG4的serial input只与J，$\overline{K}$有关，即当SH=1时起作用；Parallel inputs的低位数据输入端A（或者D0）只与并行写入功能有关，即当$\overline{LD}=0$时起作用。



$SH=1$

$\overline{LD}=0$

A,B,C,D置数

$SH/\overline{LD}=0$

$$Q_A^{n+1}=A[\mathrm{CP}\uparrow]$$
$$Q_B^{n+1}=B[\mathrm{CP}\uparrow]$$
$$Q_C^{n+1}=C[\mathrm{CP}\uparrow]$$
$$Q_D^{n+1}=D[\mathrm{CP}\uparrow]$$

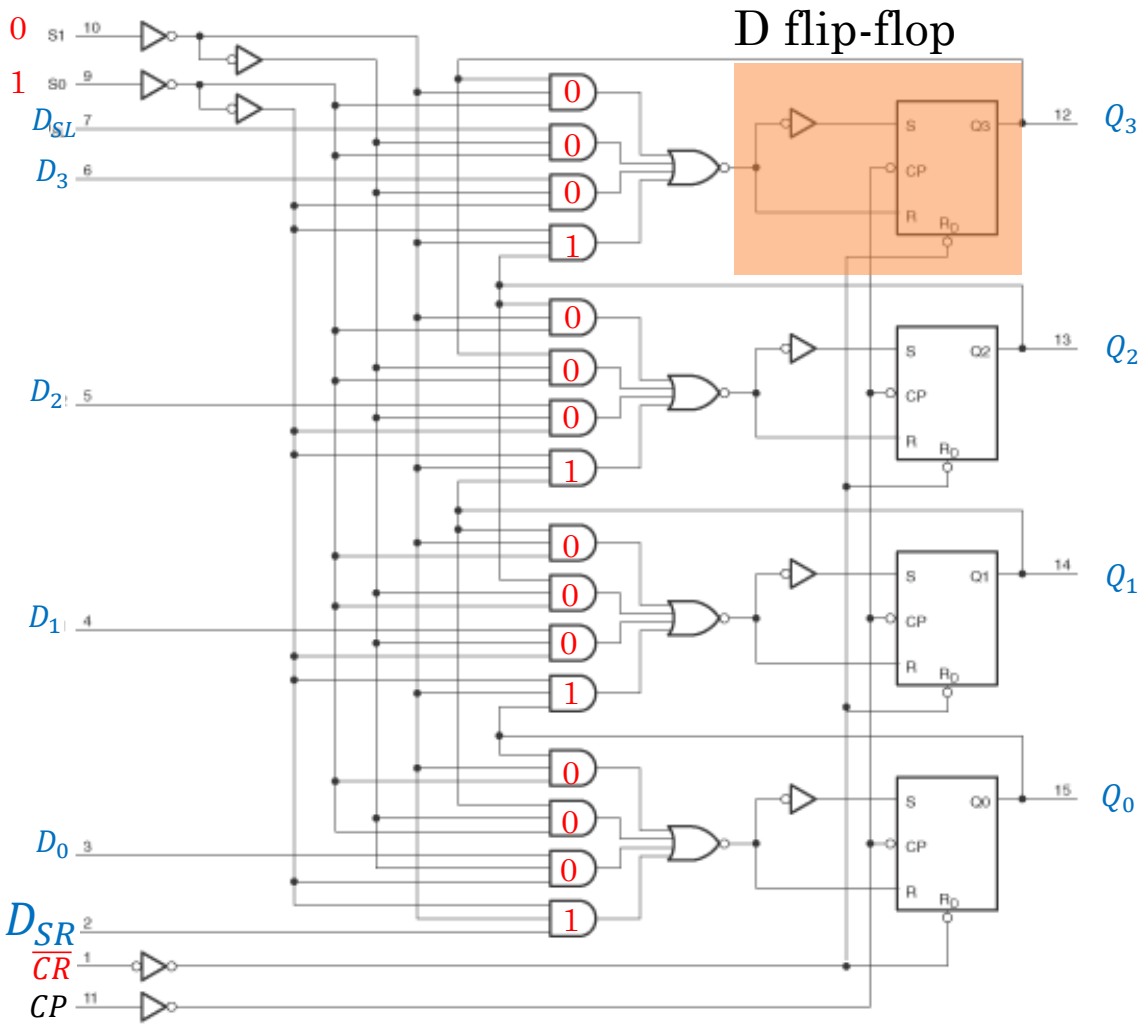
$SH/\overline{LD}=1$

$$Q_A^{n+1}=J\overline{Q_A}+\overline{K}\,Q_A[\mathrm{CP}\uparrow]$$
$$Q_B^{n+1}=Q_A[\mathrm{CP}\uparrow]$$
$$Q_C^{n+1}=Q_B[\mathrm{CP}\uparrow]$$
$$Q_D^{n+1}=Q_C[\mathrm{CP}\uparrow]$$

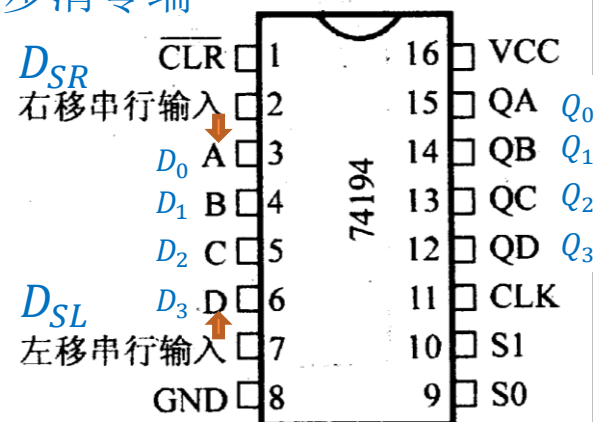
末端串行输出$O_D,\overline{O_D}$

集成移位寄存器

（2）双向移位寄存器74194



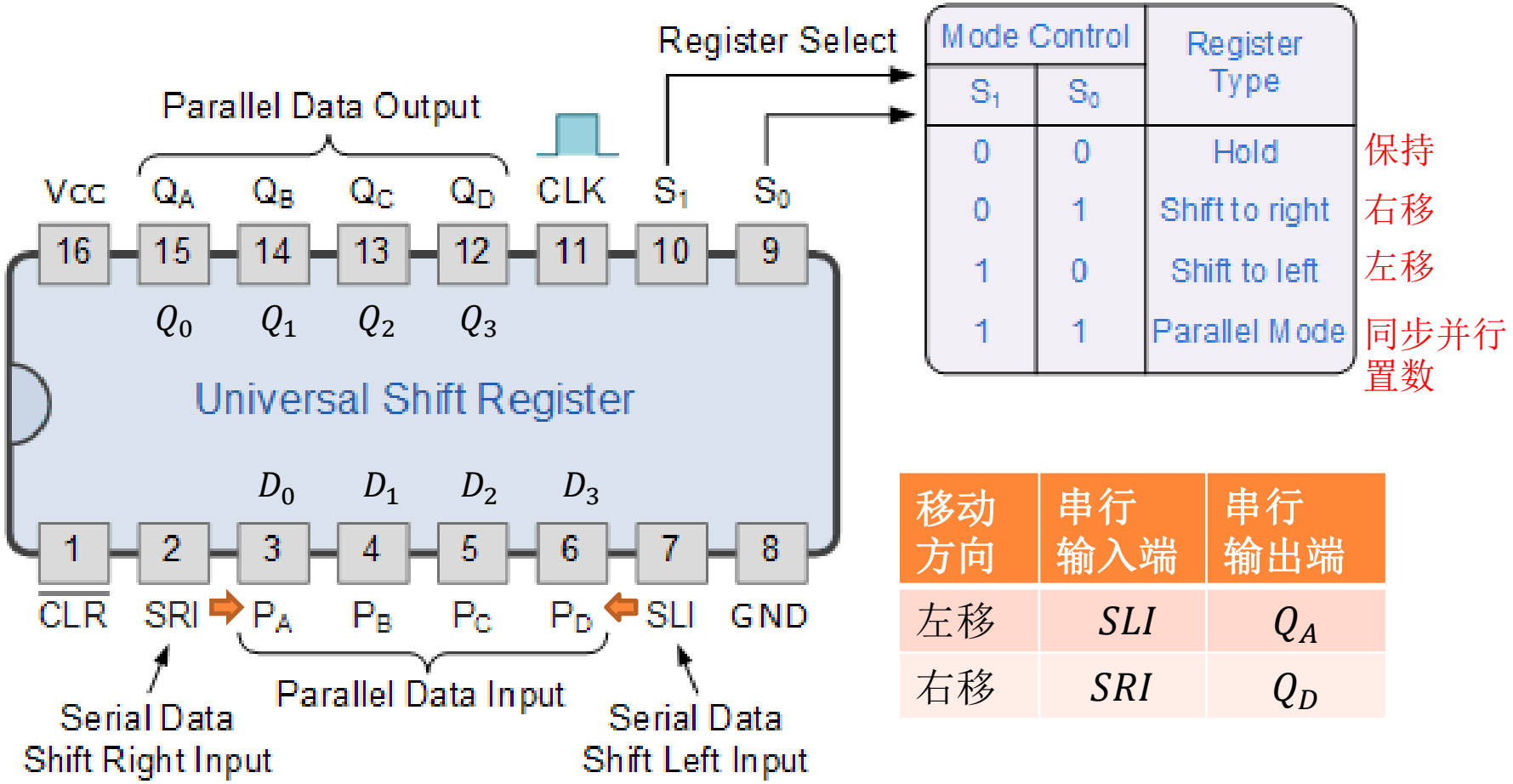
$\overline{CLR}$异步清零端



$$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$$

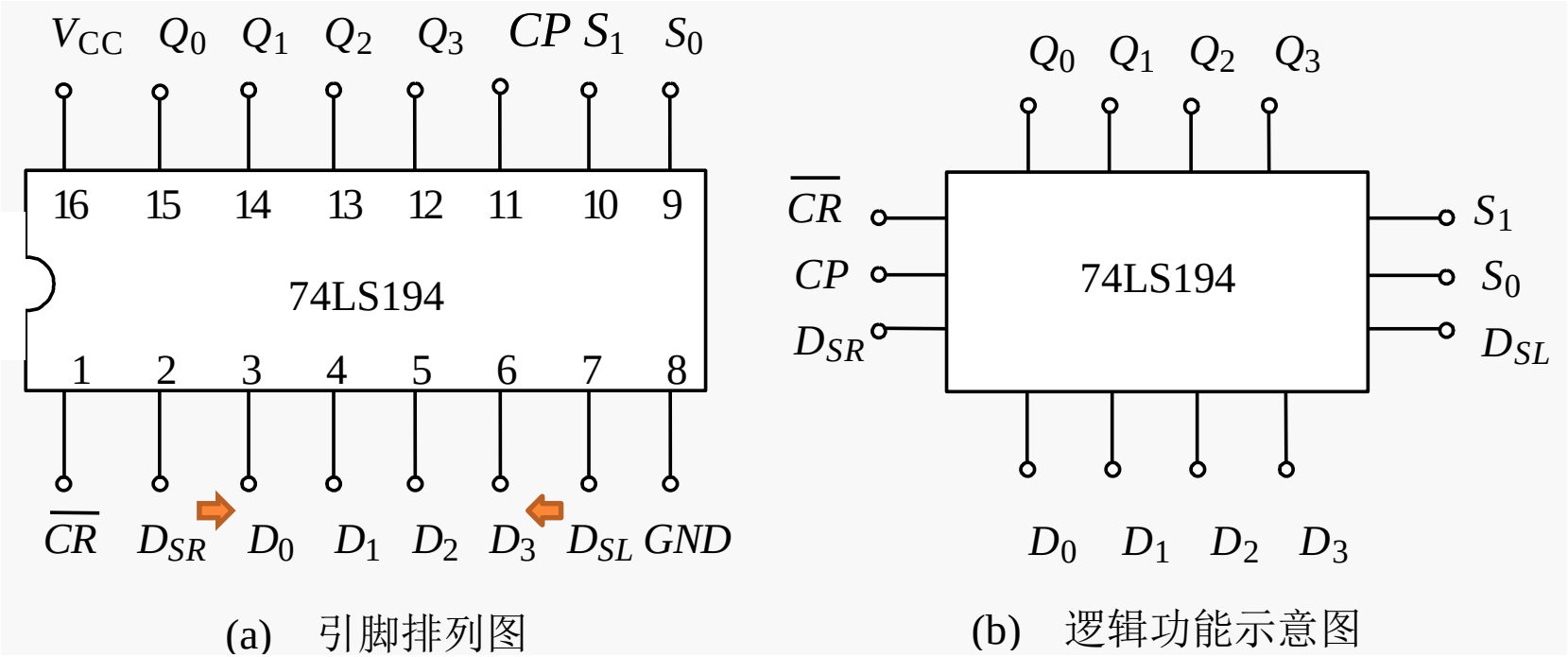
$\overline{CR}$	S_1	S_0	D_{SL}	D_{SR}	CP	D	Q^{n+1}	工作模式
0	x	x	x	x	x	x	0000	异步清零
1	0	0	x	x	x	x	$Q_0^nQ_1^nQ_2^nQ_3^n$	保持
1	0	1	x	D_{SR}	↑	x	$D_{SR}Q_0^nQ_1^nQ_2^n$	右移
1	1	0	D_{SL}	x	↑	x	$Q_1^nQ_2^nQ_3^nD_{SL}$	左移
1	1	1	x	x	↑	D	$D_0D_1D_2D_3$	同步并行置数

双向移位寄存器
4-BIT UNIVERSAL SHIFT REGISTER 74LS194



Mode Control		Register Type	
S_1	S_0		
0	0	Hold	保持
0	1	Shift to right	右移
1	0	Shift to left	左移
1	1	Parallel Mode	同步并行置数

移动方向	串行输入端	串行输出端
左移	SLI	Q_A
右移	SRI	Q_D



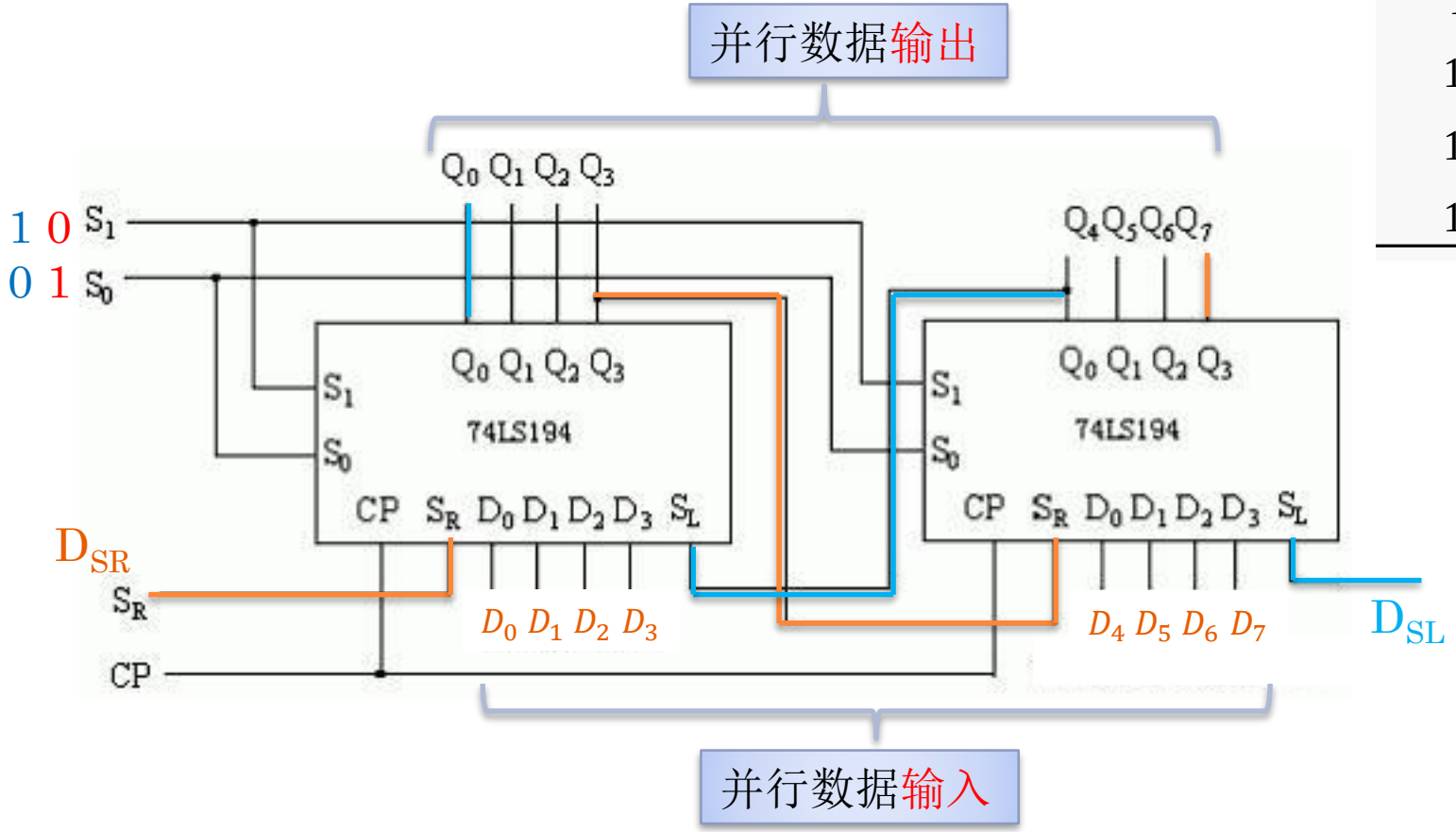
(a) 引脚排列图　　(b) 逻辑功能示意图

移动方向	串行输入端	串行输出端
左移	D_{SL}	Q_0
右移	D_{SR}	Q_3

$\overline{CR}$	S_1	S_0	CP	工作状态
0	×	×	×	异步清零
1	0	0	×	保　持
1	0	1	↑	右　移
1	1	0	↑	左　移
1	1	1	↑	同步并行输入

两片4位双向移位寄存器74194构成8位双向移位寄存器

$\overline{CR}$	S_1	S_0	CP	工作状态
0	×	×	×	异步清零
1	0	0	×	保　持
1	0	1	↑	右　移
1	1	0	↑	左　移
1	1	1	↑	同步并行输入

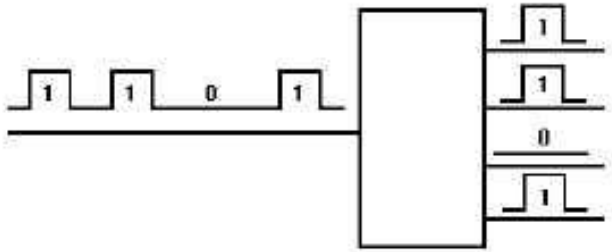


两片的时钟CP、异步清零端、方式控制端S_1，S_0相连，

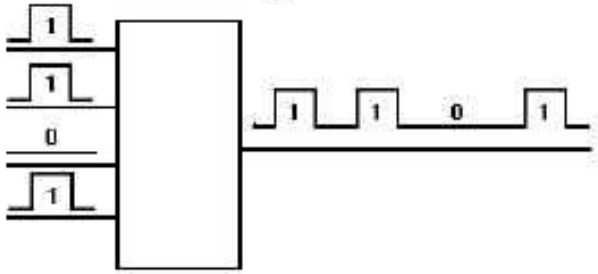
移位寄存器的应用

（1）实现数据的串并行转换

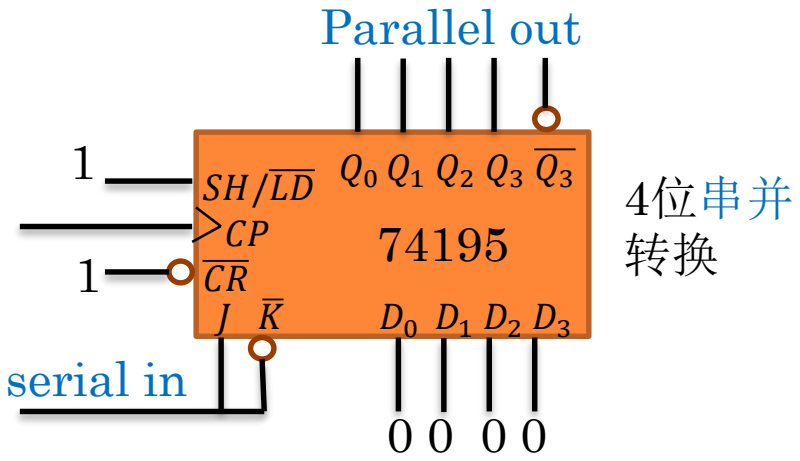
- 在数字系统中，信息的传输通常是串行传送，而到了终端，往往要求并行的数据输入或输出。
  - 信息的接收端：需要串行→并行信号
  - 信息的发送端：需要并行→串行信号

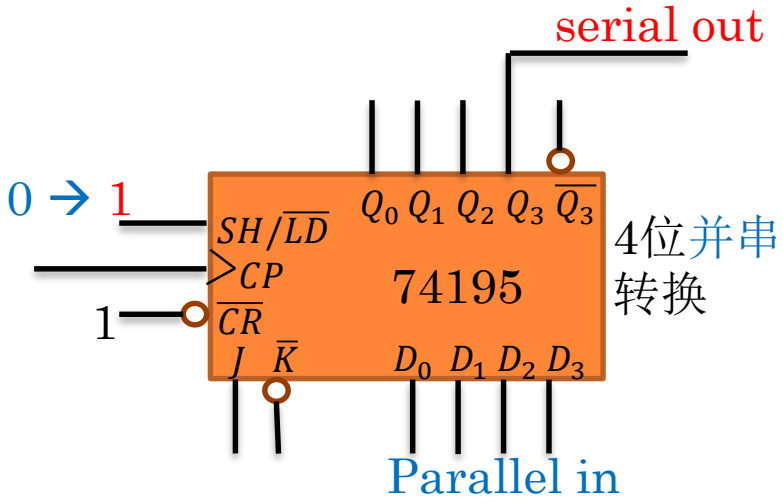


SERIAL-TO-PARALLEL CONVERSION
A

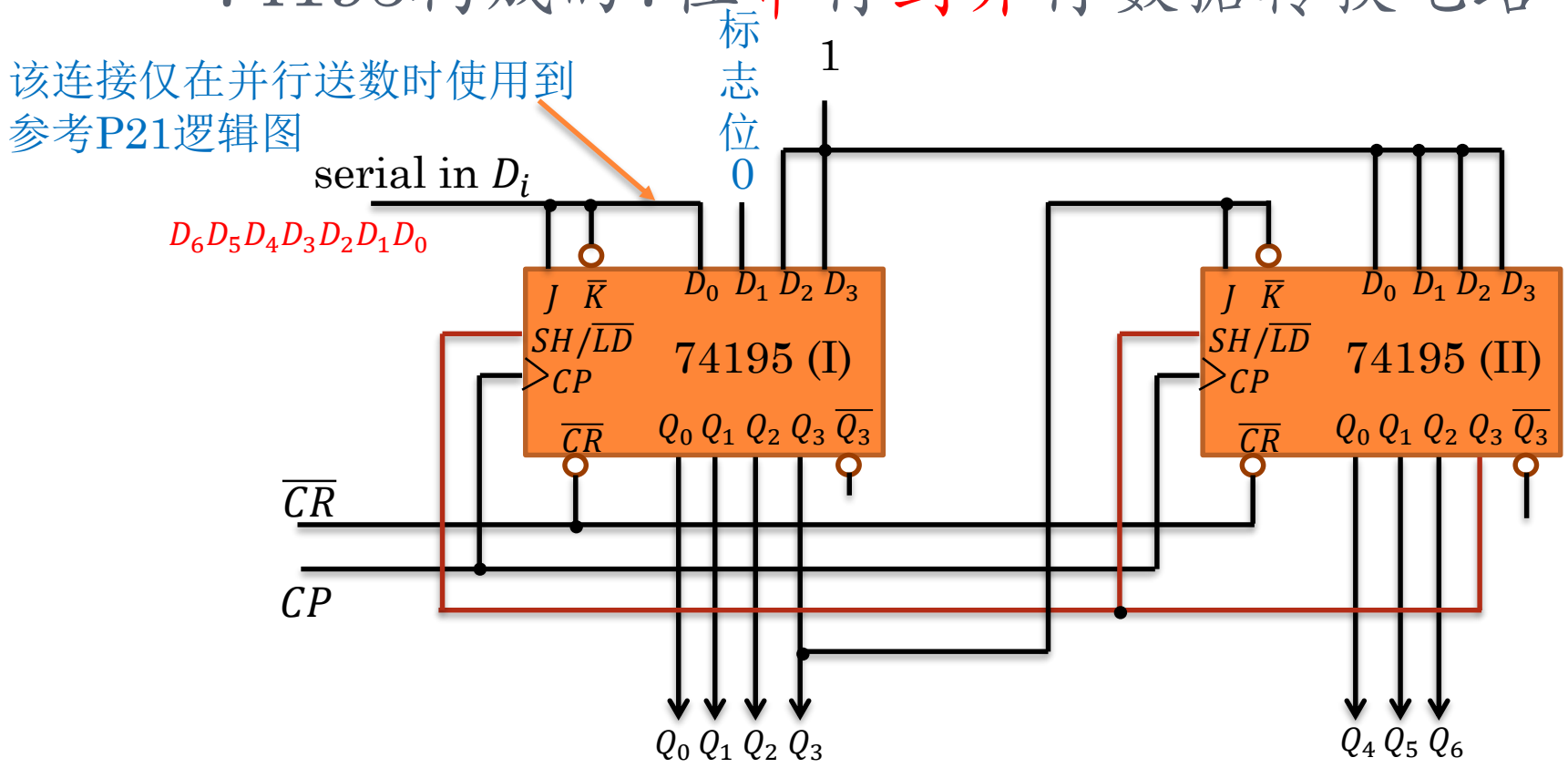


PARALLEL-TO-SERIAL CONVERSION
B





74195构成的7位串行到并行数据转换电路



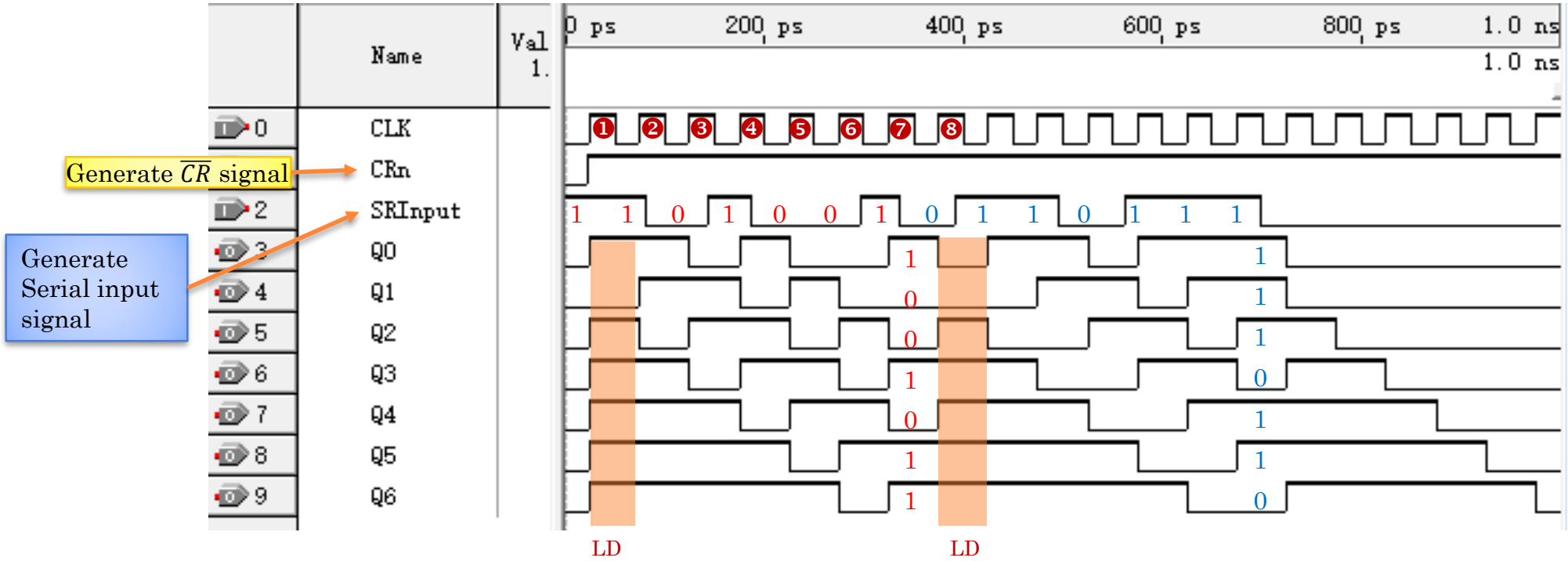
1. $\overline{CR}=0$,两个74195片都清零 → II片的 $Q_3=0$
2. II片的 Q_3与两片的$SH/\overline{LD}$端相连 → CP↑时， $\overline{LD}=0$执行并行送数功能
3. 并行输出 $Q_0\sim Q_6=D_0011111$，此时II片的$Q_3=1$
4. II片的 Q_3与两片的$SH/\overline{LD}$端相连 → CP↑时， $SH=1$执行右移移位功能
5. 串行输入D_1， $Q_0\sim Q_6=D_1D_001111$，此时II片的$Q_3=1$
6. 数据继续串行输入D_i，当并行输出$Q_0\sim Q_6=D_6D_5D_4D_3D_2D_1D_0$，此时II片的$Q_3=0$
7. II片的 Q_3与两片的$SH/\overline{LD}$端相连 → CP↑时， $\overline{LD}=0$执行并行送数功能；另一方面表示7位数码串-并转换完成。

7位串行-并行转换表

CP	Q_{0I}	Q_{1I}	Q_{2I}	Q_{3I}	Q_{0II}	Q_{1II}	Q_{2II}	Q_{3II}
1	D_0	0	1	1	1	1	1	1
2	D_1	D_0	0	1	1	1	1	1
3	D_2	D_1	D_0	0	1	1	1	1
4	D_3	D_2	D_1	D_0	0	1	1	1
5	D_4	D_3	D_2	D_1	D_0	0	1	1
6	D_5	D_4	D_3	D_2	D_1	D_0	0	1
7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	0
8	D_0	0	1	1	1	1	1	1

7位并行输出

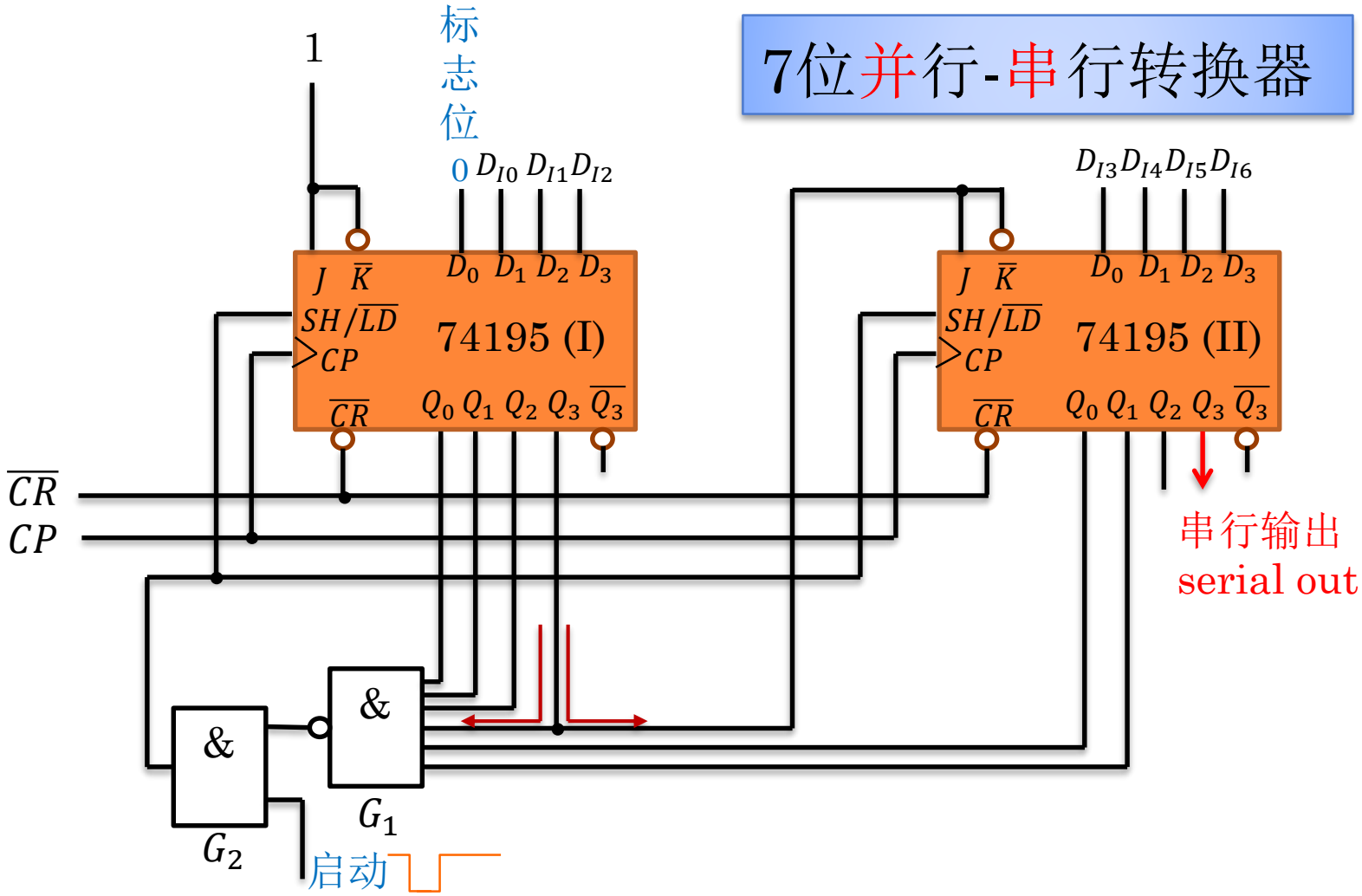
74195构成的7位串行到并行数据转换电路模拟波形



$D_0D_1D_2D_3D_4D_5D_6$ =1101001

$D_0'D_1'D_2'D_3'D_4'D_5'D_6'$ =0110111

7位并行-串行转换器



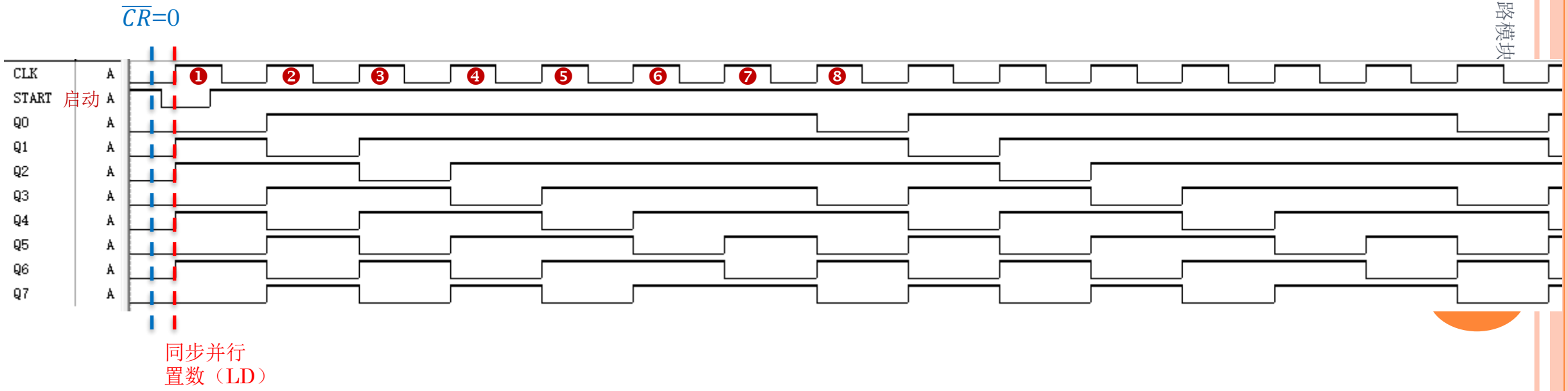
1. 启动脉冲作用期间，7位数码$D_{I0} \sim D_{I6}$以及标志码$D_0 = 0$并行输入
2. 启动脉冲消失，与非门G_1输出为1($Q_0 = D_0 = 0$)，执行移位功能，刚才的并行输入$D_{I0} \sim D_{I6}$ 由II片的 Q_3 逐位串行输出，同时不断将I片的串行输入$J = \bar{K} = 1$的数据移位寄存。
3. 当第7个CP到达后，与非门G_1输入全部为1，输出则为0，$G_2 = 0$，标志这一组7位并行输入数据转换结束。

7位并行-串行转换表

片I	片II
$D_0D_1D_2D_3$	$D_0D_1D_2D_3$
0 1 1 0	1 0 1 0

CP	Q_{0I}	Q_{1I}	Q_{2I}	Q_{3I}	Q_{0II}	Q_{1II}	Q_{2II}	Q_{3II}
1	0	D_{I0}	D_{I1}	D_{I2}	D_{I3}	D_{I4}	D_{I5}	D_{I6}
2	1	0	D_{I0}	D_{I1}	D_{I2}	D_{I3}	D_{I4}	D_{I5}
3	1	1	0	D_{I0}	D_{I1}	D_{I2}	D_{I3}	D_{I4}
4	1	1	1	0	D_{I0}	D_{I1}	D_{I2}	D_{I3}
5	1	1	1	1	0	D_{I0}	D_{I1}	D_{I2}
6	1	1	1	1	1	0	D_{I0}	D_{I1}
7	1	1	1	1	1	1	0	D_{I0}
8	0	D'_{I0}	D'_{I1}	D'_{I2}	D'_{I3}	D'_{I4}	D'_{I5}	D'_{I6}

7位串行输出



移位寄存器的应用
（2）环形计数器（Ring Counter）

- 计数器是指对某个信号周期进行计数的器件
  - 每经过一个信号的周期，计数器就会变化一个状态，用以标记周期数。
  - 不一定是按照二进制数或者十进制数进行计数
  - 不同的状态代表着不同的计数值。
- 一个计数器的模值（Modulus）是代表计数器具有的最多状态数，也就是它的主循环状态数。

模n环形计数器

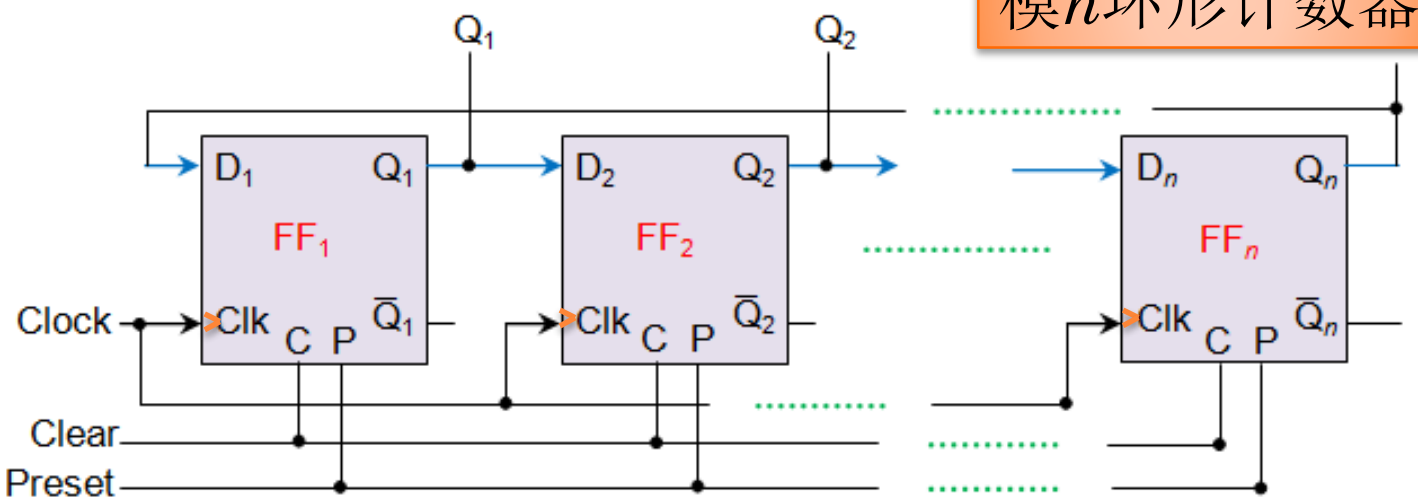


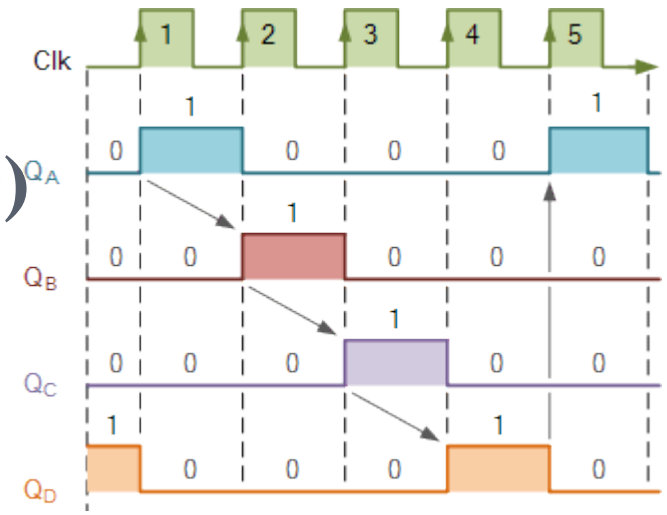
Figure 1 *n*-bit Ring Counter Designed Using D Flip-Flops

如果初始状态为1000…0，那么状态为1的输出端的位置即代表收到的计数脉冲的个数。

结构特点

$D_1 = Q_n$ 即将 FF_n 的输出 Q_n 接到 FF_1 的输入端 D_1。

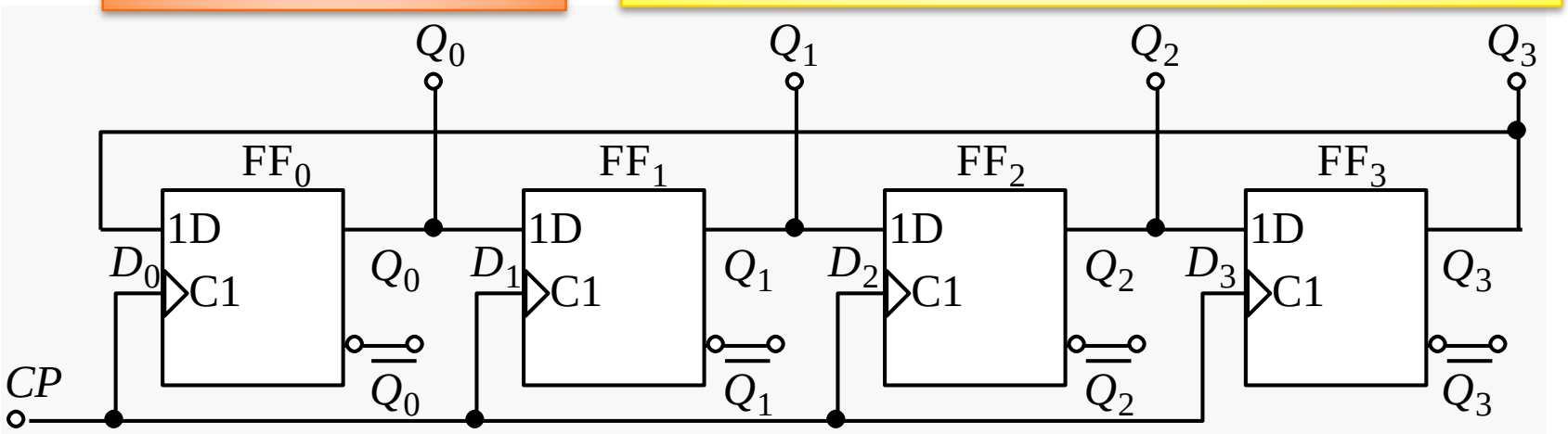
A Ring Counter
Serial-in-Serial-out (SISO)



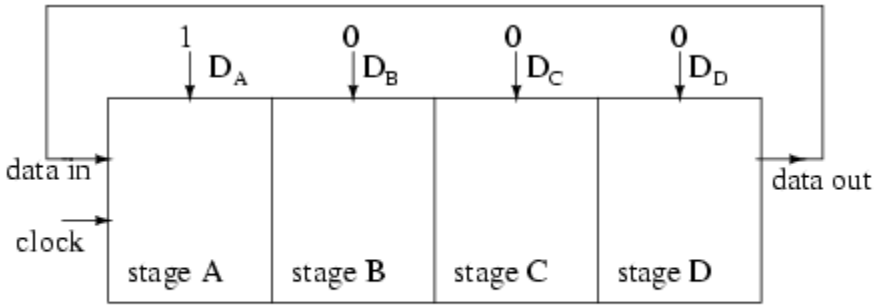
Clock Pulse	Q1	Q2	Q3	Q4
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

模4环形计数器

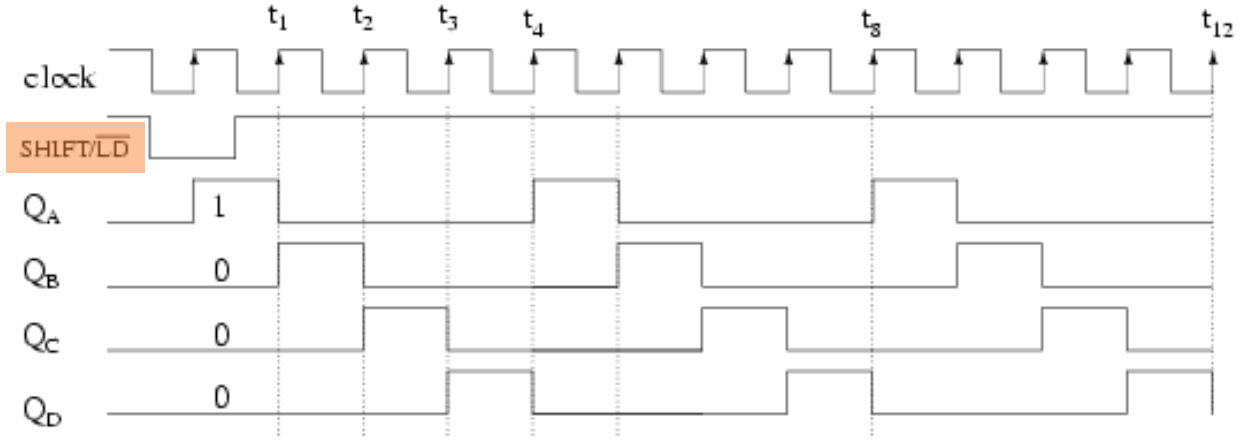
Exactly one data bit in the register is set to logic "1" with all the other bits reset to "0".



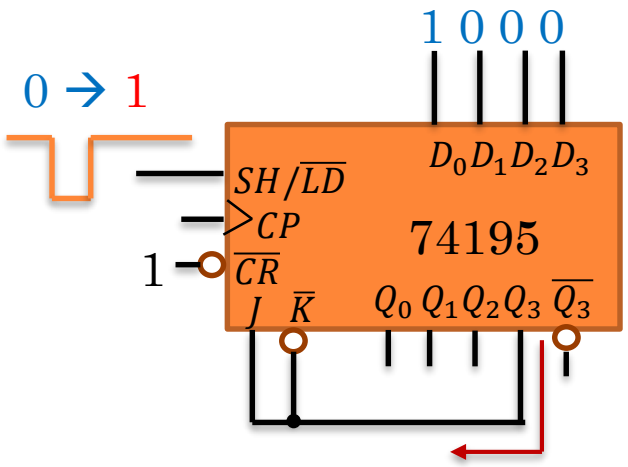
A Ring Counter
Parallel-in-Serial-out (PISO)



Parallel-in, serial-out shift register configured as a ring counter

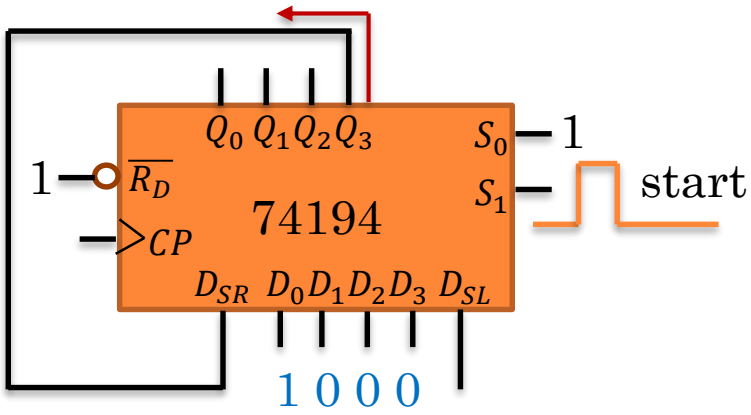


Load 1000 into 4-stage ring counter and shift

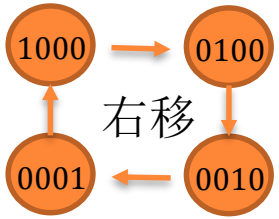


用74194构成环形计数器

$S_1S_0 = 11$, 74194并行输入1000
$S_1S_0 = 01$, 右移操作



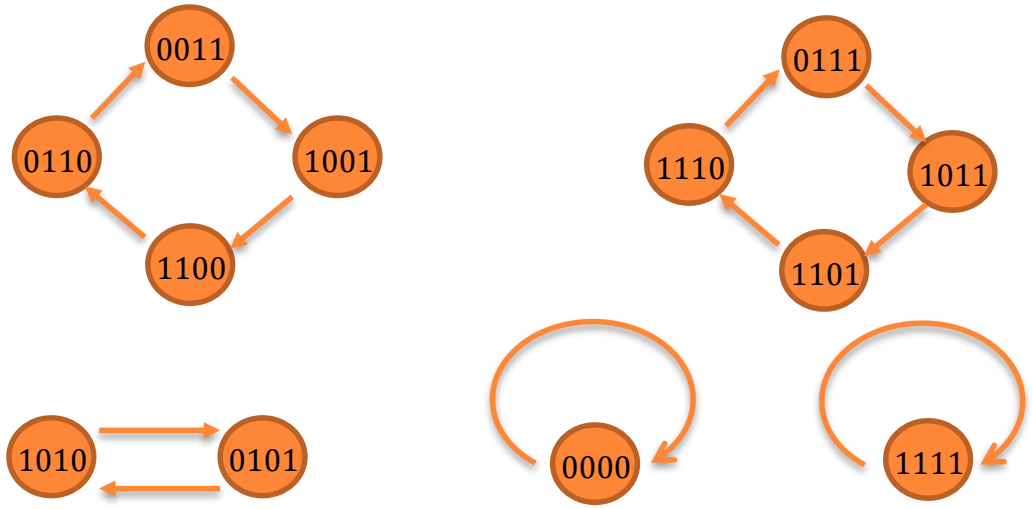
环形计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边



主循环

$Q_0Q_1Q_2Q_3$

注意排列顺序



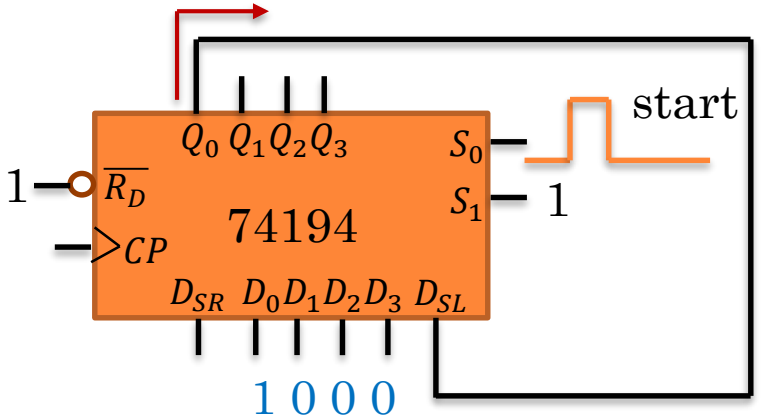
4位环形计数器的偏离状态（非使用状态）

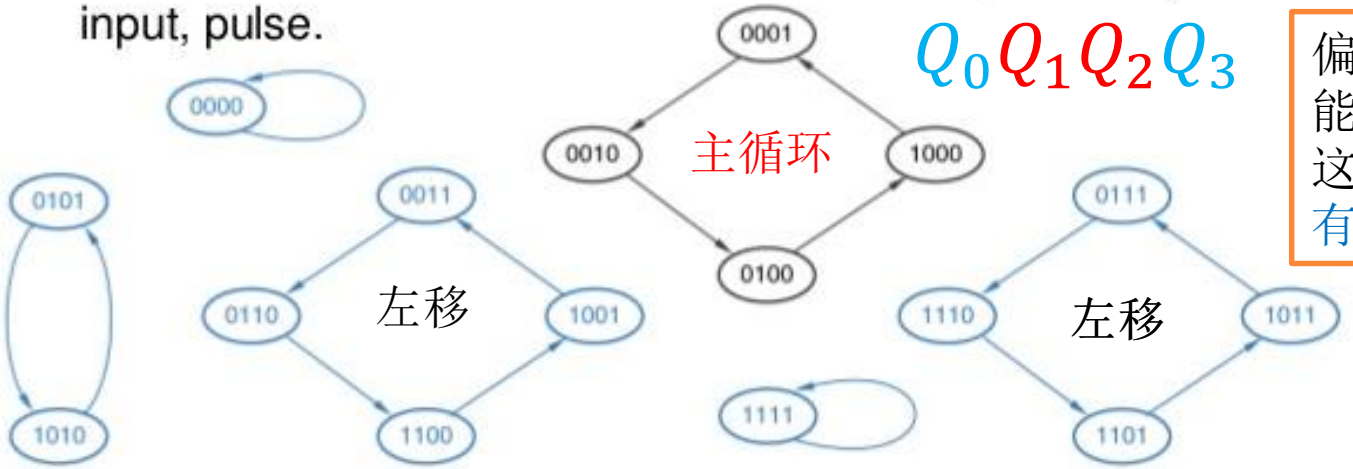
环形计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边

$S_1S_0 = 11$, 74194并行输入1000
$S_1S_0 = 10$, 左移操作

Ring Counter

- A ring counter is a loop of flip-flops interconnected in such a manner that only one of the devices may be in a specified state at one time
- If the specified state is HIGH, then only one device may be HIGH at one time.
- As the clock, or input, signal is received, the specified state will shift to the next device at a rate of 1 shift per clock, or input, pulse.





12个偏离状态

偏离状态若不能转入主循环，这个电路就没有自启动能力

Q_A	Q_B	Q_C	Q_D
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0

设计自启动的3位环形计数器

环形计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边

- 3位环形计数器使用的状态（$Q_0\,Q_1Q_2$）右移→ 001→100→010
- 为了使电路能自启动，需要将未使用的5个无效状态返回有效循环中
  - **解决方案：**改变电路结构，重新设计反馈函数。
- 偏离状态000反馈必须为1
  - 因为主循环有效状态中有1
- 偏离状态111反馈必须为0
  - 因为主循环有效状态中有0
- 偏离状态011、101、110反馈必须为0
  - 因为主循环有效状态中有两个0

原始环形计数器 $D_0 = Q_2$

修改D_0输入

反馈函数真值表

Q_0	Q_1	Q_2	D_0
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

D_0

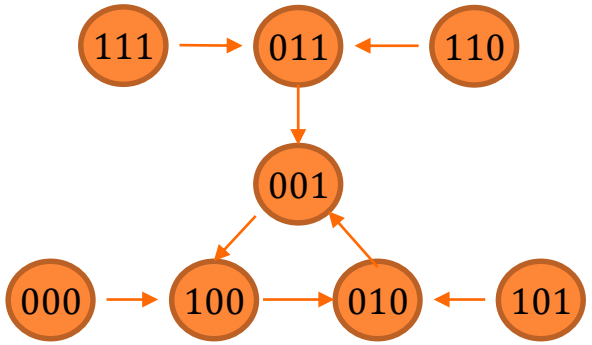
Q_0 \ Q_1Q_2	00	01	11	10
0	1	1	0	0
1	0	0	0	0

$$D_0 = \overline{Q_0} \cdot \overline{Q_1} = \overline{Q_0 + Q_1}$$

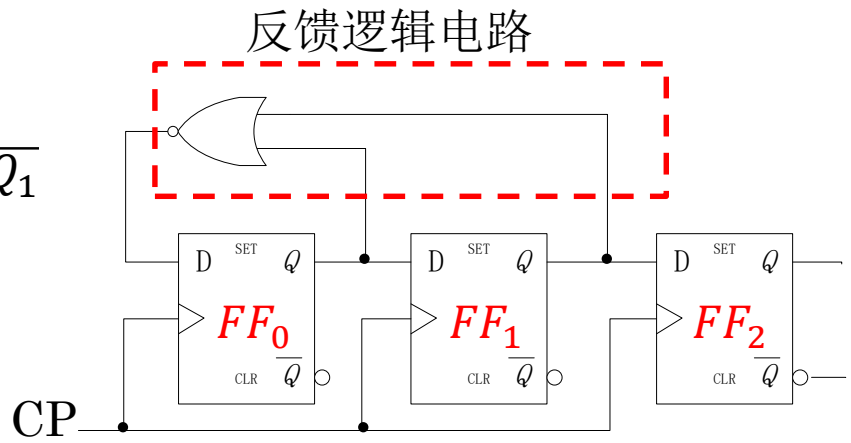
用右移移位寄存器（SRG）构成3-位自启动环形计数器

环形计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边

（$Q_0\,Q_1Q_2$）



$$D_0 = \overline{Q_0} \cdot \overline{Q_1} = \overline{Q_0 + Q_1}$$



反馈函数可以推广，对于n级自启动环形计数器，SRG（右移）构成的反馈函数为

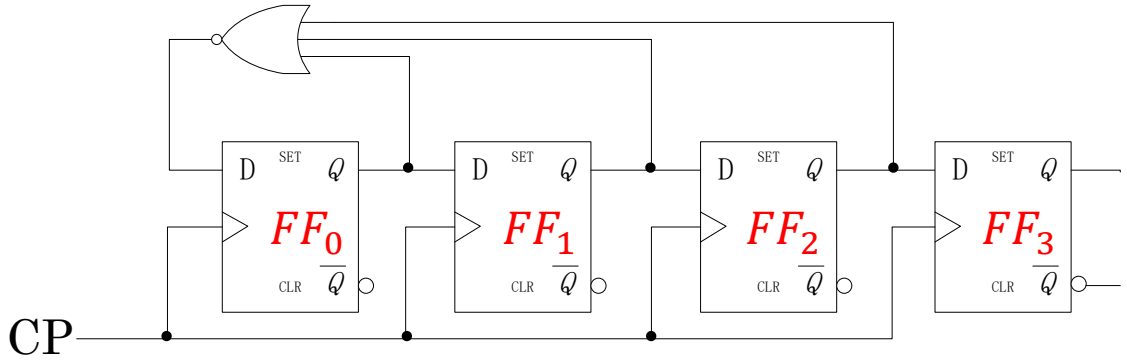
$$D_0 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdots \overline{Q_{n-2}} = \overline{Q_0 + Q_1 + Q_2 + \cdots + Q_{n-2}}$$

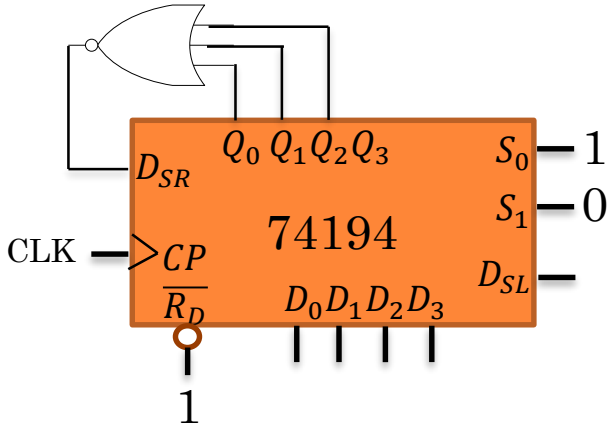
环形计数器主要缺点：没有充分利用电路的状态。
用n位移位寄存器组成的环形计数器只用了n个状态，而电路总共有 2^n 个状态，显然是一种浪费。

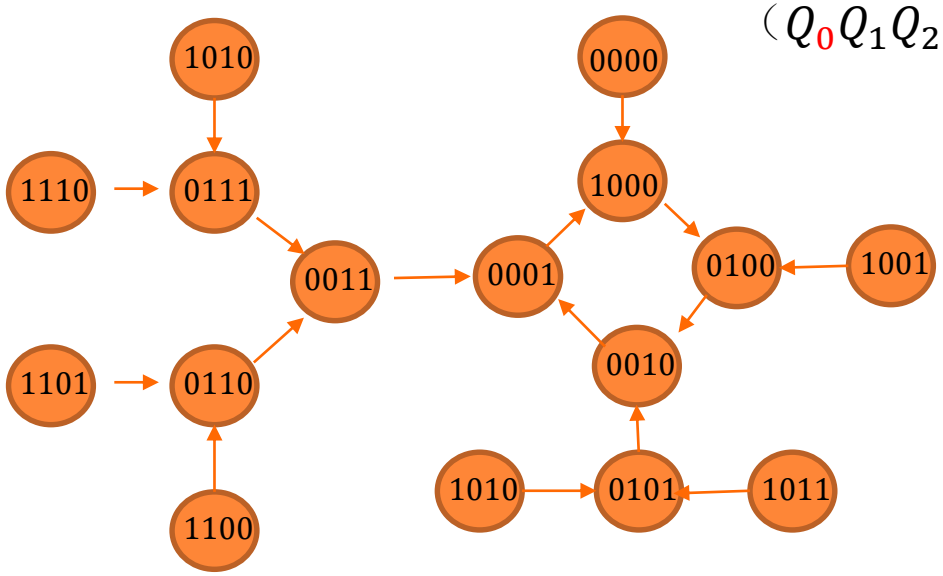
4-位自启动环形计数器（用右移移位寄存器）

环形计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边

根据推广反馈函数 $D_0 = \overline{Q_0 + Q_1 + Q_2}$，画出逻辑图







Q_0	Q_1	Q_2	Q_3	D_0
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

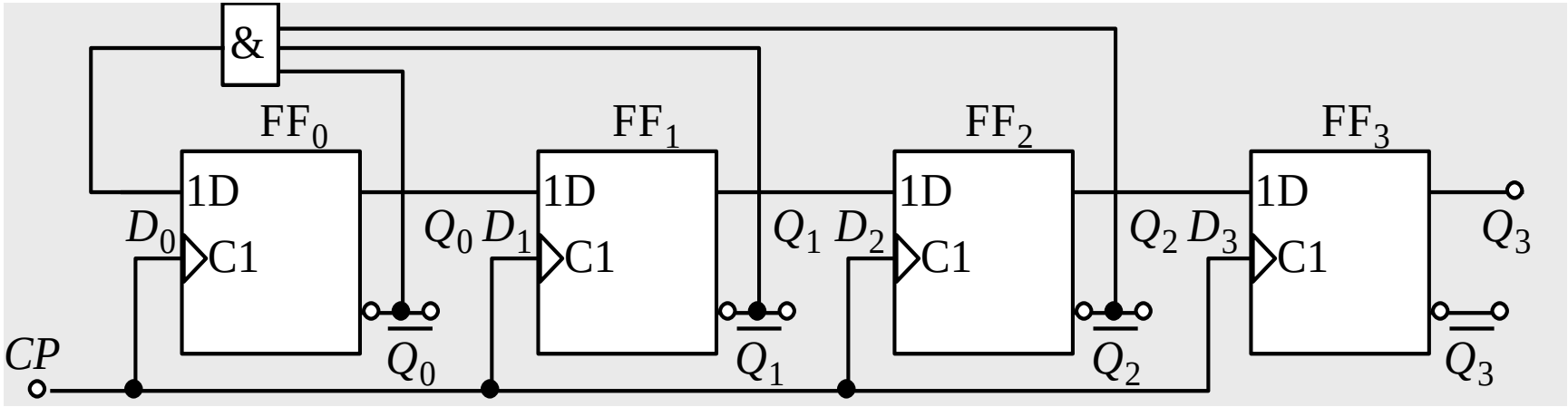
$$D_{SR} = D_0 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$$

D_0

$Q_0 Q_1$ \ Q_2Q_3	00	01	11	10
00	1	1	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

能自启动的4位环形计数器（用右移移位寄存器）

$$D_0 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$$



Ring counter (Self correcting)

- 4 bit, 4 state with a single circulating 1

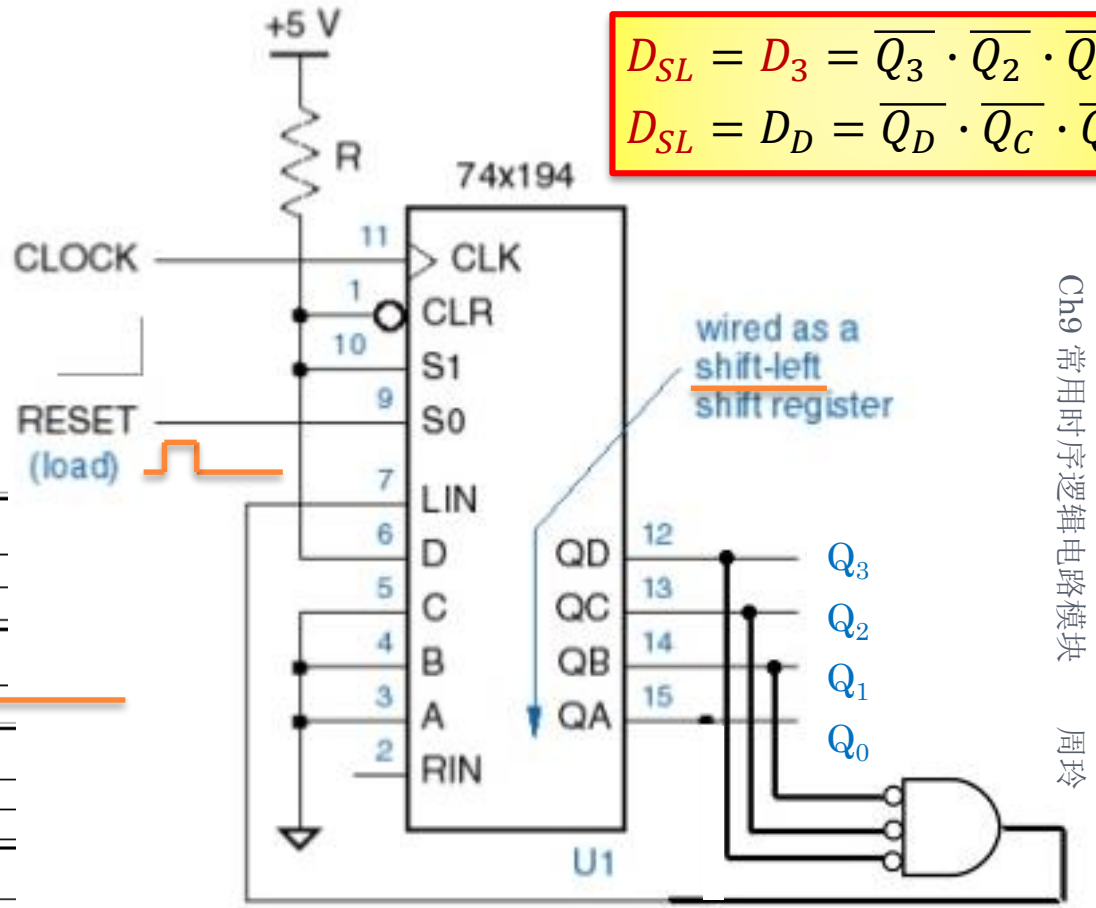
4位双向移位寄存器74194构成环形计数器

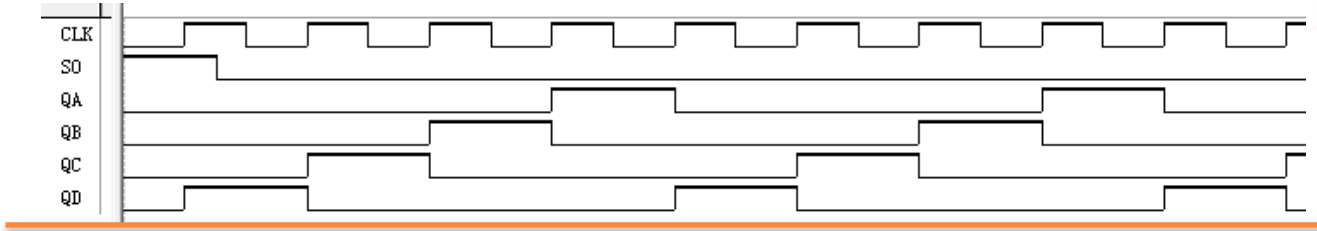
$S_1S_0 = 10$ 左移

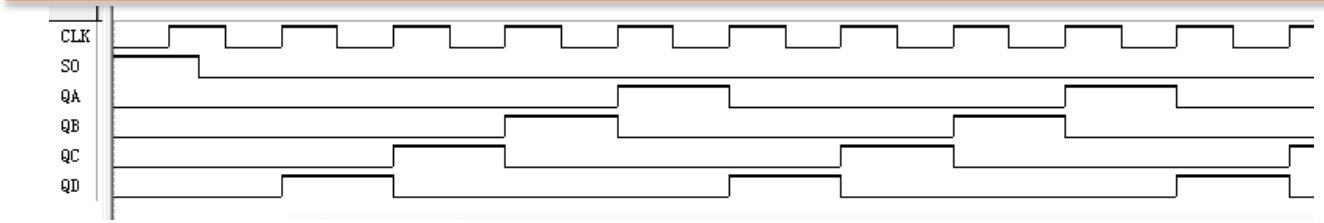
Q_A	Q_B	Q_C	Q_D
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0

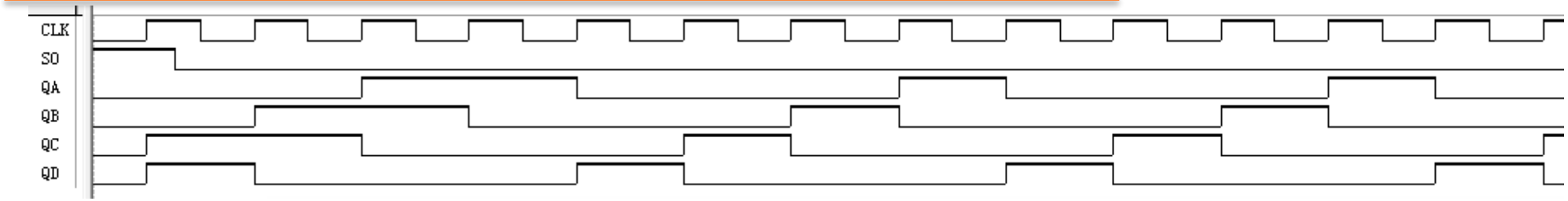
可以预设值，也可以通过如图带反相器的与门让它自启动实现环形计数器。

$$D_{SL} = D_3 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}$$
$$D_{SL} = D_D = \overline{Q_D} \cdot \overline{Q_C} \cdot \overline{Q_B}$$

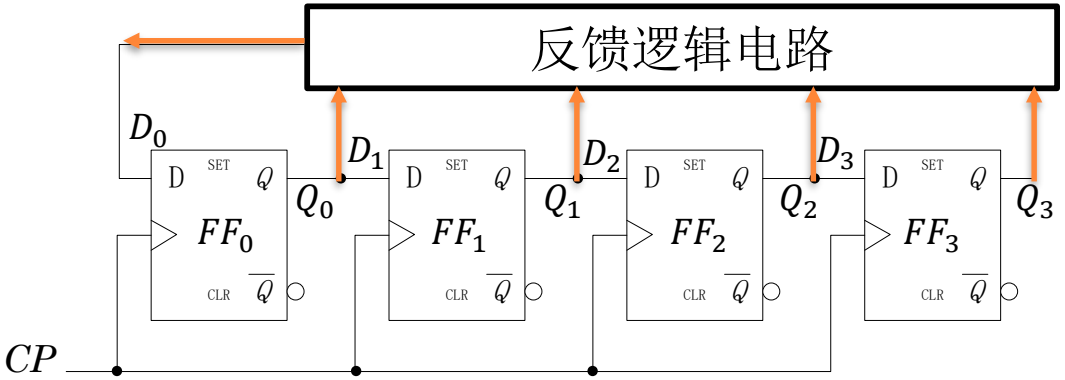








移位寄存器型计数器的一般结构形式



移位寄存器 / 环形计数器 / 扭环形计数器中各FF位置安排：
从左到右FF0 → FF1→⋯ → FFn
状态转换图最高位触发器的状态写在 右 边 （$Q_0\,Q_1Q_2Q_3$）

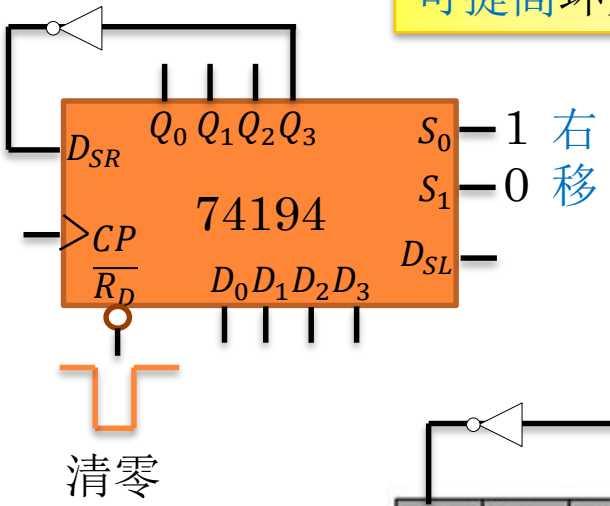
- 环形计数器是反馈逻辑函数中最简单的一种，即$D_0 = Q_{n-1}$（右移寄存器）
  - 电路状态利用率低
  - N位移位寄存器组成模为N的环形计数器
- 若将反馈逻辑函数取为$D_0 = \overline{Q_{n-1}}$，则为扭环形计数器（也称为约翰逊计数器）
  - 可提高环形计数器的电路状态利用率
  - N位移位寄存器组成模为$2N$的扭环形计数器

移位寄存器的应用

（3）扭环形计数器（Twisted Ring Counters or Jonson Ring Counter）

扭环计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边

可提高环形计数器的电路状态利用率

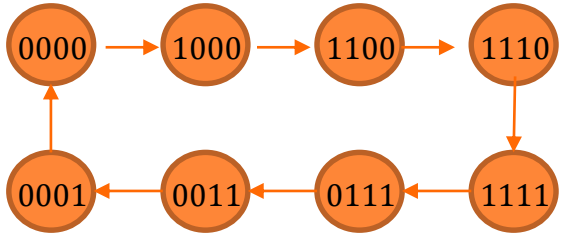


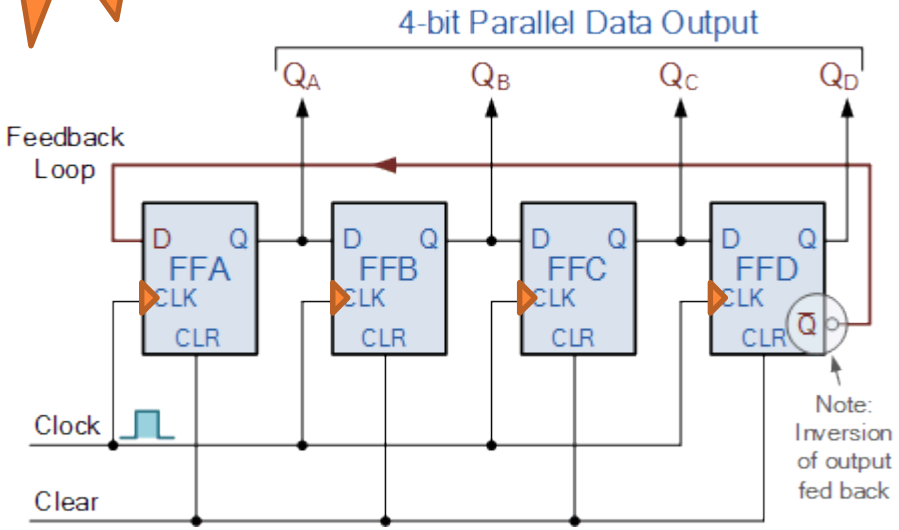
清零

Q_A	Q_B	Q_C	Q_D
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
repeat			

还有8个偏离状态

（$Q_0\ Q_1 Q_2 Q_3$）



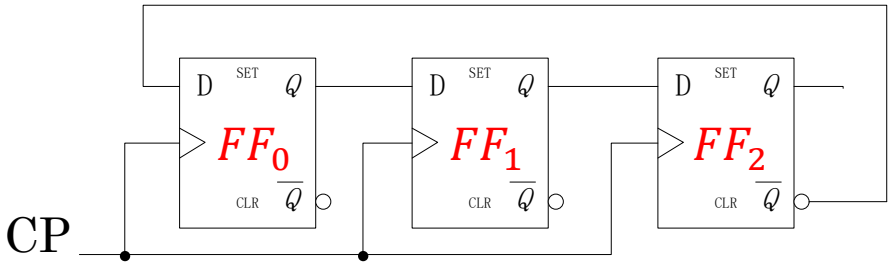


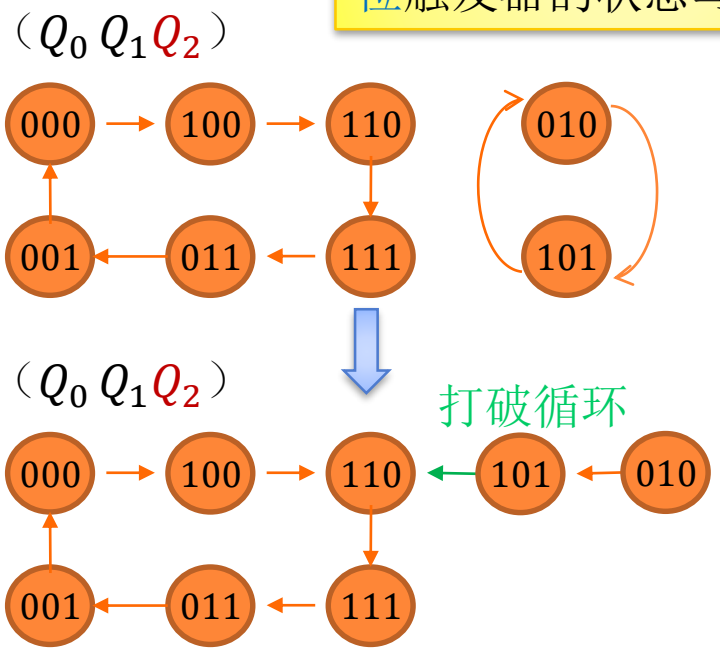
D触发器构成的扭环形计数器

能自启动的3级扭环计数器的设计（1）

- 先画出直接反馈法实现的逻辑电路及其对应状态图。

扭环计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边





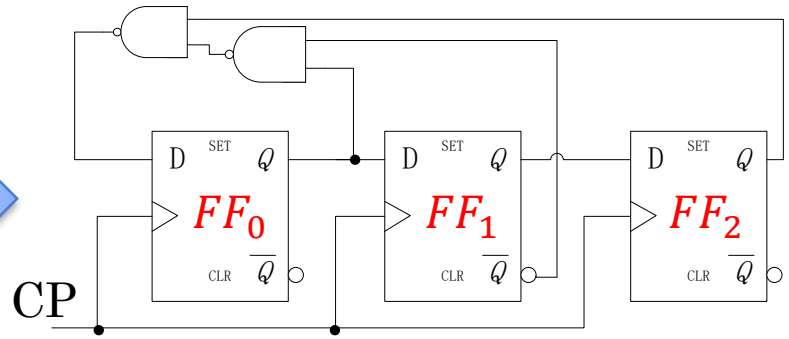
Q0	Q1	Q2	D0
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

只修改第一级触发器的激励方程

D_0

Q_0 \ Q_1Q_2	00	01	11	10
0	1	0	0	1
1	1	1	0	1

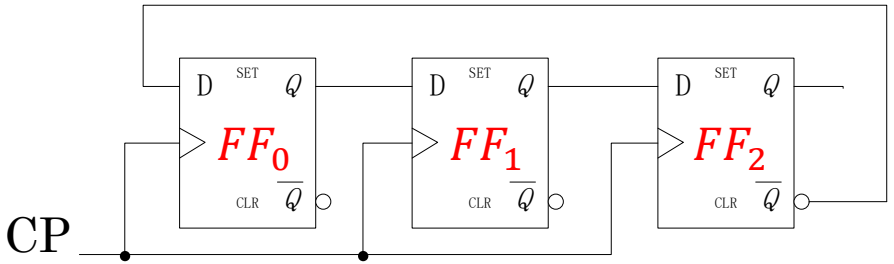
$$D_0 = \overline{Q_2} + \overline{Q_1}Q_0 = \overline{\overline{\overline{Q_2} + \overline{Q_1}Q_0}} = \overline{Q_2 \cdot \overline{\overline{Q_1}Q_0}}$$

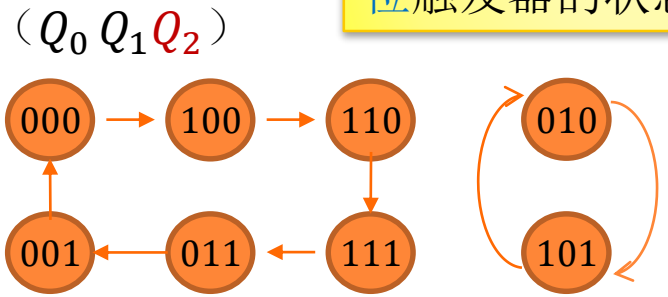


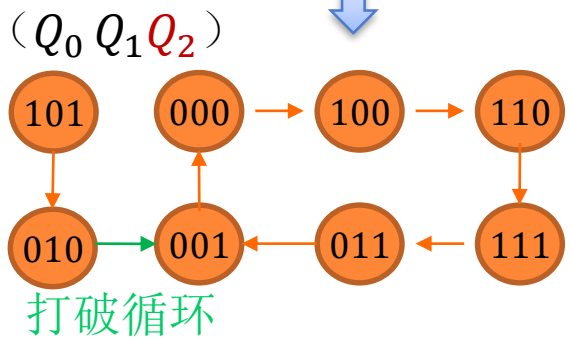
能自启动的3级扭环计数器的设计（2）

- 先画出直接反馈法实现的逻辑电路及其对应状态图。

扭环计数器（和移位寄存器相关）状态转换图最高位触发器的状态写在右边







Q0	Q1	Q2	D0
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

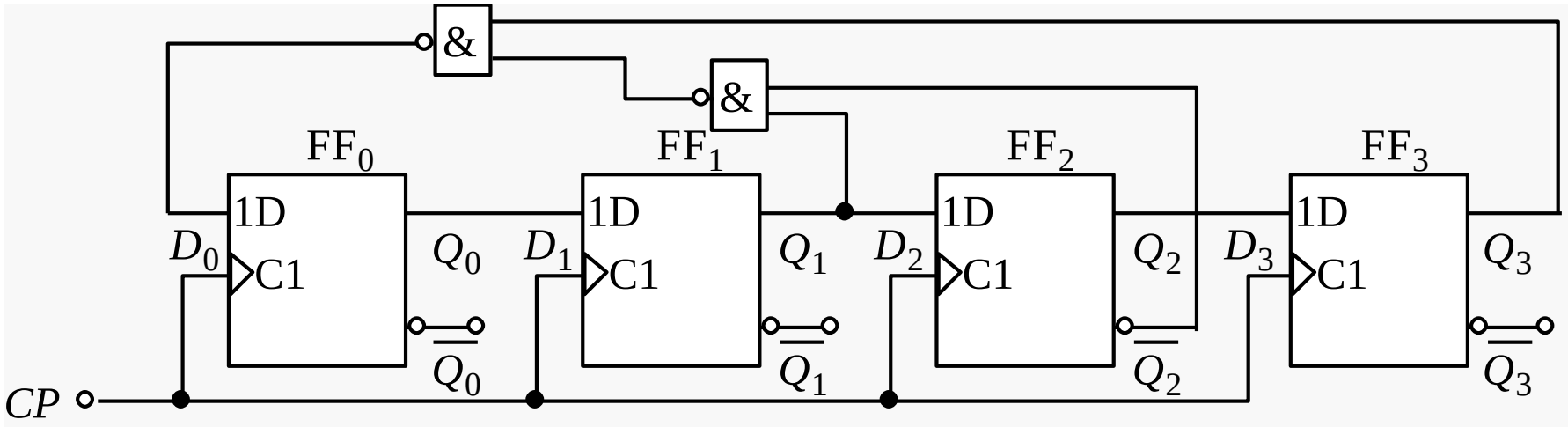
只修改第一级触发器的激励方程

D_0

Q_0 \ Q_1Q_2	00	01	11	10
0	1	0	0	0
1	1	0	0	1

$$D_0 = Q_0\overline{Q_2} + \overline{Q_1}\cdot\overline{Q_2} = \overline{\overline{Q_0\overline{Q_2} + \overline{Q_1}\cdot\overline{Q_2}}} = \overline{\overline{Q_0\overline{Q_2}}\cdot\overline{\overline{Q_1}\cdot\overline{Q_2}}}$$

能自启动的4位扭环形计数器



(a) 逻辑图

排列顺序： $Q_0^n Q_1^n Q_2^n Q_3^n$

0000→1000→1100→1110←1101←1010←0100←1001←0010

↑ 有效循环 ↓ ↑

0001←0011←0111←1111 0101←1011←0110

(b) 状态图

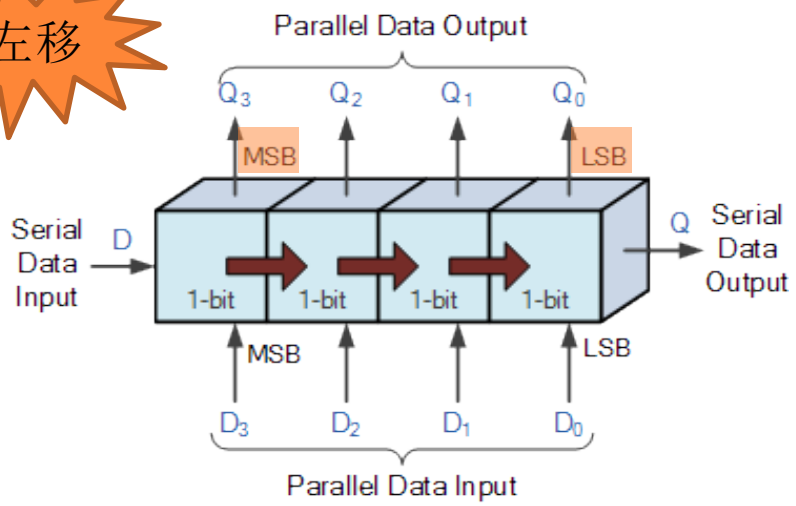
环形和扭环计数器总结

- 环形计数器的突出优点是电路结构极其简单，
  - 在有效循环的每个状态只包含一个1（或0）时，可以直接以各个触发器输出端的1状态表示电路的一个状态，不需要另外加译码电路。
  - 主要缺点是没有充分利用电路的状态。
    - 用n位移位寄存器组成的环形计数器只用了n个状态，而电路总共有2^n个状态，这显然是一种浪费。

计数器	环形计数器		扭环计数器	
优点	极其简单	每个状态只包含一个1（或0）	利用率提高一倍	得到2n个有效状态的循环
缺点	没有充分利用电路的状态	n位移位寄存器只用了n个状态	仍有$2^n - 2n$个状态没有利用	

更多移位寄存器的应用与总结

左移



- 算术运算（若移位寄存器存放的是二进制数D）
  - 右移（由低位向高位移动1位），相当于$D \times 2$
  - 左移（由高位向低位移动1位），相当于$D \div 2$
  - 这个是计算机基本的二进制操作，不仅仅局限于C语言，事实上绝大多数计算机编程语言都支持这个操作。
- 数据延迟
  - 一个数据存放在移位寄存器中，每移动一位，就相当于数据延迟了一个脉冲节拍。

移位寄存器分类	右移		左移
信号移动方向	从低位到高位		从高位到低位
集成模块型号	74195	74194	74194
串行输入端口	$J = \overline{K}$	D_{SR}	D_{SL}
串行输出端口	Q_3		Q_0
状态转换图排序	$Q_0\,Q_1Q_2Q_3$		$Q_0\,Q_1Q_2Q_3$
4位自启动环形	$D_{SR} = D_0 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} = \overline{Q_0 + Q_1 + Q_2}$		$D_{SL} = D_3 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} = \overline{Q_3 + Q_2 + Q_1}$

内容

- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

计数器

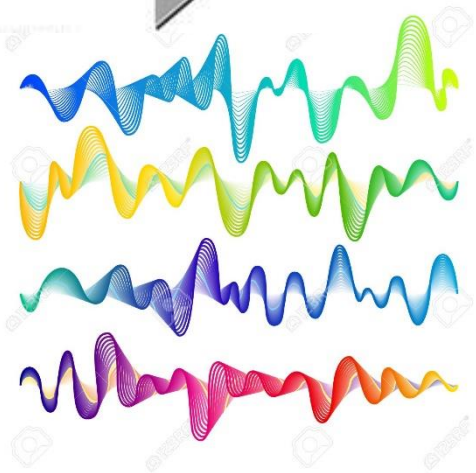
计数器是数字电路和计算机中广泛应用的一种逻辑部件，可累计输入脉冲的个数

计数器的分类

- 按编码方式分类可分为
  - 二进制计数器和非二进制计数器
  - 非二进制计数器中典型的是十进制计数器
- 按数字的增减的计数方式分为
  - 加法计数器、减法计数器和加减可逆计数器
- 按计数器中触发器翻转是否与计数脉冲同步分为
  - 同步计数器和异步计数器。
- 有时也用计数器的计数容量来区分
  - 十进制计数器
  - 六十进制计数器

计数器的应用

- 定时、分频、时序控制等



同步计数器

n位同步计数器通常用T触发器构成，结构形式有两种。$Q^{n+1} = T \oplus Q^n$

1. 一种是控制输入端T的状态
   - 当每次CLK信号（也就是计数脉冲）到达时，使该翻转的那些触发器输入控制端$T_i = 1$；不该翻转的$T_i = 0$。
   - 则第i位触发器输入端为

$$T_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \cdot Q_0 = \prod_{j=0}^{i-1} Q_j \qquad (i = 1, 2, \cdots, n-1)$$

   - 只有最低位例外，按照计数规则，每次输入计数脉冲时它都要翻转，故 $T_0 = 1$

2. 另一种形式是控制时钟信号
   - 每次计数脉冲到达时，只能加到该翻转的那些触发器的CLK输入端上，而不能加给那些不该翻转的触发器；

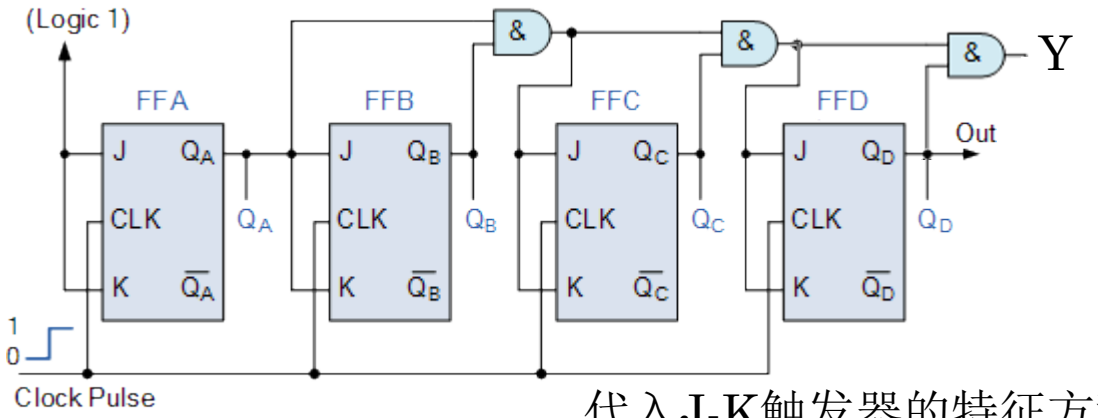
$$clk_i = CLK \prod_{j=0}^{i-1} Q_j \qquad (i = 1, 2, \cdots, n-1)$$

   - 同时，将所有的触发器接成$T = 1$的状态。
   - 这样，就可以用计数器电路的不同状态来记录输入的CLK脉冲数目。

同步二进制计数器

4位同步二进制加法计数器

4-bit synchronous binary up counter



J-K触发器的驱动方程

$$J_A = K_A = 1$$
$$J_B = K_B = Q_A^n$$
$$J_C = K_C = Q_A^n Q_B^n$$
$$J_D = K_D = Q_A^n Q_B^n Q_C^n$$

输出方程为

$$Y = Q_A^n Q_B^n Q_C^n Q_D^n$$

代入J-K触发器的特征方程

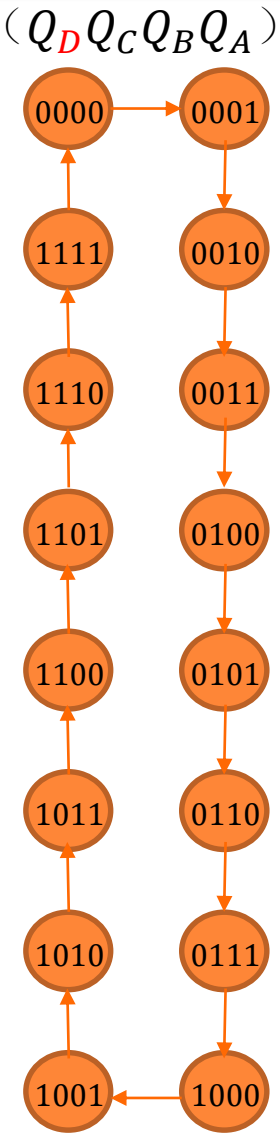
$$Q^{n+1} = J \cdot \overline{Q^n} + \overline{K} \cdot Q^n$$

得到状态转移方程

$$Q_A^{n+1} = \overline{Q_A^n}$$
$$Q_B^{n+1} = Q_A^n \oplus Q_B^n$$
$$Q_C^{n+1} = Q_A^n Q_B^n \oplus Q_C^n$$
$$Q_D^{n+1} = Q_A^n Q_B^n Q_C^n \oplus Q_D^n$$

Y端电位的下降沿可作为向高位计数器电路进位的输出端。

当J、K连在一起时，相当于T触发器，其特征方程为： $Q^{n+1} = T \oplus Q^n$



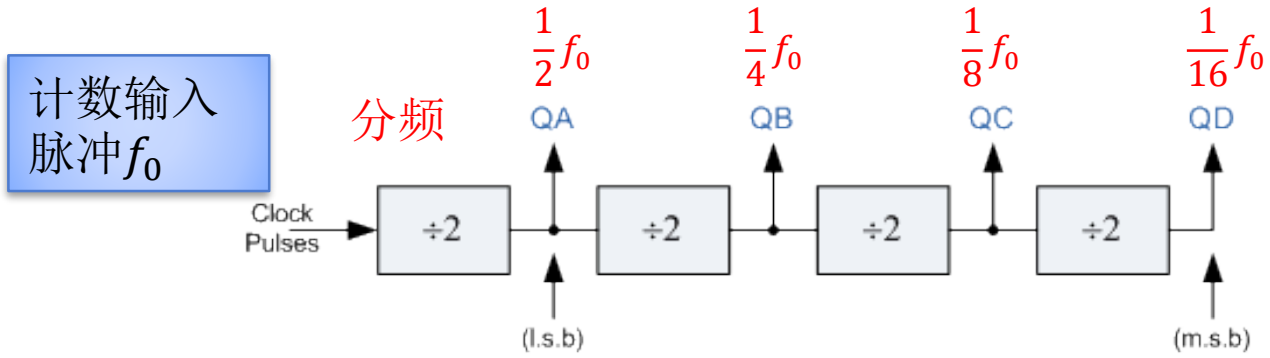
- 计数器逻辑图中的触发器排列FF0~FF3（或者FFA~FFD）,仍然是从低到高，
- 计数器状态转换图最高位触发器的状态写在 左 边

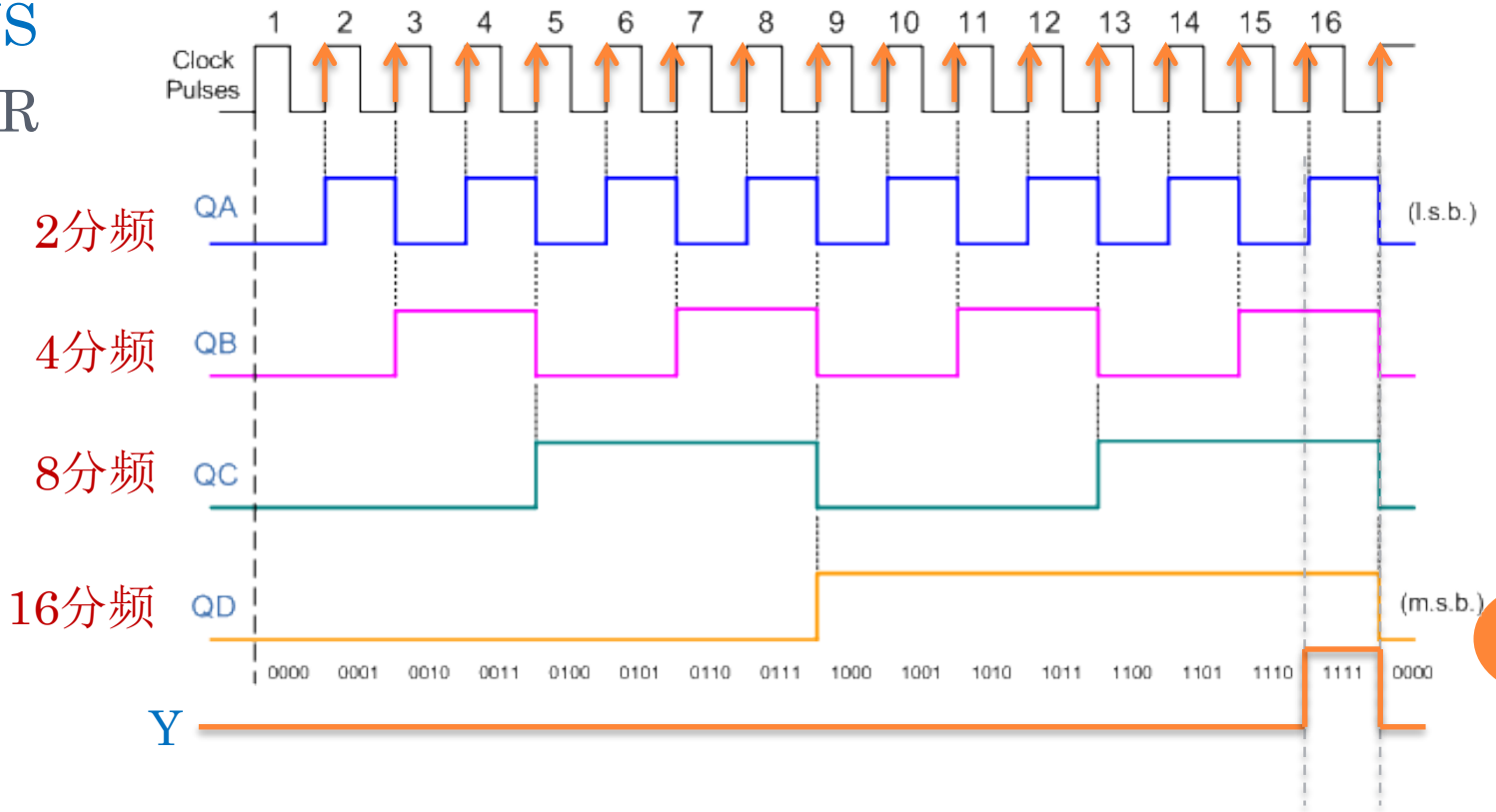
4位二进制同步计数器状态转移表

计数顺序	计数器状态				输出
	Q_3	Q_2	Q_1	Q_0	CO
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

$CO = Q_3^n Q_2^n Q_1^n Q_0^n$，因此，$CO$在计数至“15”时跃变为高电平，在计至“16”时输出进位信号的下降沿。

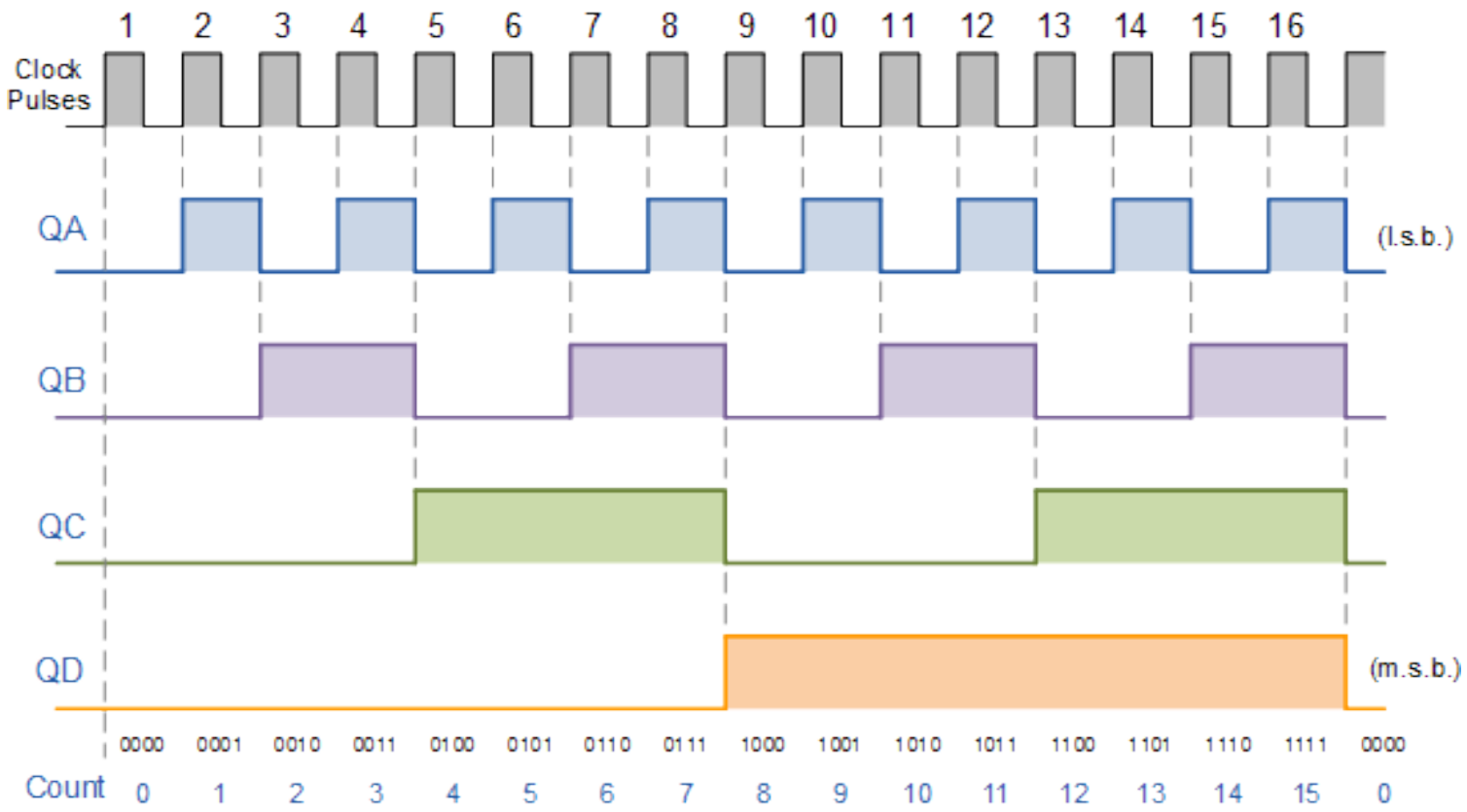
TIMING DIAGRAM OF 4-BIT SYNCHRONOUS BINARY UP COUNTER

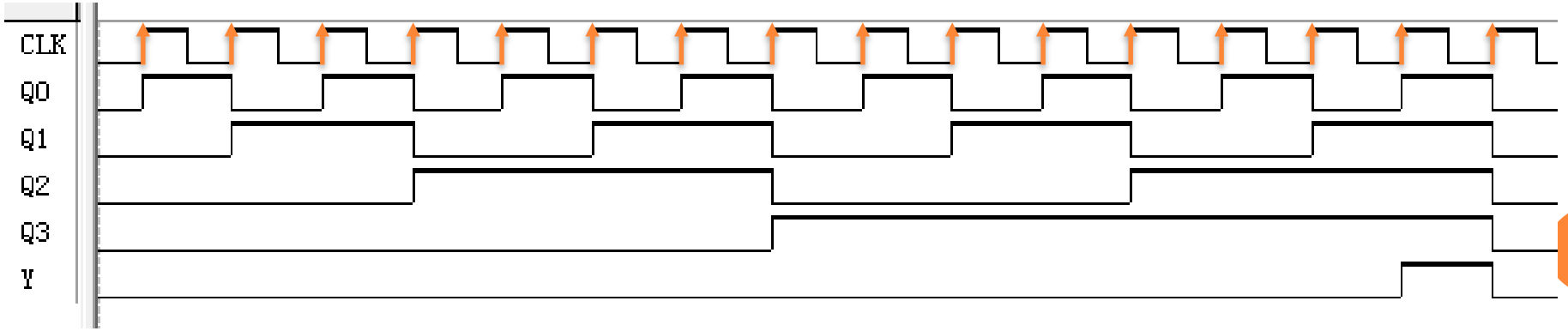




计数器有分频功能，也称分频器。

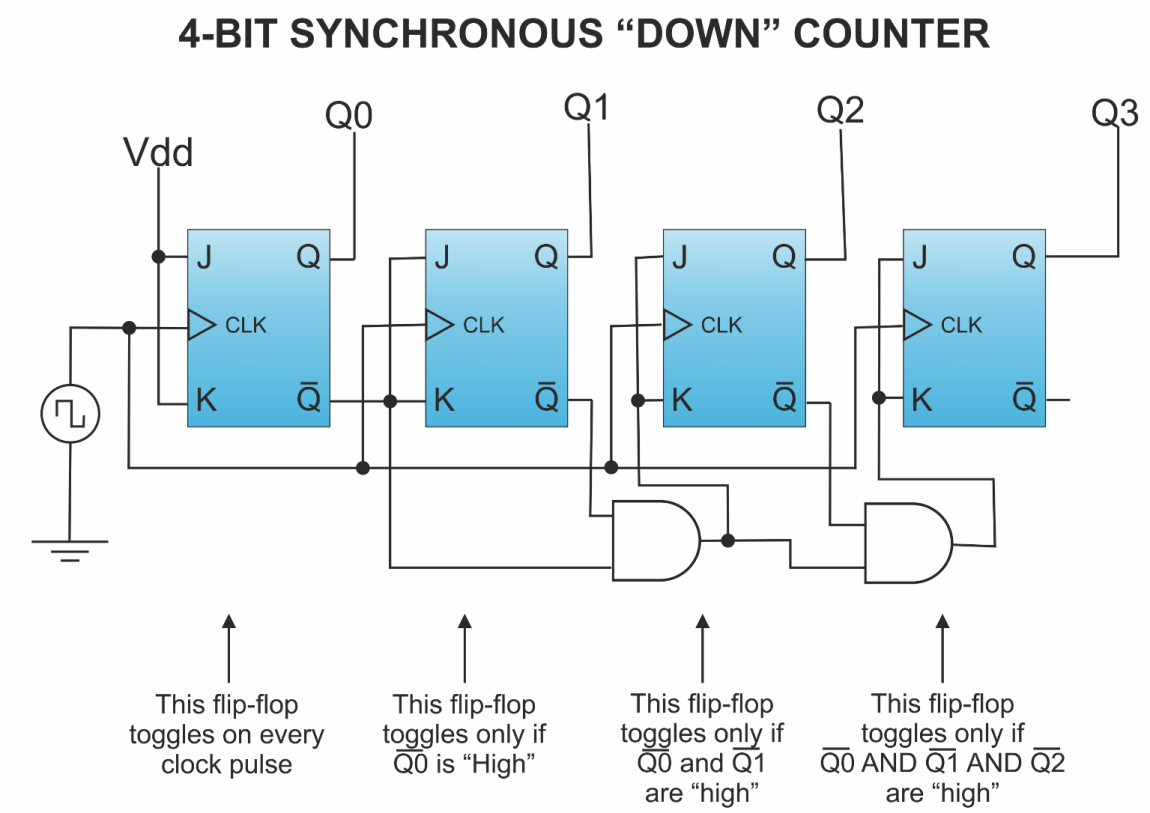
4-bit synchronous binary up counter





4位同步二进制减法计数器

代入J-K触发器的特征方程 $Q^{n+1}=J\cdot\overline{Q^n}+\overline{K}\cdot Q^n$
或者T触发器的特征方程 $Q^{n+1}=T\oplus Q^n$

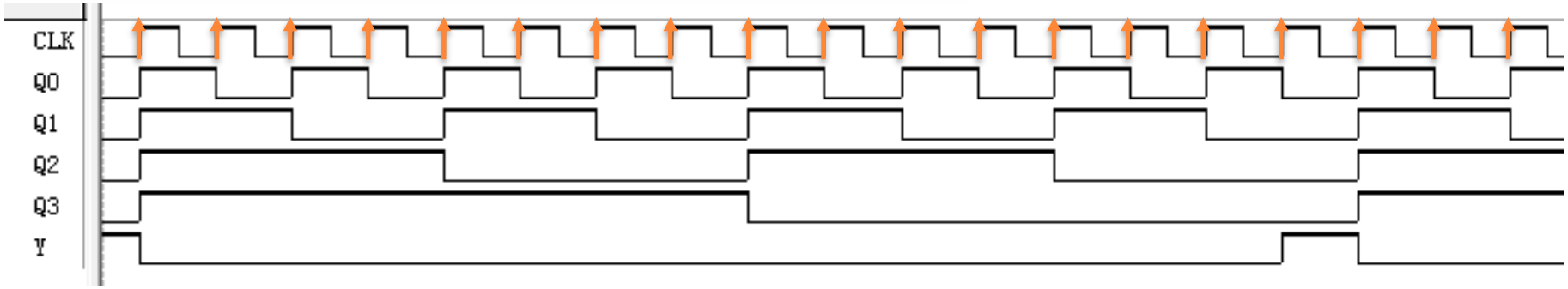


J-K触发器的驱动方程

$$J_0=K_0=1$$
$$J_1=K_1=\overline{Q_0^n}$$
$$J_2=K_2=\overline{Q_0^n}\cdot\overline{Q_1^n}$$
$$J_3=K_3=\overline{Q_0^n}\cdot\overline{Q_1^n}\cdot\overline{Q_2^n}$$

得到状态转移方程

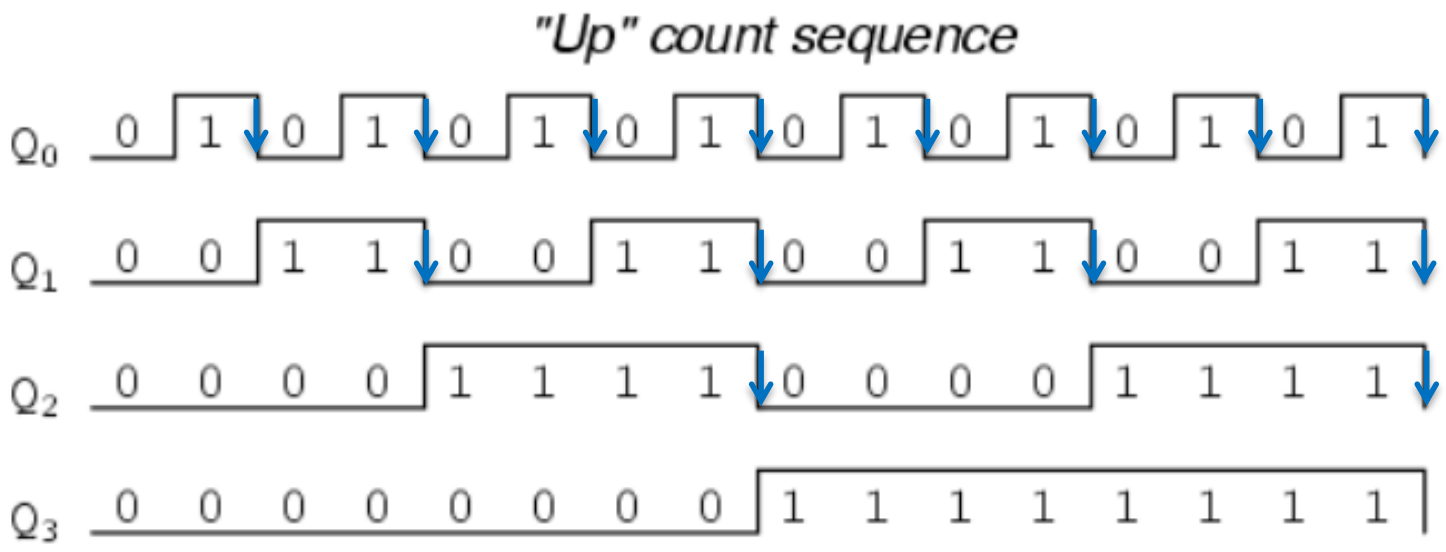
$$Q_0^{n+1}=\overline{Q_0^n}$$
$$Q_1^{n+1}=\overline{Q_0^n}\oplus Q_1^n$$
$$Q_2^{n+1}=\overline{Q_0^n}\cdot\overline{Q_1^n}\oplus Q_2^n$$
$$Q_3^{n+1}=\overline{Q_0^n}\cdot\overline{Q_1^n}\cdot\overline{Q_2^n}\oplus Q_3^n$$



时序图

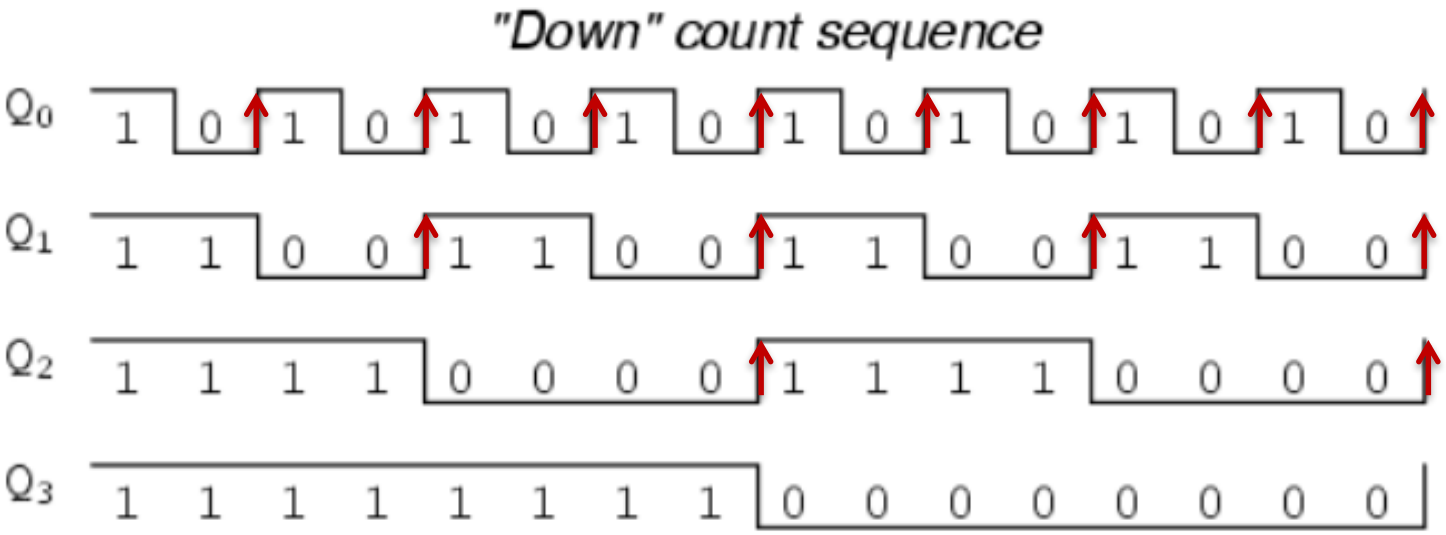
加法计数器

Q_i在Q_{i-1}波形的下降沿发生翻转（$i \geq 1$）



减法计数器

Q_i在Q_{i-1}波形的上升沿发生翻转（$i \geq 1$）

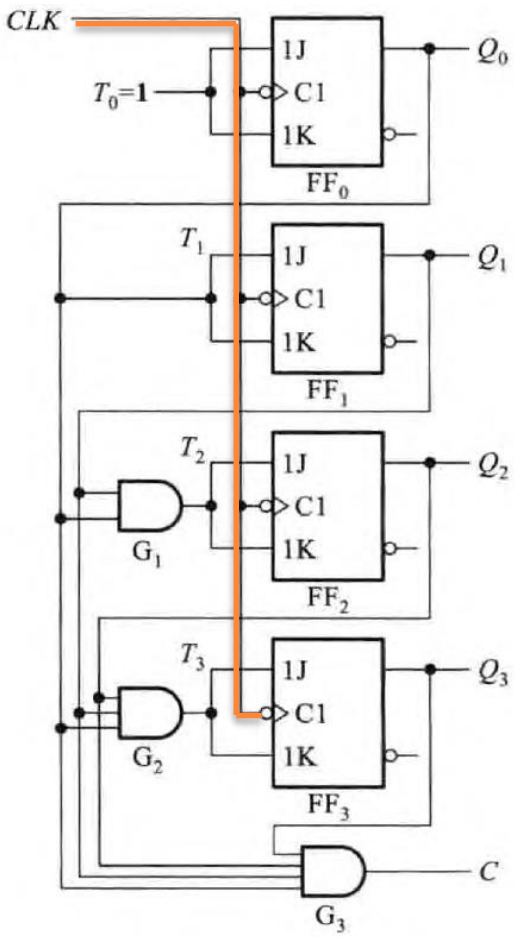


T触发器组成的4位同步二进制

若用控制输入端T的状态方法，
上升沿/下降沿触发的TFF都可以构成

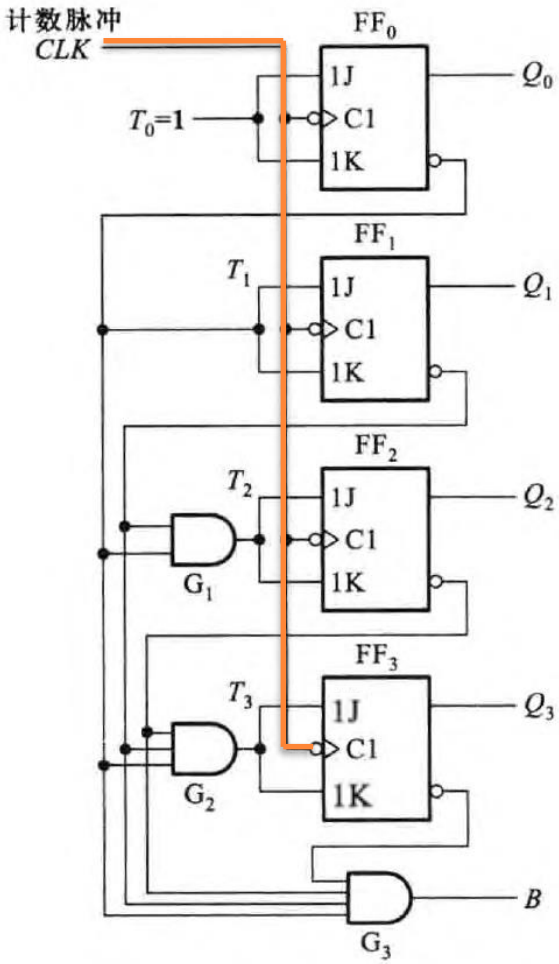
加法计数器

$$T_0 = 1$$
$$T_1 = Q_0$$
$$T_2 = Q_0Q_1$$
$$T_3 = Q_0Q_1Q_2$$
$$C = Q_0Q_1Q_2Q_3$$



减法计数器

$$T_0 = 1$$
$$T_1 = \overline{Q_0}$$
$$T_2 = \overline{Q_0} \cdot \overline{Q_1}$$
$$T_3 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$$
$$B = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$$



采用控制时钟方法组成4位同步二进制加法计数器

若用控制时钟方法，必须使用下降沿触发的TFF

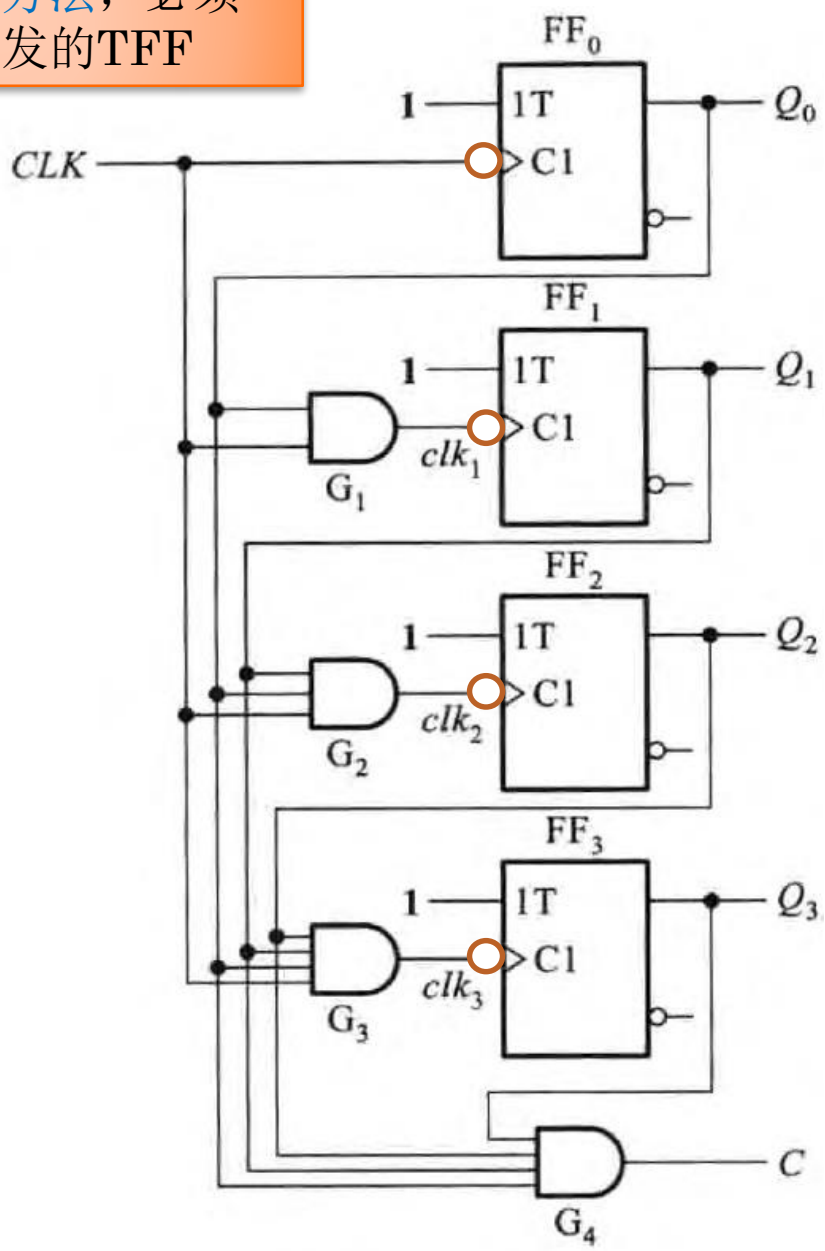
时钟信号 $clk_i = CLK\prod_{j=0}^{i-1} Q_j \qquad (i = 1, 2, \cdots, n-1)$

$T_i \equiv 1 \qquad (i = 0, 2, \cdots, n-1)$

- clk_i只表示一个完整的时钟脉冲，既不表示高电平，也不表示低电平，CLK即输入脉冲。
- 对于除FF0以外的每个触发器，只有在低位触发器全部为1时，计数脉冲CLK才能通过与门G1~G3送到这些触发器的输入端使之翻转。

若要组成减法计数器，时钟连接$\overline{Q_j}$

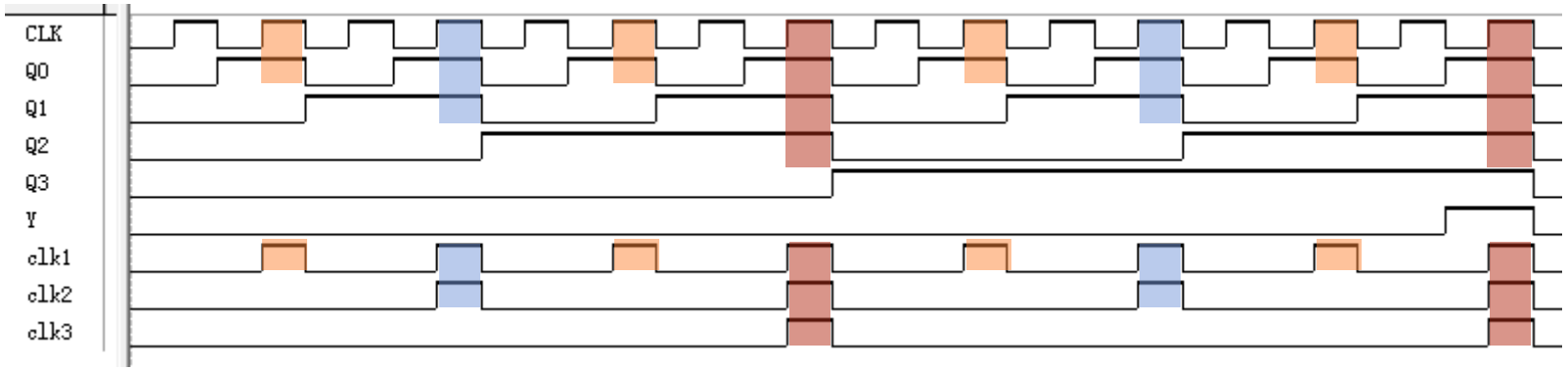
$$clk_i = CLK\prod_{j=0}^{i-1} \overline{Q_j} \qquad (i = 1, 2, \cdots, n-1)$$



采用控制时钟方法组成4位同步二进制加法计数器

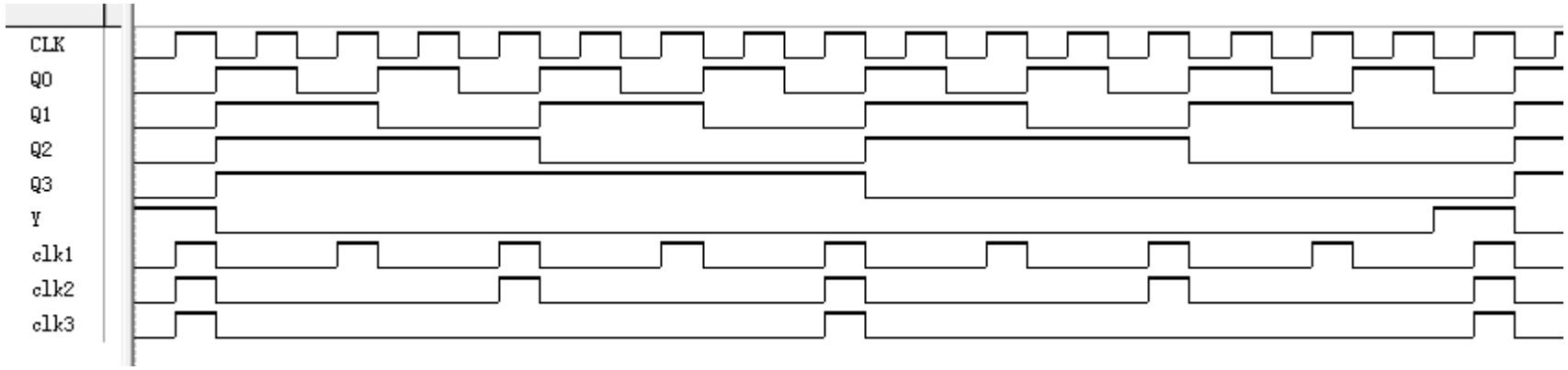
时钟信号 $clk_i = CLK\prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \cdots, n-1)$

$T_i \equiv 1 \quad (i = 0, 2, \cdots, n-1)$

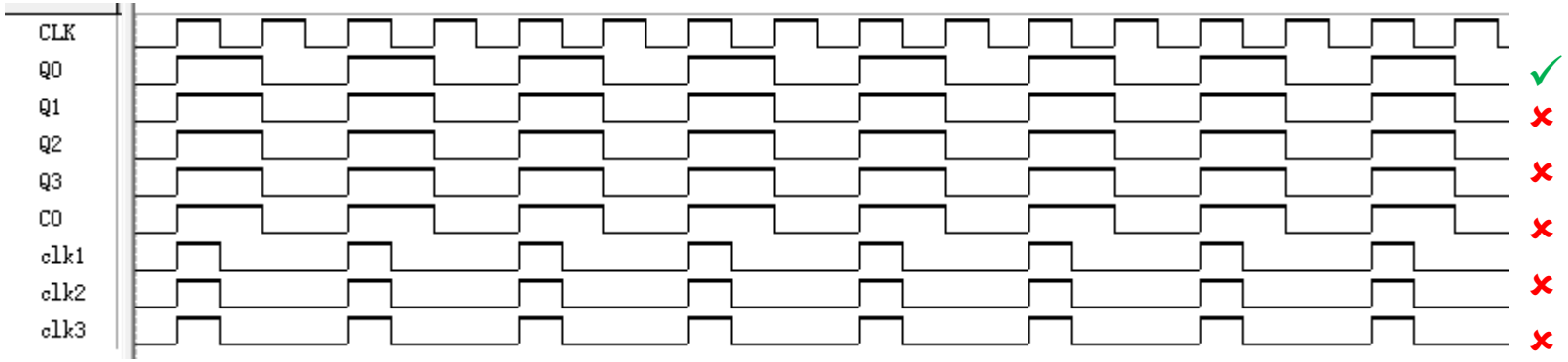


采用控制时钟方法组成4位同步二进制减法计数器

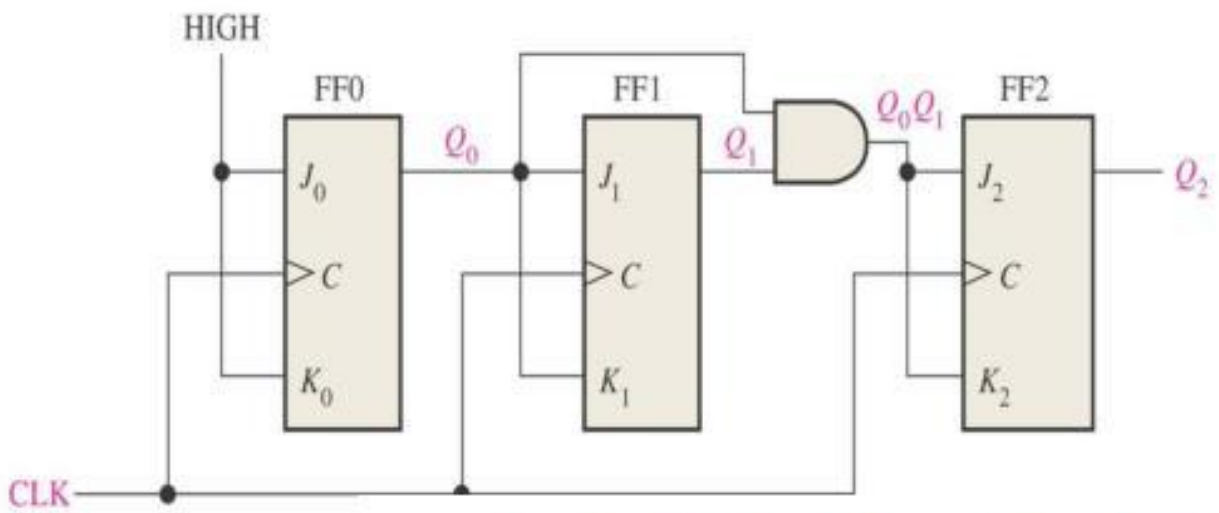
$clk_i = CLK\prod_{j=0}^{i-1} \overline{Q_j} \quad (i = 1, 2, \cdots, n-1)$



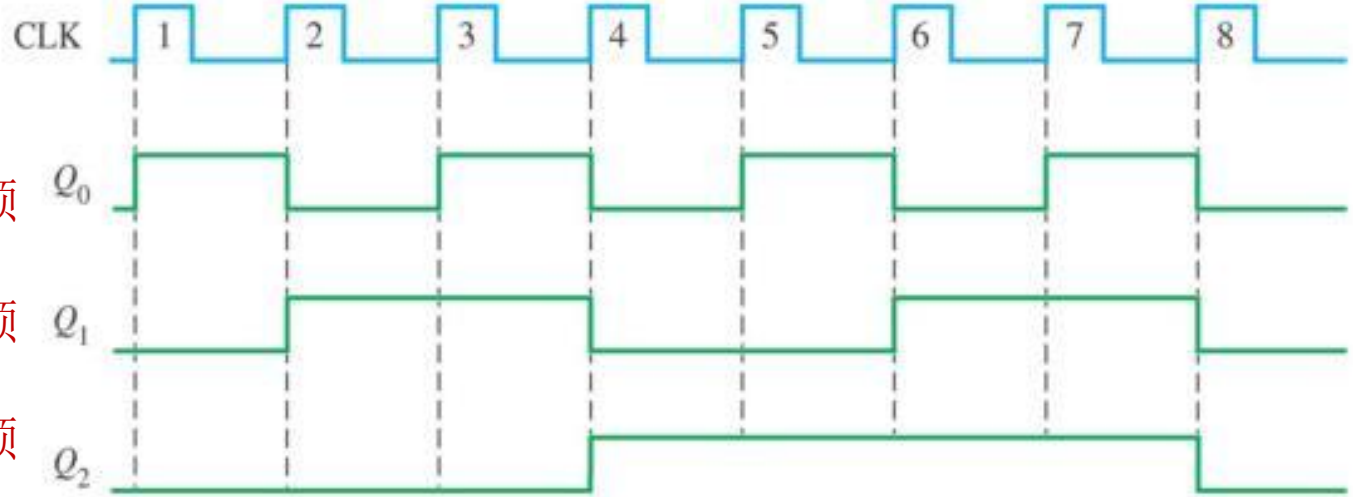
若用控制时钟方法，使用的是上升沿触发的TFF，产生不了想要的UPCOUNTER波形



A 3-Bit Synchronous Binary Counter



n个触发器构成n位二进制计数器，或模2^n计数器，或2^n分频器



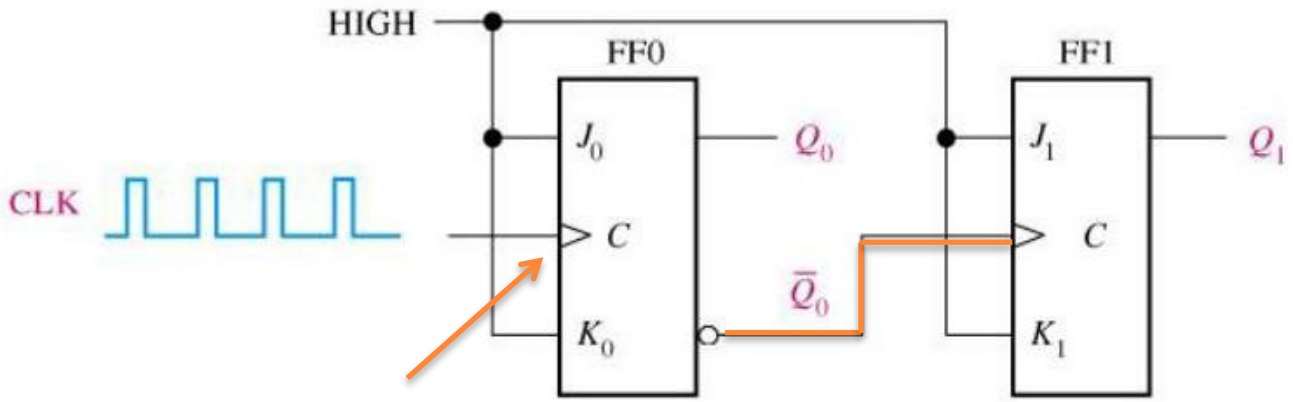
2^3分频器

2分频

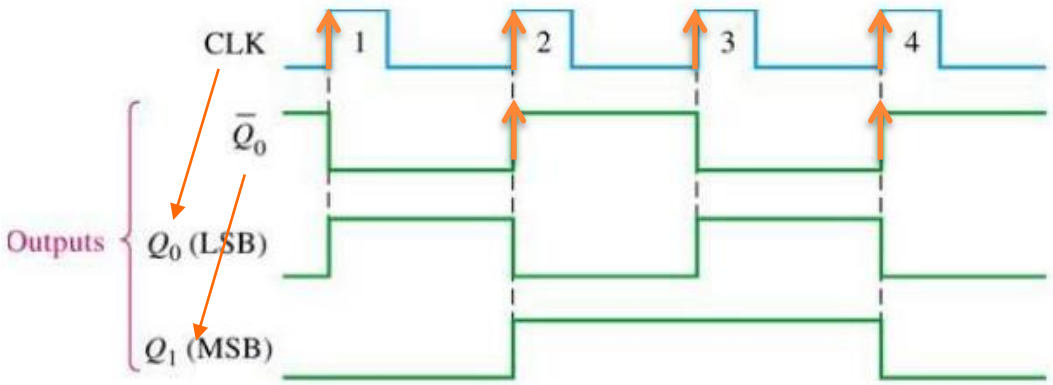
4分频

8分频

异步二进制加法计数器（UP COUNTER）



上升沿触发（positive-edge triggered）



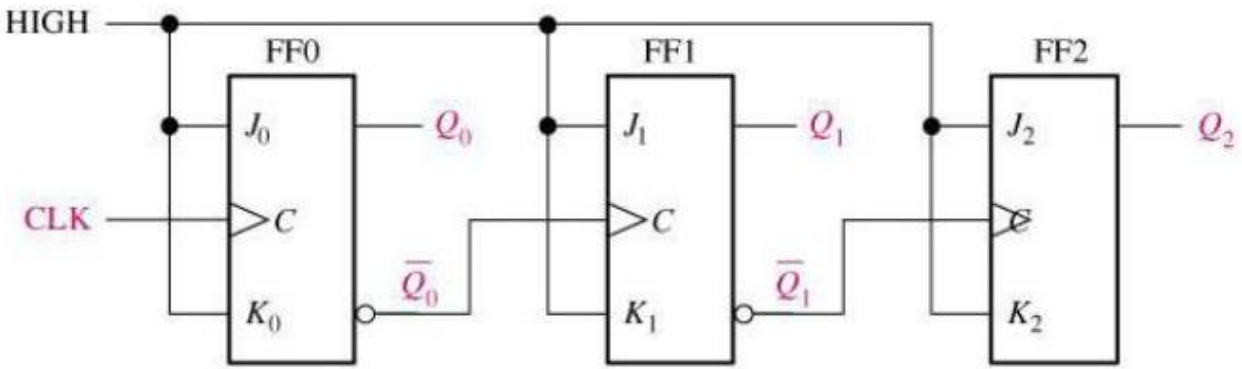
The clock will be input C.

FF0 the first Flip-flop

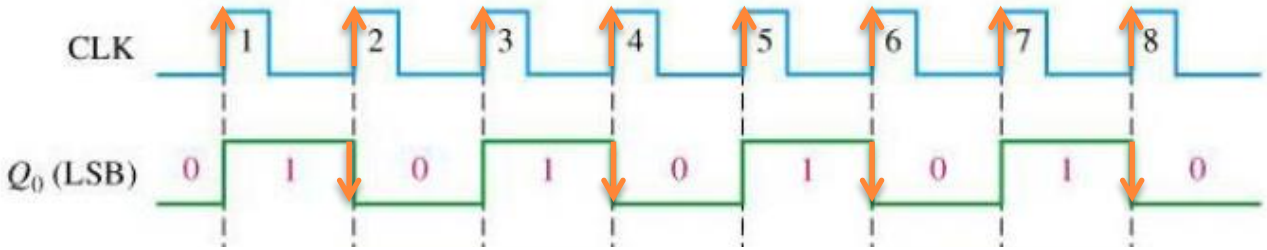
FF1 the second flip-flop

异步 UP

Three-bit asynchronous binary counter and its timing diagram for one cycle.



(a)

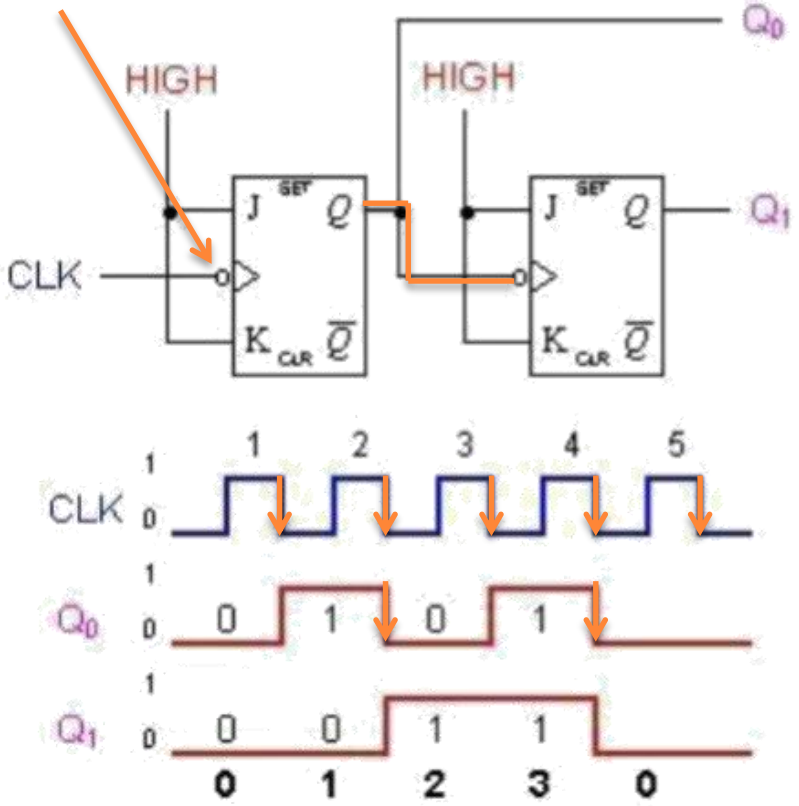


(b)

Recycles back to 0

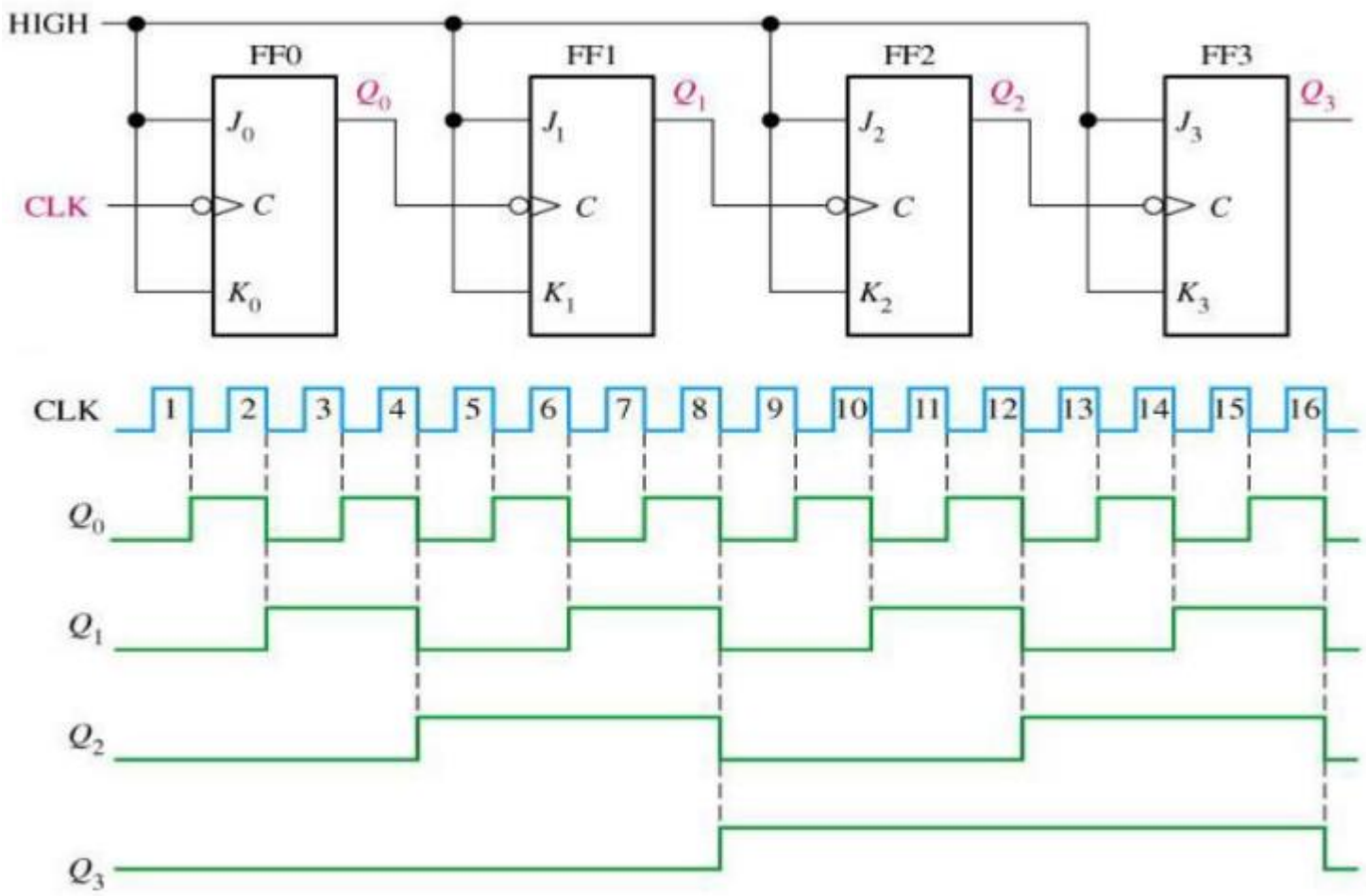
Two-bit asynchronous UP counter

下降沿触发（negative-edge triggered）



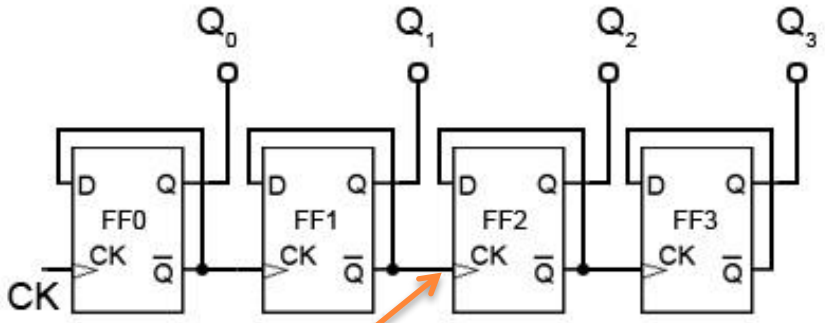
- **A two-bit asynchronous counter is shown on the left.**
- It uses two J-K flip flops.

4位异步二进制加法计数器
4-BIT ASYNCHRONOUS BINARY UP COUNTER



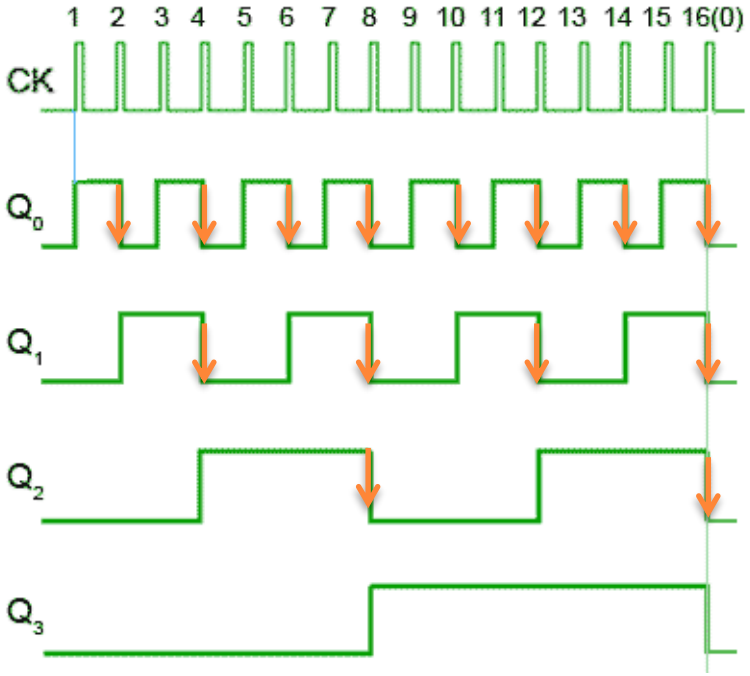
Up Counter:
Q_i在Q_{i-1}波形的下降沿发生翻转（$i \geq 1$）

ASYNCHRONOUS 4-BIT UP COUNTER

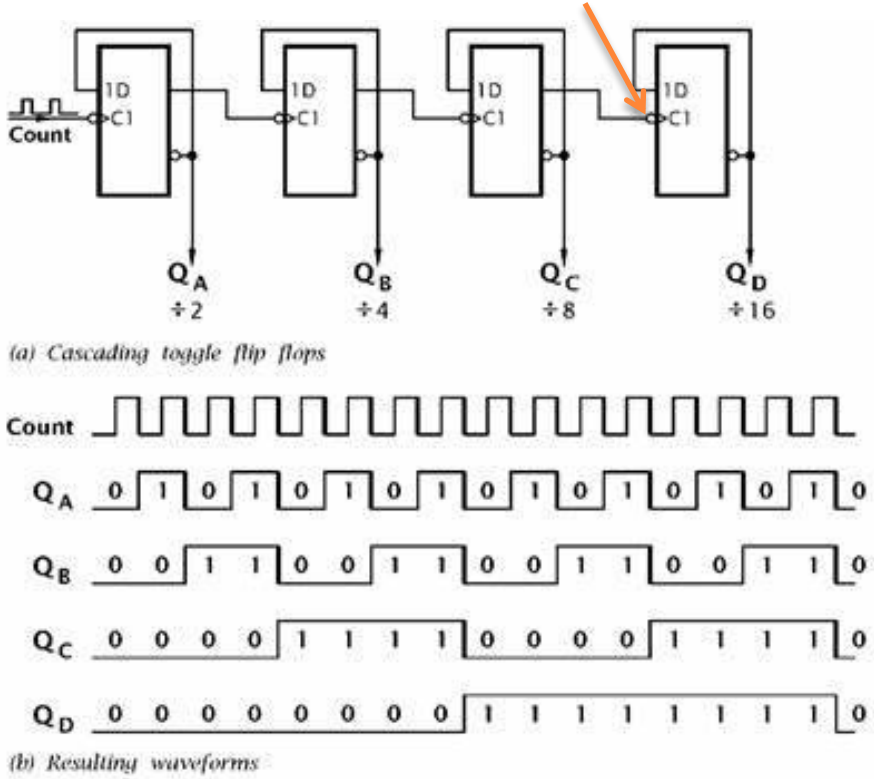


CLK上升沿触发（positive-edge triggered）

$\bar{Q}$的上升沿（即Q的下降沿）决定下一个触发器的CLK。

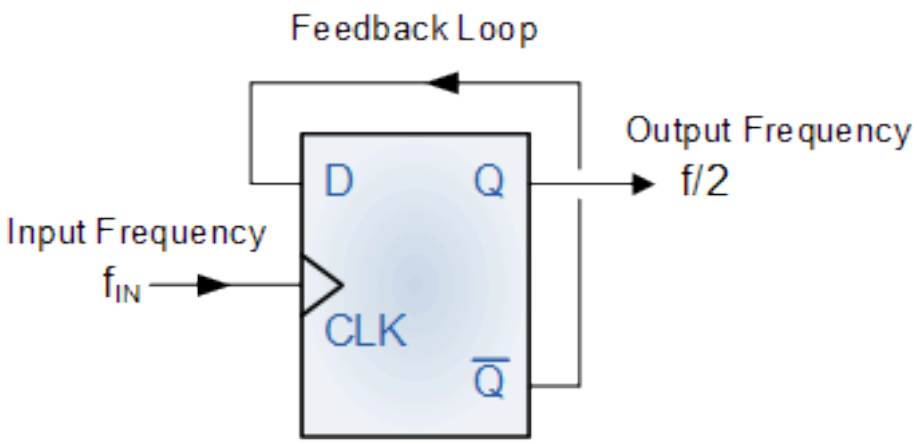


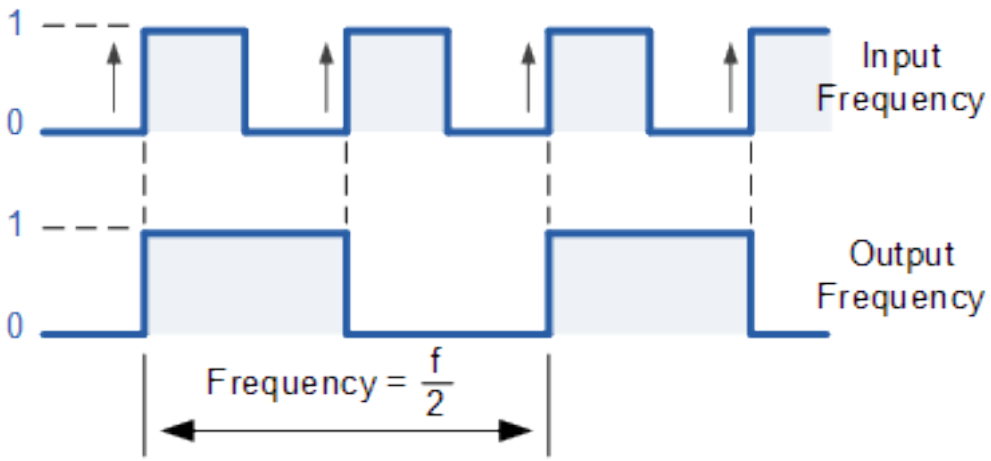
CLK下降沿触发（negative-edge triggered）

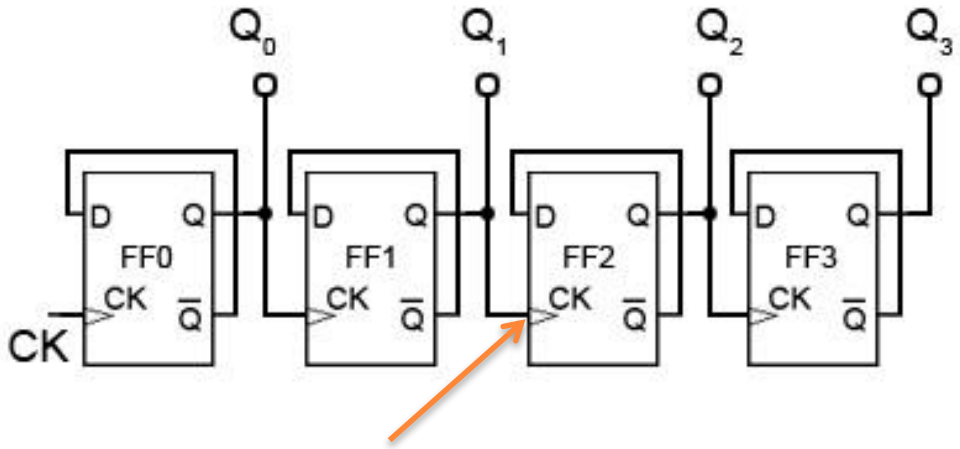


Q的下降沿决定下一个触发器的CLK。

D触发器组成的4位异步二进制减法计数器
ASYNCHRONOUS 4-BIT DOWN COUNTER







上升沿触发（positive-edge triggered）

*Q*的上升沿决定下一个触发器的CK。

这里时钟前若有圆圈，变成下降沿触发，同样的结构就变成up counter

D触发器组成的4位异步二进制减法计数器

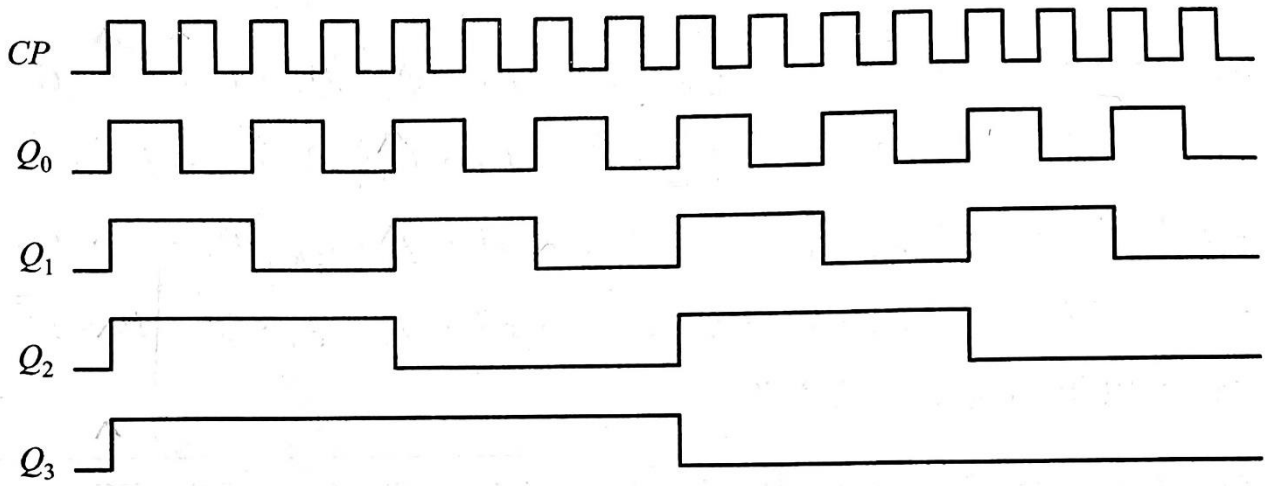
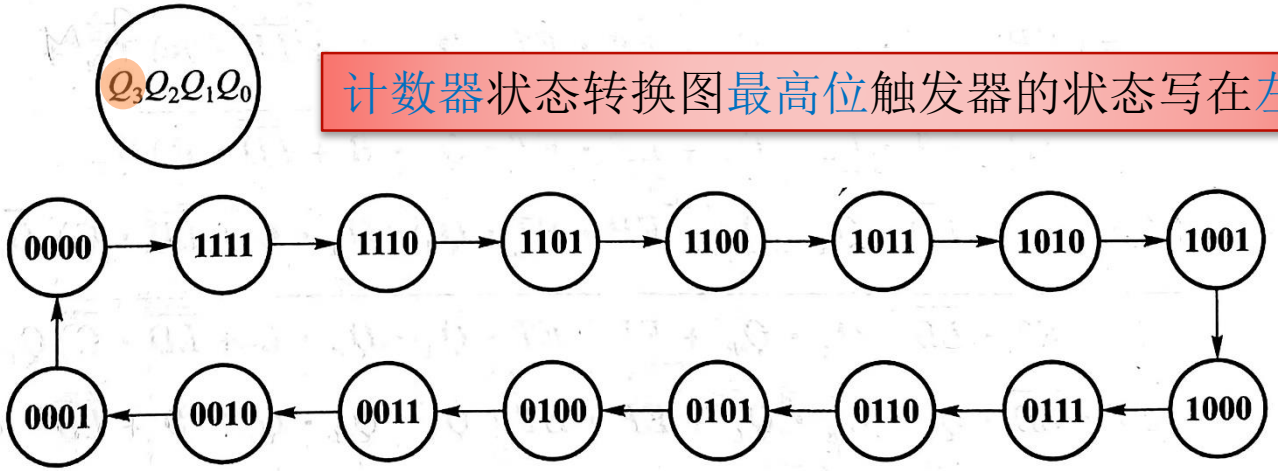


图 9.33　4 位异步二进制减法计数器时序图



计数器状态转换图最高位触发器的状态写在左边

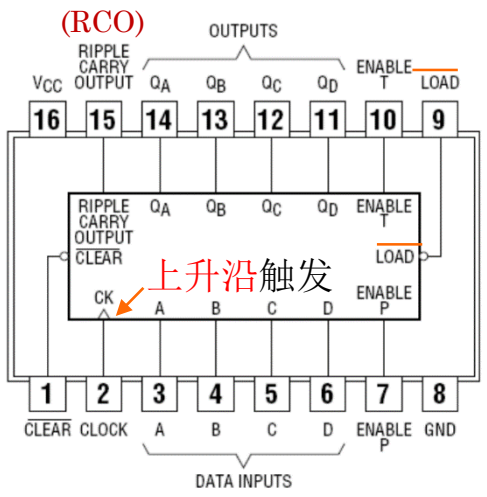
异步计数器总结

- 用D触发器（$D=\overline{Q^n}$）或者J-K触发器（$J=K=1$）可以很方便地组成二进制异步计数器。
  - 方法是先将触发器接成有触发脉冲就反转的形式（$Q^{n+1}=\overline{Q^n}$），使其每经过一个触发脉冲就翻转一次，然后根据加、减计数方式及触发器为上升沿触发还是下降沿触发来决定各触发器之间的连接方式。
- 异步计数器的工作速度较低
  - 在异步二进制计数器中，高位触发器的状态翻转必须在相邻低位触发器产生进位信号（加计数↑，每个触发器看成一个1位的二进制计数器）或借位信号（减计数↓）之后才能实现
  - 为了提高计数速度，可采用同步计数器

	异步计数器	同步计数器
优点	设计简单 灵活性强	工作速度快 输出稳定
缺点	工作速度慢（触发器不能同时翻转） 时序问题复杂	设计复杂度高

集成二进制计数器

（1）4位二进制同步加法计数器74161



$$RCO = ET \cdot Q_A^n \cdot Q_B^n \cdot Q_C^n \cdot Q_D^n$$

RCO is active high
（高电平有效）

整体相当于T触发器组成的4位同步二进制加法计数器
参见PPT的page59

异步清零　同步送数端（需要CP↑）

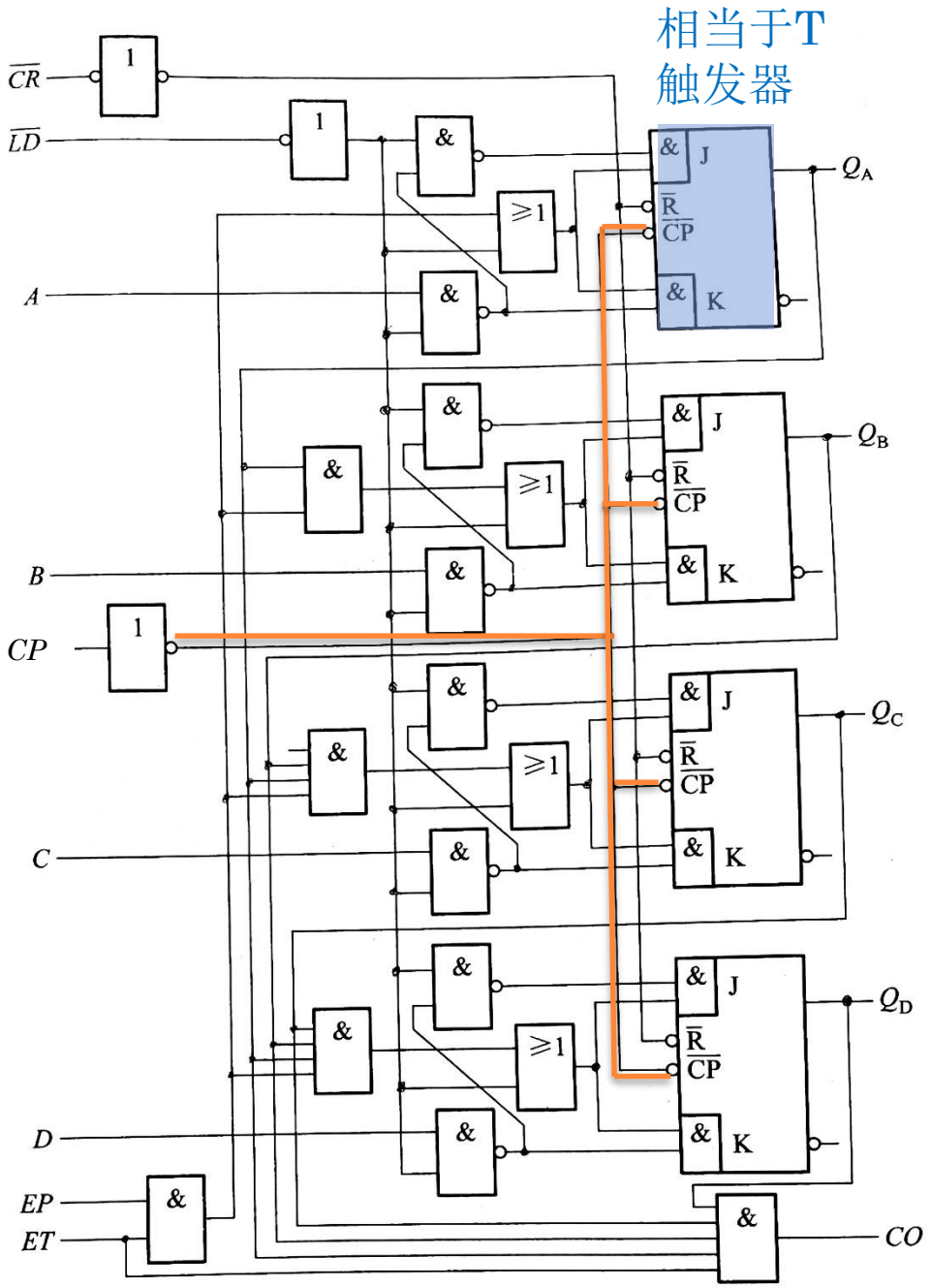
输入									输出			
CP	Cr	LD	P	T	D	C	B	A	QD	QC	QB	QA
X	0	X	X	X	X	X	X	X	0	0	0	0
↑	1	0	X	X	D	C	B	A	D	C	B	A
X	1	1	0	1	X	X	X	X	数据、CO 保持			
X	1	1	X	0	X	X	X	X	数据 保持 CO清零			
↑	1	1	1	1	X	X	X	X	加法 计数			

$J = K = 0$

$J = K = 0$

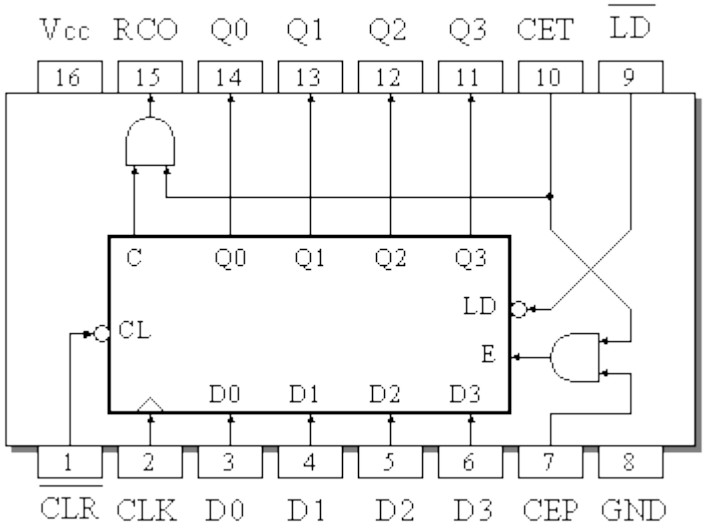
$J = K$

图 4　74161 功能表



74161缩写解释

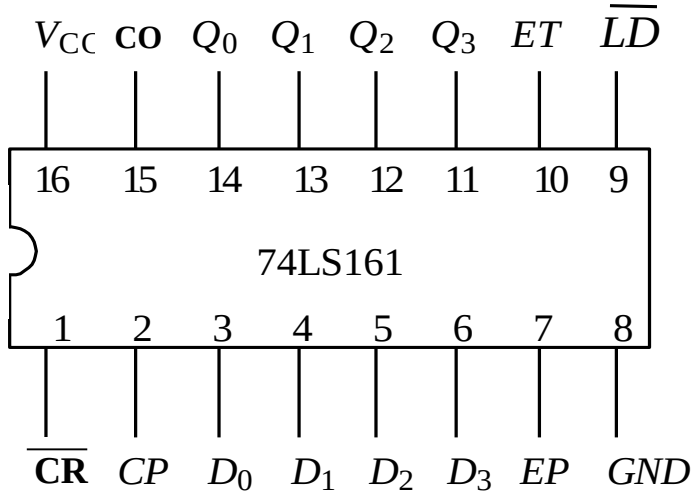
缩写	全称	中文释义
CLK	Rising Edge Trigger	上升沿触发时钟
CEP	Count Enable Parallel	P使能端
CET	Count Enable Trickle	T使能端
RCO	Ripple Carry Out	波纹进位
$\overline{CLR}$	Asynchronous Clear	异步清零
$\overline{LD}$	Synchronous Load	同步送数



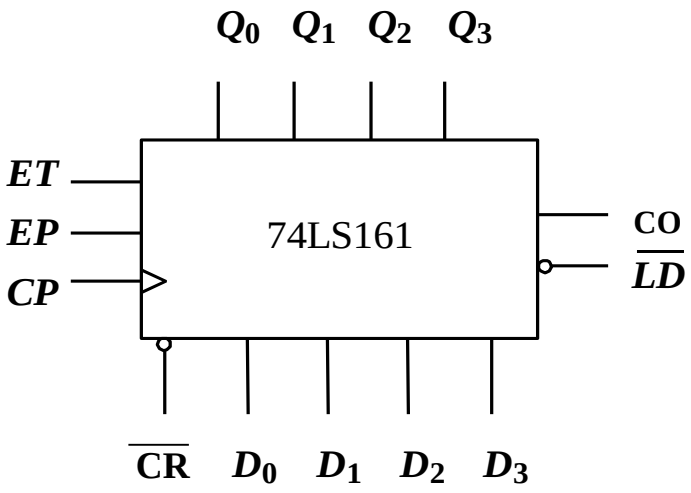
74161计数器

74161 功能表

清零	预置	时钟	使能		预置数据输入				输出				工作模式
$\overline{CR}$	$\overline{LD}$	CP	EP	ET	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	↑	×	×	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0	同步预置
1	1	×	0	1	×	×	×	×	保持				数据保持
1	1	×	×	0	×	×	×	×	保持（CO=0）				数据保持
1	1	↑	1	1	×	×	×	×	计数				加法计数



(a) 引脚排列图

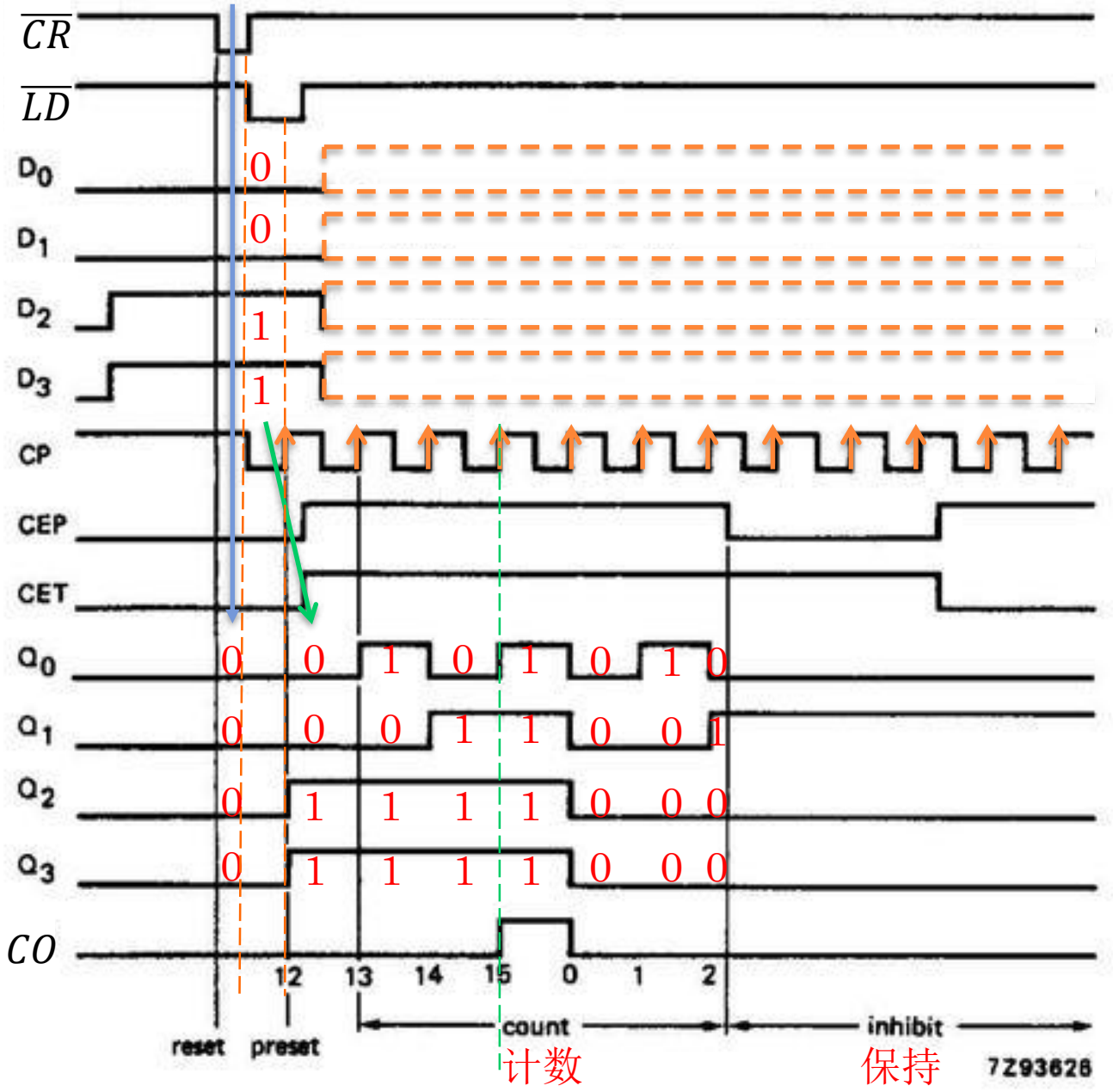


(b) 逻辑功能示意图

74161时序图

- 74163也是同步加法计数器，与74161的区别在于清零$\overline{CR}$端。
- 74161的$\overline{CR}$端为异步清零。
- 74163的$\overline{CR}$端为同步清零，即，$\overline{CR}=0$时，需要等下一个时钟上升沿到来，各个触发器的数值才变为0。

74161的进位信号RCO为高电平有效

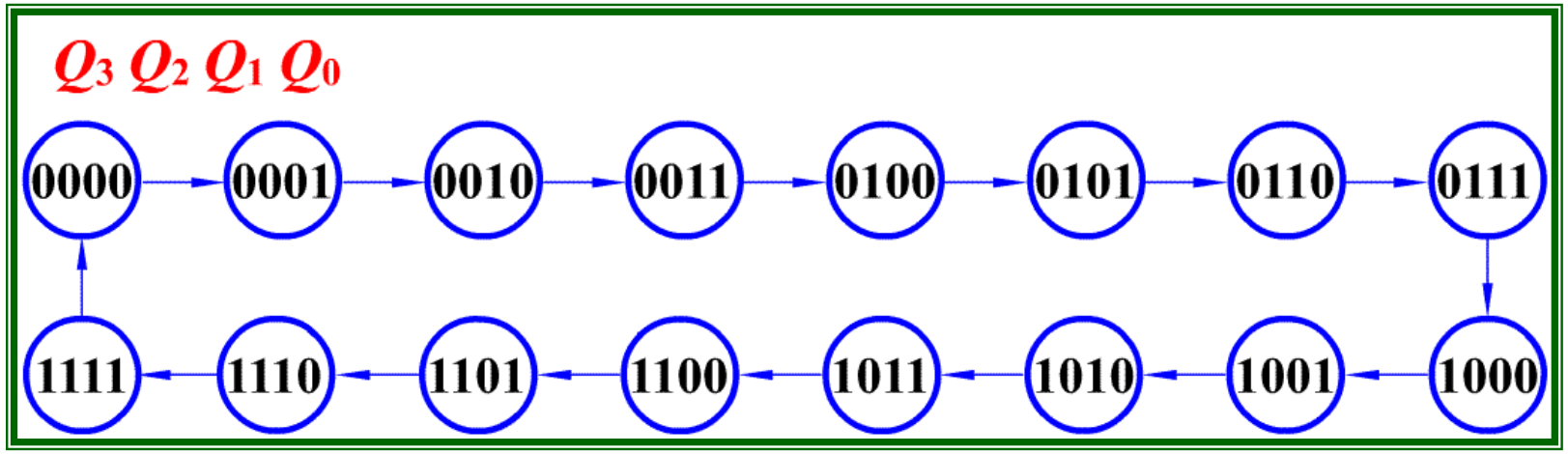


74161的功能和特点（模16计数器）

$\overline{CR} = \overline{LD} = EP = ET = 1$时，计数器为计数状态，每输入一个 CP 脉冲，进行一次加法计数。

74LS161状态图

计数器状态转换图最高位触发器的状态写在 左 边



74163计数器功能表
（模16计数器）

74163功能表

CLK	$\overline{CLR}$	$\overline{LD}$	ENP	ENT	功能
↑	0	×	×	×	同步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数

表 8.9　74163 的功能表

清零	预置	使能		时钟	预置数据输入				输出				工作模式
$\overline{CR}$	$\overline{LD}$	EP	ET	CP	D	C	B	A	Q_D	Q_C	Q_B	Q_A	
0	×	×	×	↑	×	×	×	×	0	0	0	0	同步清零
1	0	×	×	↑	*d*	*c*	*b*	*a*	*d*	*c*	*b*	*a*	同步送数
1	1	0	1	×	×	×	×	×	保持				数据保持，CO 保持
1	1	×	0	×	×	×	×	×	保持				数据保持，CO 清零
1	1	1	1	↑	×	×	×	×	计数				加法计数

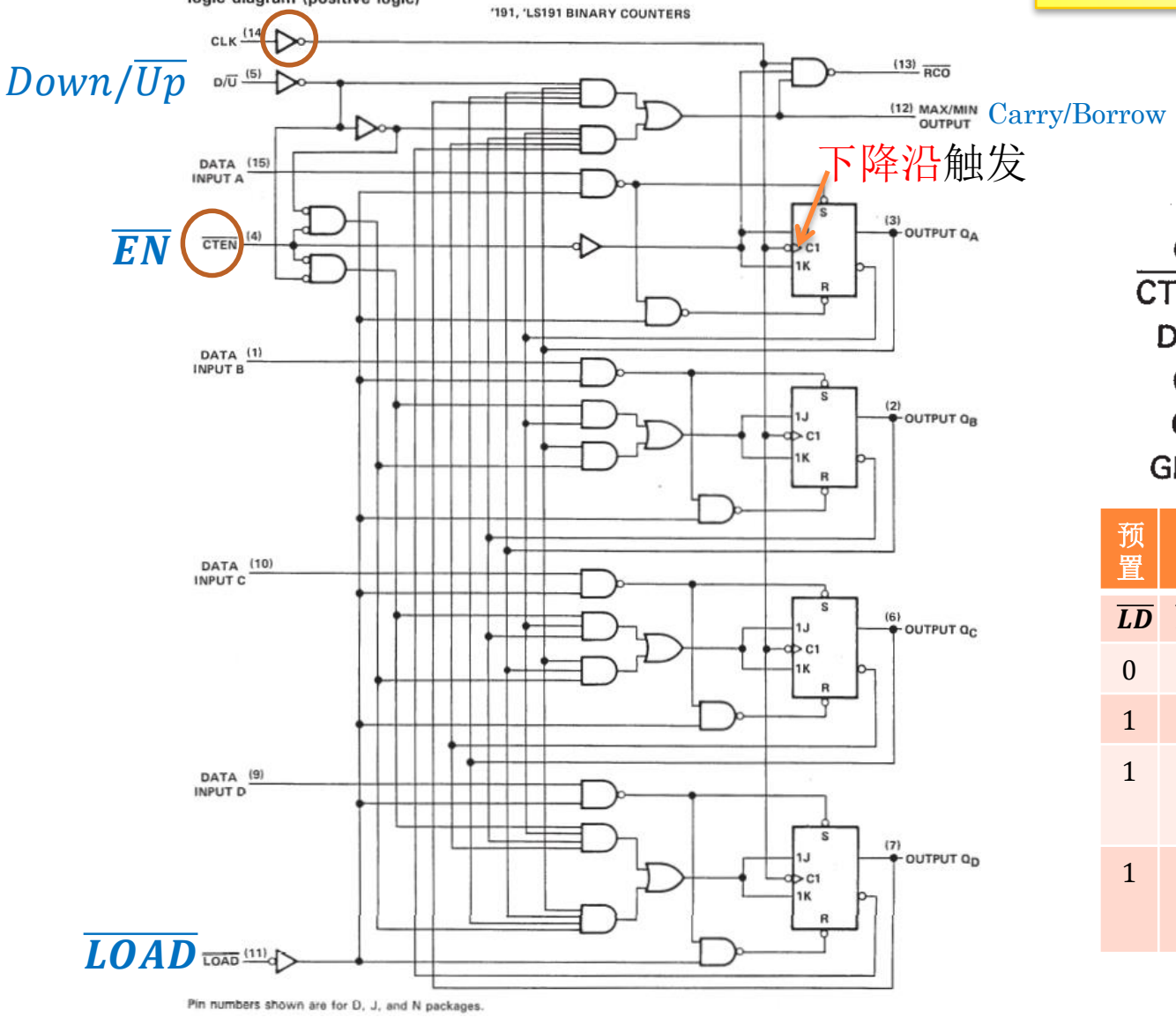
集成二进制计数器（2）4位二进制同步可逆计数器74191

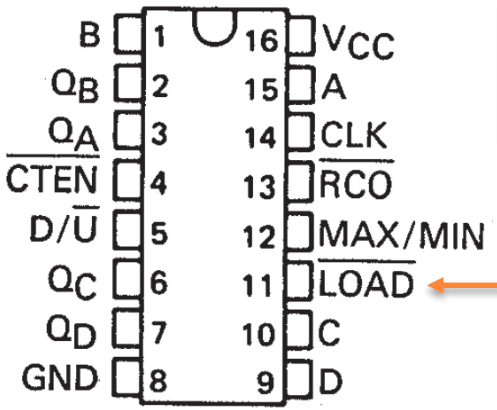
$$MAX/MIN = \overline{D/\overline{U}} \cdot Q_3Q_2Q_1Q_0 + D/\overline{U} \cdot \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}$$

$$\overline{RCO} = \overline{\overline{\overline{EN}} \cdot \overline{CP} \cdot MAX/MIN}$$

上升沿触发

logic diagram (positive logic)





74191的进位信号 $\overline{RCO}$ 为低电平有效

进位/借位 C/B

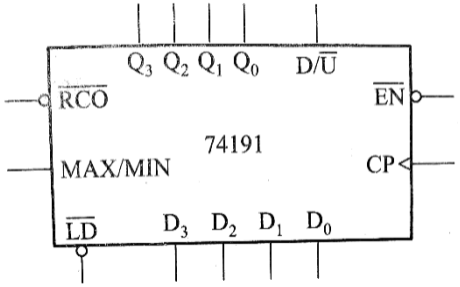
异步置数

预置	使能	Down /Up	CP	D_i	Q_i	MAX/MIN	$\overline{RCO}$
$\overline{LD}$	$\overline{EN}$	$D/\overline{U}$	CP	D_i	Q_i	×	×
0	×	×	×	d_i	d_i	×	×
1	1	×	×	×	保持	×	×
1	0	0	↑	×	加法计数	$if\ Q = 1111$ $Max = 1$, 有进位	if $CP = 0$ $\overline{RCO} = 0$
1	0	1	↑	×	减法计数	$if\ Q = 0000$ $Min = 1$ 有借位	if $CP = 0$ $\overline{RCO} = 0$

同步可逆计数器74191（模16计数器）

表 8.10　74191 的功能表

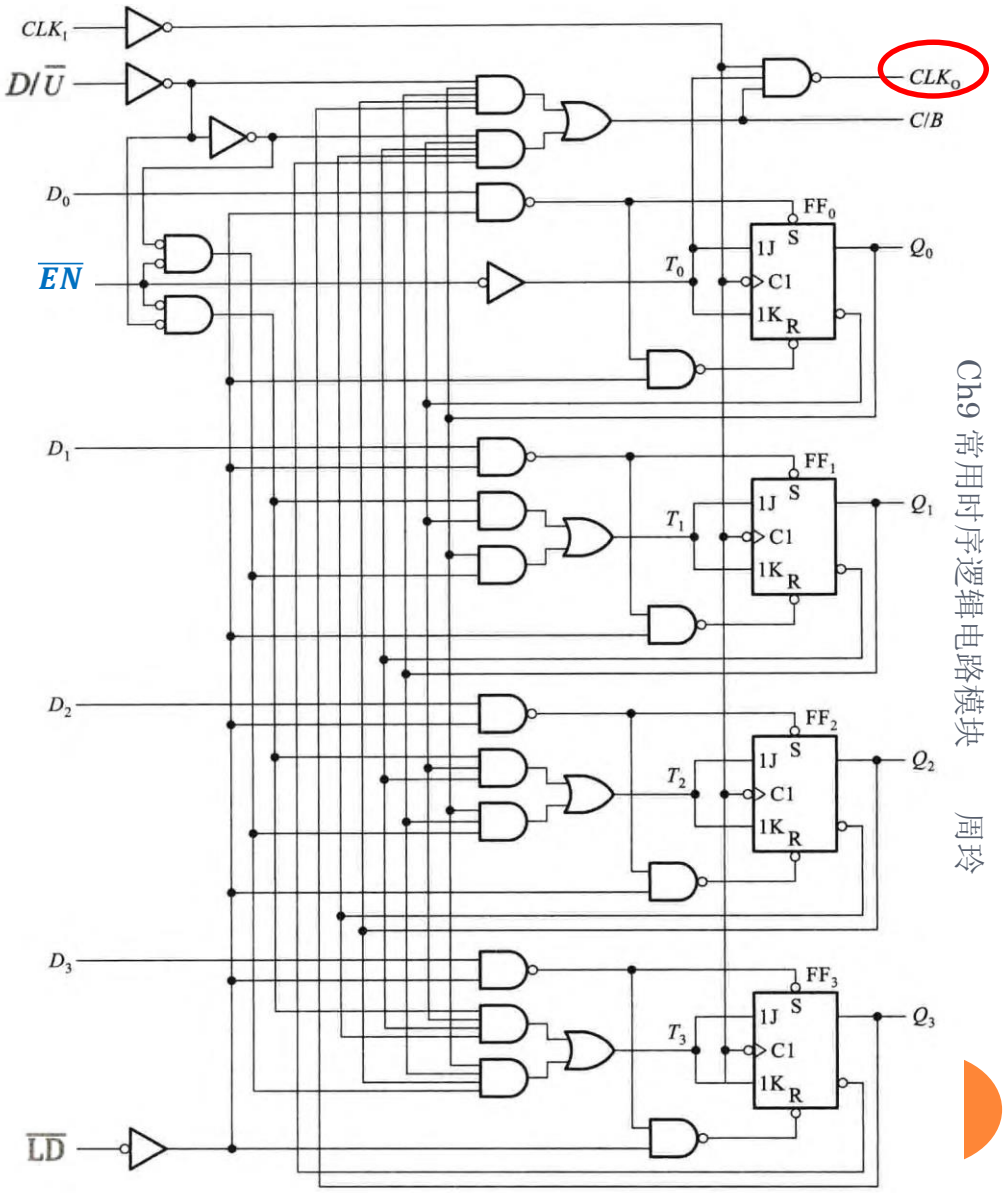
预置	使能	加/减控制	时钟	预置数据输入	输出	工作模式
$\overline{LD}$	$\overline{EN}$	$D/\overline{U}$	CP	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	
0	×	×	×	$d_3d_2d_1d_0$	$d_3d_2d_1d_0$	异步置数
1	1	×	×	× × × ×	保　持	数据保持
1	0	0	↑	× × × ×	加法计数	加法计数
1	0	1	↑	× × × ×	减法计数	减法计数



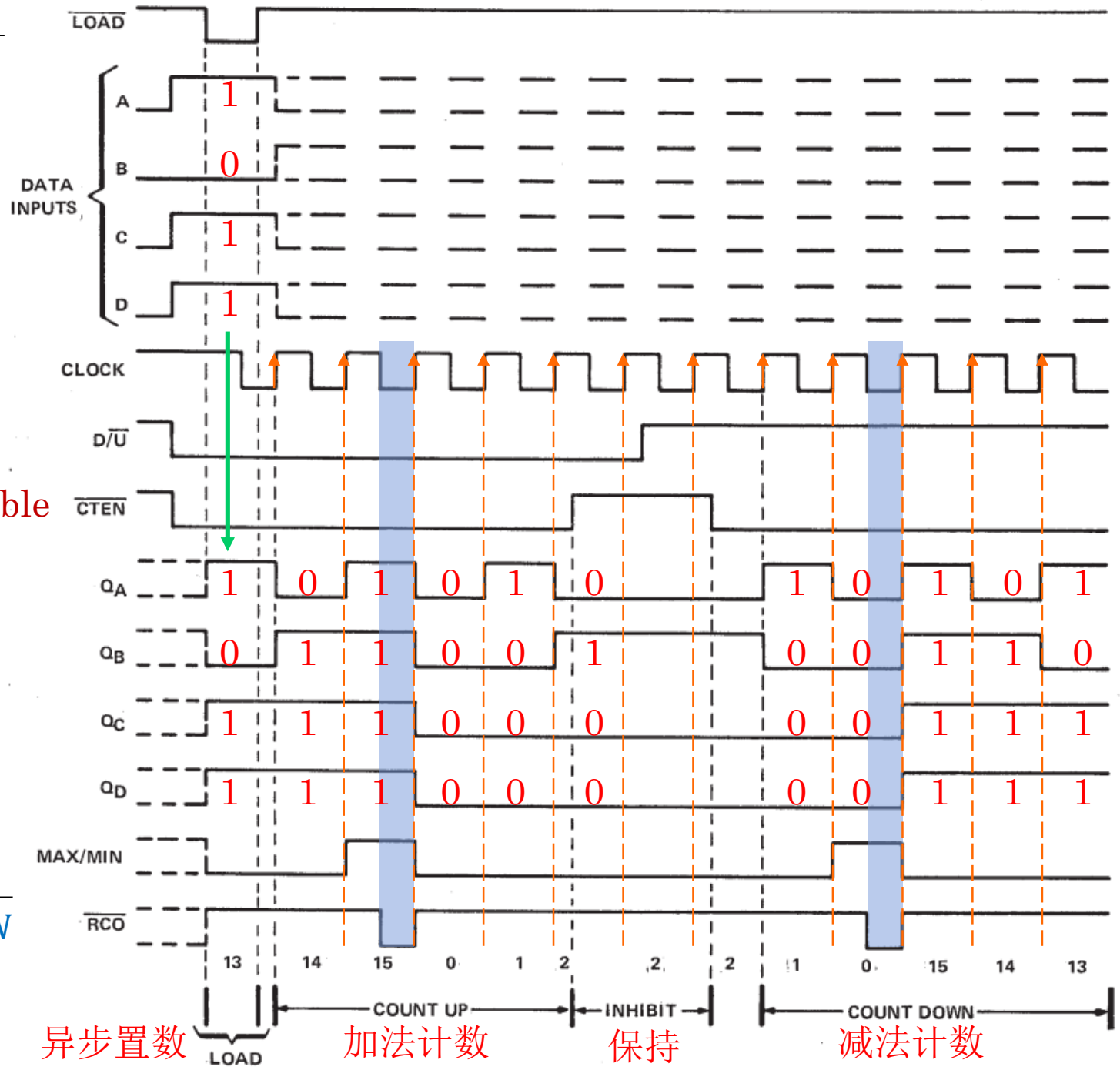
- $T_0 = 1$
- $T_1 = \overline{D/\overline{U}} \cdot Q_0 + D/\overline{U} \cdot \overline{Q_0}$
- $T_2 = \overline{D/\overline{U}} \cdot Q_0Q_1 + D/\overline{U} \cdot \overline{Q_0} \cdot \overline{Q_1}$
- $T_3 = \overline{D/\overline{U}} \cdot Q_0Q_1Q_2 + D/\overline{U} \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$
- $MAX/MIN = \overline{D/\overline{U}} \cdot Q_3Q_2Q_1Q_0 + D/\overline{U} \cdot \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}$
- $\overline{RCO} = \overline{\overline{\overline{EN}} \cdot \overline{CP} \cdot MAX/MIN}$

在 MAX/MIN =1（即有进位/借位时），在下一个 CLK_I 上升沿到达前，CLK_O即$\overline{RCO}$端有一个负脉冲输出，这也叫串行时钟输出端。

或者写成
$$\begin{cases} T_0 = 1 \\ T_i = \overline{D/\overline{U}} \cdot \prod_{j=0}^{i-1} Q_j + D/\overline{U} \cdot \prod_{j=0}^{i-1} \overline{Q_j} \end{cases} \quad (i = 1,2,\cdots,n-1)$$



74191



CTEN=Count Enable

异步置数

加法计数

保持

减法计数

串行时钟输出端

$$\overline{RCO} = \overline{\overline{\overline{EN}} \cdot \overline{CP} \cdot MAX/MIN}$$

十进制计数器

1、8421BCD码同步十进制加法计数器

计数顺序	现态 Q_3^n	Q_2^n	Q_1^n	Q_0^n	次态 Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	输出 C
0	0	0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	1	0	0
2	0	0	1	0	0	0	1	1	0
3	0	0	1	1	0	1	0	0	0
4	0	1	0	0	0	1	0	1	0
5	0	1	0	1	0	1	1	0	0
6	0	1	1	0	0	1	1	1	0
7	0	1	1	1	1	0	0	0	0
8	1	0	0	0	1	0	0	1	0
9	1	0	0	1	0	0	0	0	1
	1	0	1	0	1	0	1	1	0
	1	0	1	1	0	1	0	0	1
	1	1	0	0	1	1	0	1	0
	1	1	0	1	0	1	0	0	1
	1	1	1	0	1	1	1	1	0
	1	1	1	1	0	0	0	0	1

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	1	×	×

Q_3Q_0

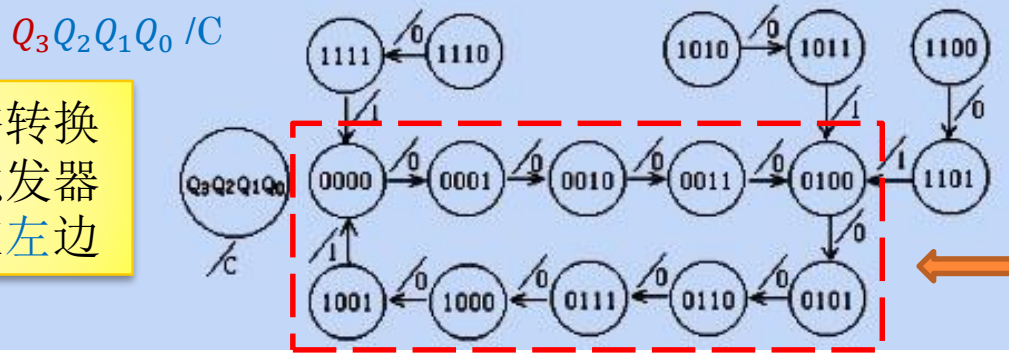
$$C = Q_3Q_0$$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	×	×	×	×
10	1	0	×	×

$\overline{Q_0}$

$$Q_0^{n+1} = \overline{Q_0}$$

（4） 据表 5.2.3 可画出完整的状态转换图如图 5.2.7 所示。



计数器状态转换图最高位触发器的状态写在左边

该状态转换图和书上的例题（P342）略有不同

8421BCD码同步十进制加法计数器

可得到计数器的状态方程为：

$$\begin{cases} Q_0^{n+1} = J_0\overline{Q_0^n} + \overline{K_0}Q_0^n = \overline{Q_0^n} \\ Q_1^{n+1} = J_1\overline{Q_1^n} + \overline{K_1}Q_1^n = \overline{Q_3^n}\,\overline{Q_1^n}Q_0^n + Q_1^n\overline{Q_0^n} \\ Q_2^{n+1} = J_2\overline{Q_2^n} + \overline{K_2}Q_2^n = \overline{Q_2^n}Q_1^nQ_0^n + Q_2^n\overline{Q_1^nQ_0^n} \\ Q_3^{n+1} = J_3\overline{Q_3^n} + \overline{K_3}Q_3^n = \overline{Q_3^n}Q_2^nQ_1^nQ_0^n + Q_3^n\overline{Q_0^n} \end{cases}$$

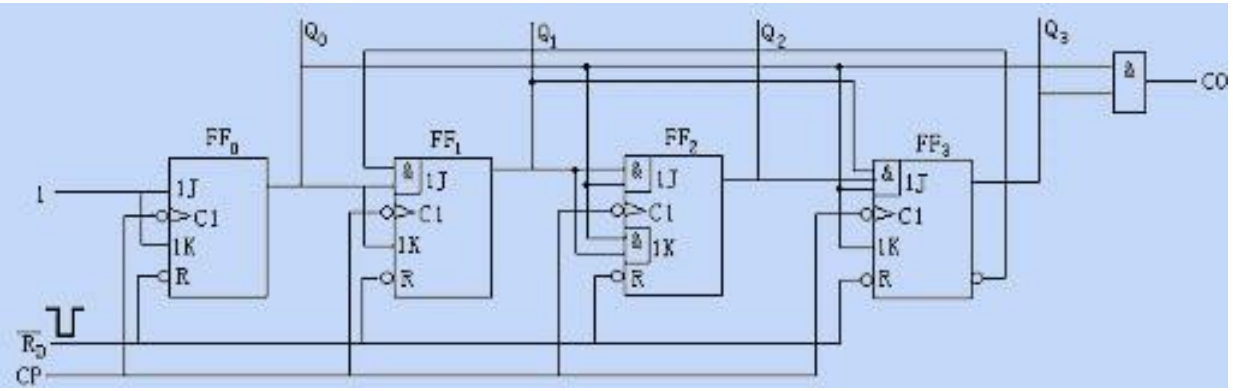
JK触发器的特征方程为

$$Q^{n+1} = J\cdot\overline{Q^n} + \overline{K}\cdot Q^n$$

输入方程：$C = Q_3^nQ_0^n$

驱动方程：
$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3^nQ_0^n,\ K_1 = Q_0^n \\ J_2 = K_2 = Q_1^nQ_0^n \\ J_3 = Q_2^nQ_1^nQ_0^n,\ K_3 = Q_0^n \end{cases}$$

该电路具有自启动能力



Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	×	×	×	×
10	0	0	×	×

$\overline{Q_3}\cdot\overline{Q_1}\cdot Q_0$　　$Q_1\overline{Q_0}$

$$Q_1^{n+1} = \overline{Q_3}\cdot\overline{Q_1}\cdot Q_0 + Q_1\overline{Q_0}$$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	×	×	×	×
10	0	0	×	×

$\overline{Q_2}Q_1Q_0$　　$Q_2\overline{Q_1}$　　$Q_2\overline{Q_0}$

$$\begin{aligned} Q_2^{n+1} &= \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_0} + Q_2\overline{Q_1} \\ &= \overline{Q_2}Q_1Q_0 + Q_2(\overline{Q_0} + \overline{Q_1}) \\ &= \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_1Q_0} \end{aligned}$$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	×	×	×	×
10	1	0	×	×

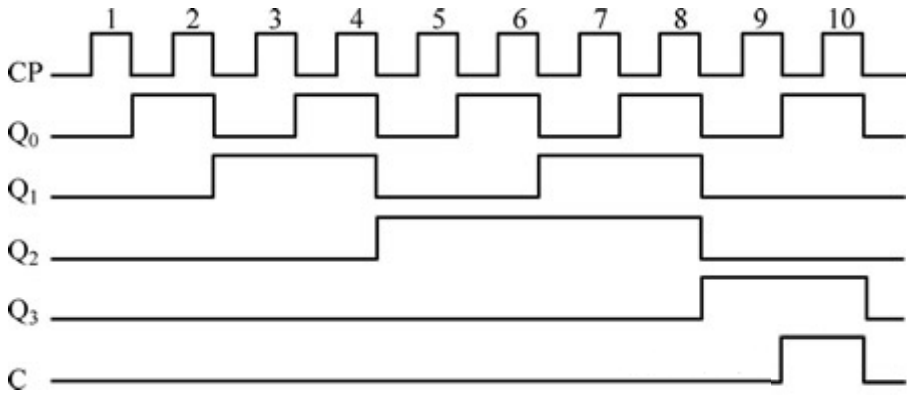
$\overline{Q_3}Q_2Q_1Q_0$　　$Q_3\overline{Q_0}$

$$Q_3^{n+1} = \overline{Q_3}Q_2Q_1Q_0 + Q_3\overline{Q_0}$$

8421BCD码同步十进制加法计数器

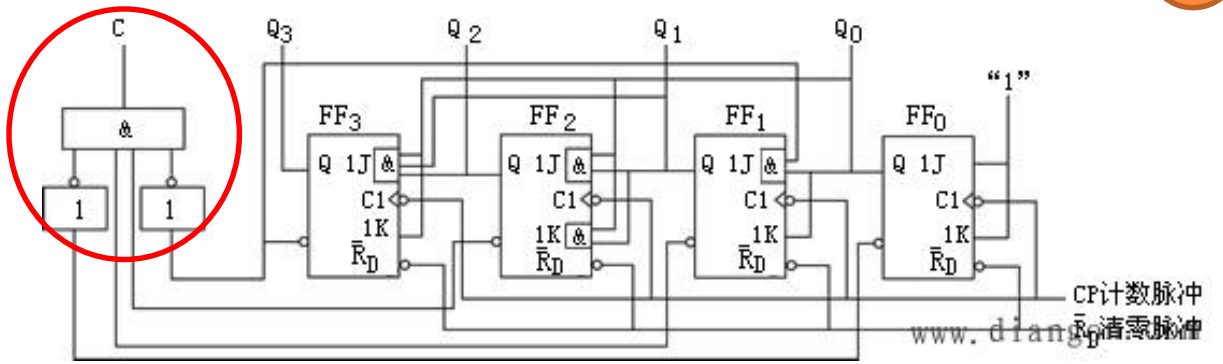
脉冲序号	Q3	Q2	Q1	Q0	C
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	0	0	0	0	0
0	1	0	1	0	0
1	1	0	1	1	0
2	0	1	0	0	0
0	1	1	0	0	0
1	1	1	0	1	0
2	0	1	0	0	0
0	1	1	1	0	0
1	1	1	1	1	0
2	0	0	0	0	0

www.diangon.com



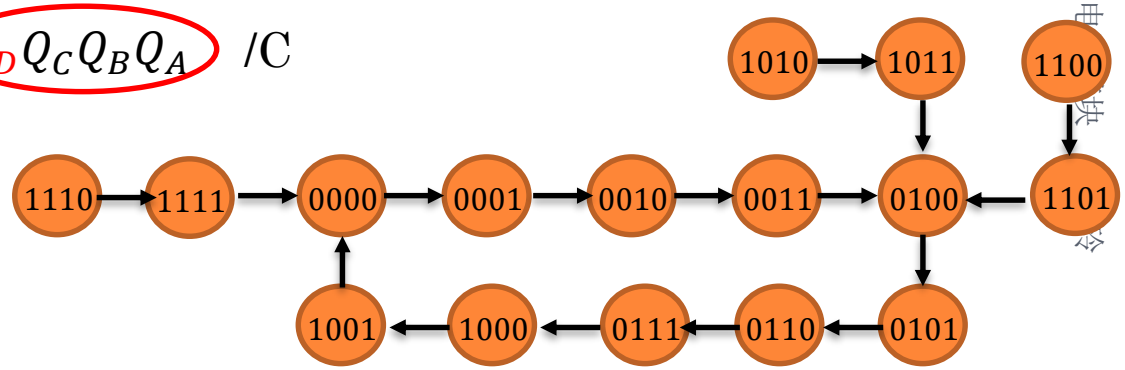
进位只有一个1，所以C的输出与前面一个真值表得出的公式不同，其它一样。

$$C = Q_0^n \overline{Q_1^n}\,\overline{Q_2^n} Q_3^n$$



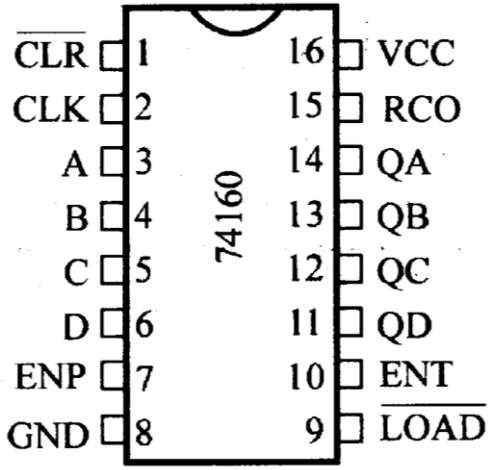
www.diangon.com

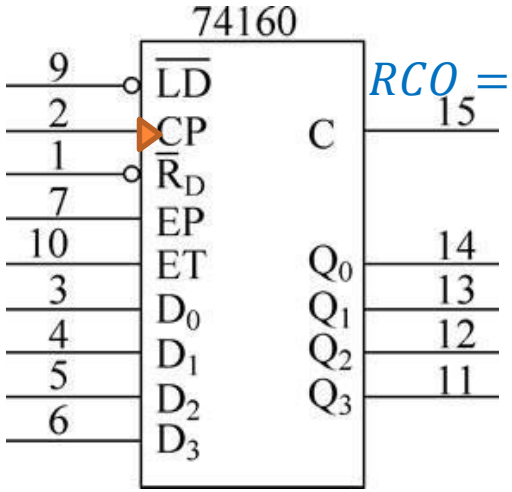
$Q_D Q_C Q_B Q_A$ /C



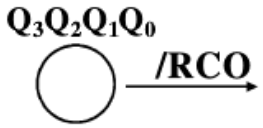
集成十进制计数器
8421BCD码同步加法计数器74160

74160（十进制）与74161的功能表差不多，74161是同步4位二进制加法计数器





$RCO = ET \cdot Q_3 \cdot Q_0$

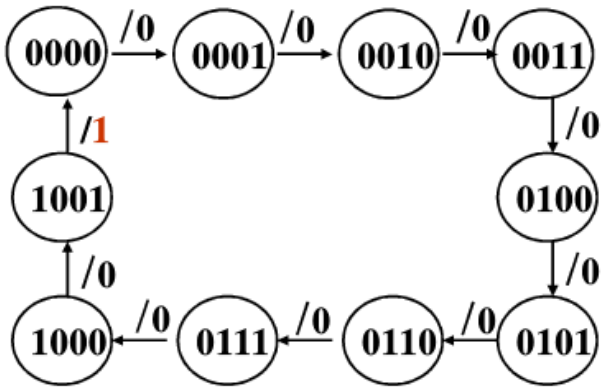


输入									输出			
CP	$\overline{CR}$	$\overline{LD}$	P	T	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	0	×	×	a	b	c	d	a	b	c	d
×	1	1	0	1	×	×	×	×	保持			
×	1	1	×	0	×	×	×	×	保持(C=0)			
↑	1	1	1	1	×	×	×	×	计数			

异步清零

同步置数

十进制加法



74160的有效状态转换图

74160逻辑图（DECADE COUNTER）

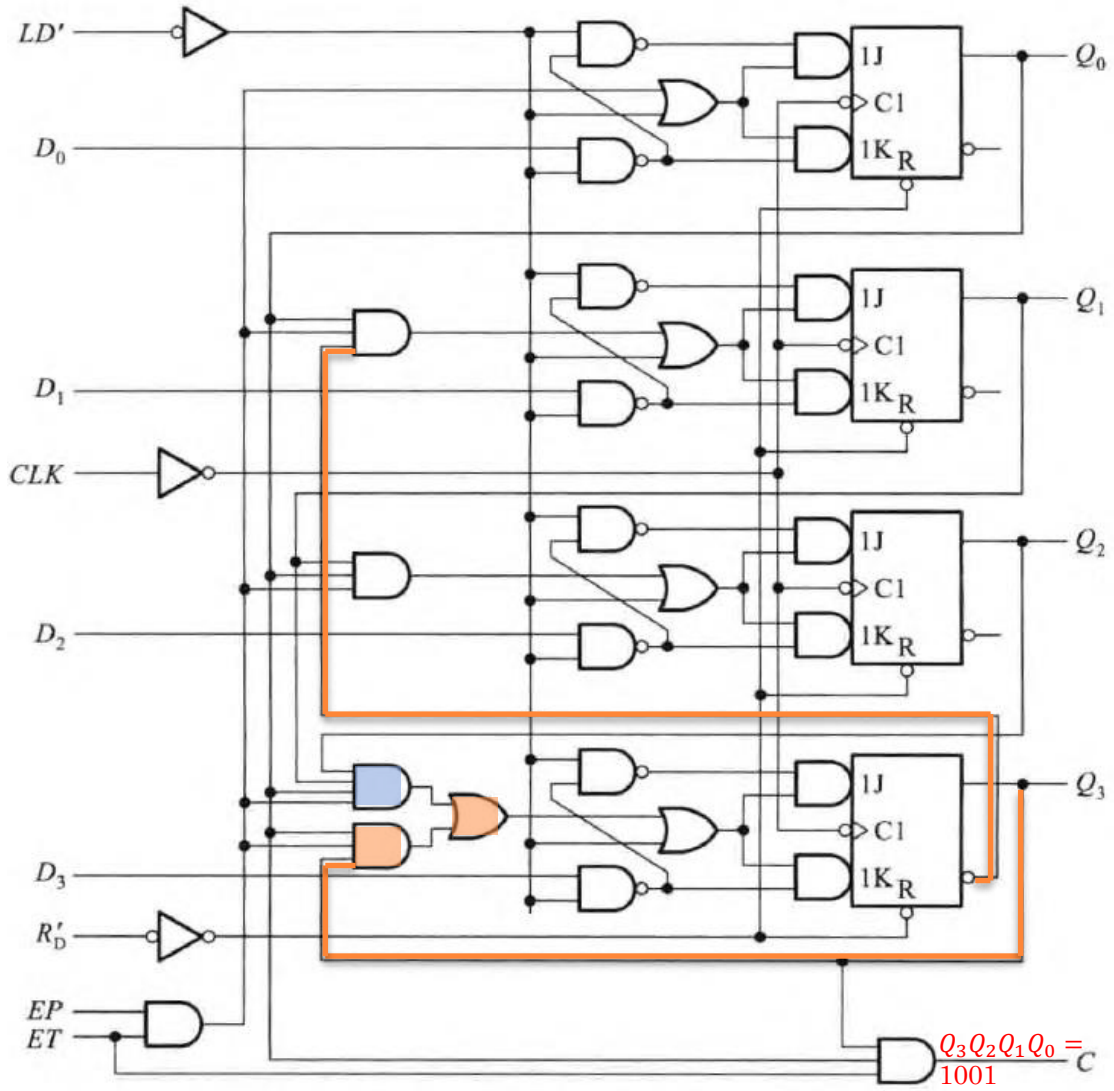


图 6.3.19　同步十进制加法计数器 74160 的逻辑图

十六进制同步加法计数器74161

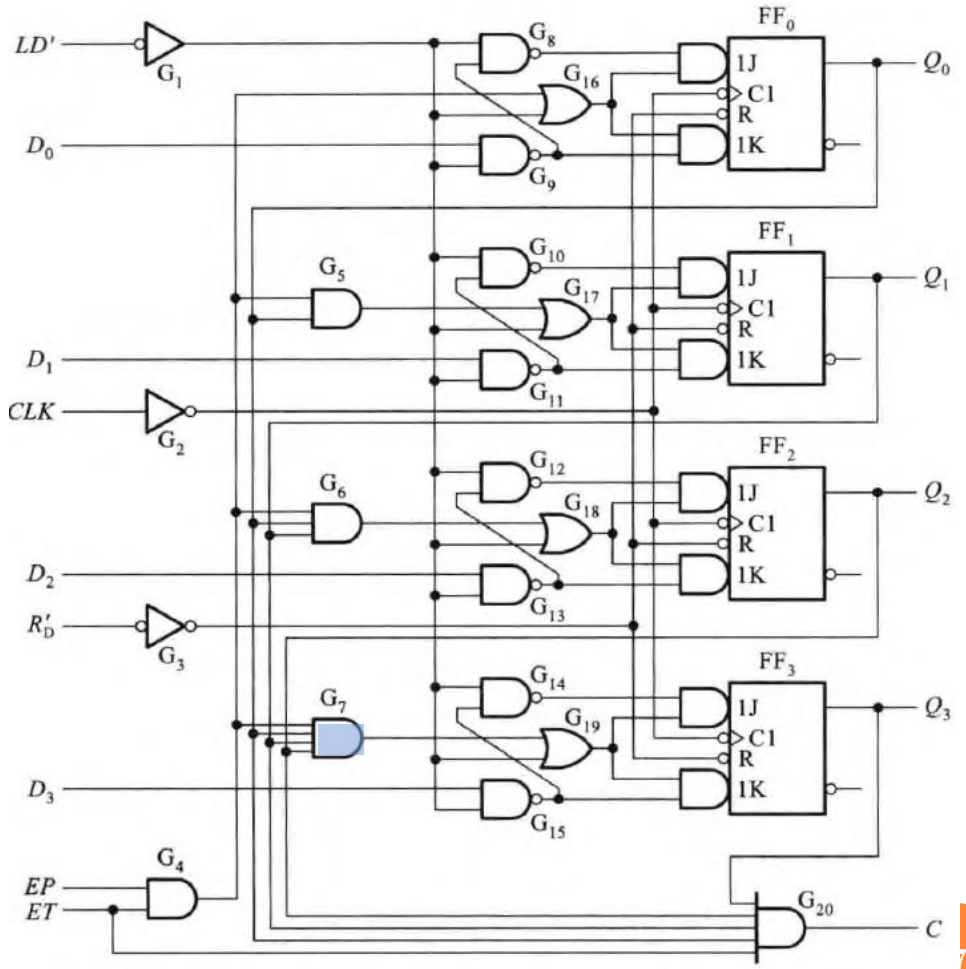


图 6.3.11　4 位同步二进制计数器 74161 的逻辑图

集成（同步）计数器总结

Up/Down	CLK	模	16	10	RCO进位
同步加法计数器	同步置数	异步清零	74161	74160	高电平有效
		同步清零	74163		
同步可逆计数器	异步置数		74191（无清零端）		低电平有效

四个不同的集成计数器都有置数端，却不是都有清零端。

内容

- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

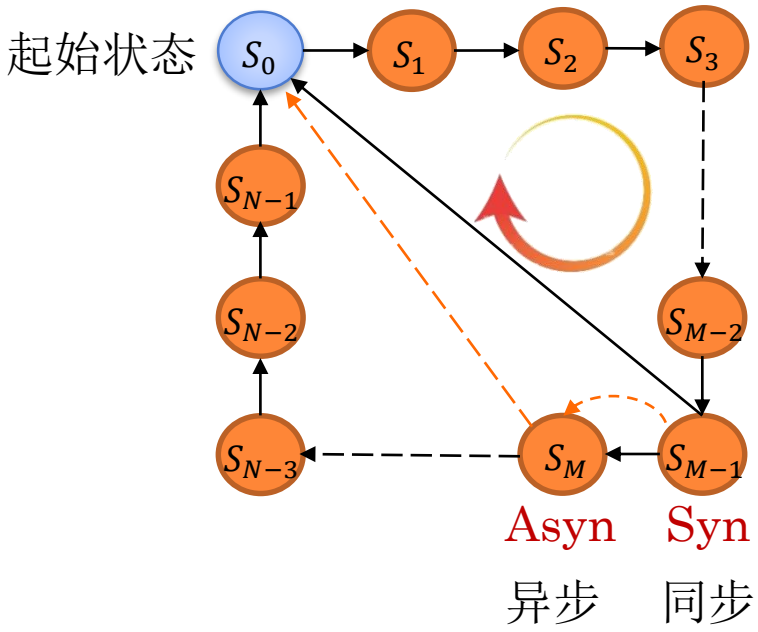
任意进制计数器的构成方法

- 从降低成本的角度考虑，集成电路的定型产品必须有足够大的批量。
- 因此，目前常见的计数器芯片在计数进制上只做成应用较广的几种类型，如十进制、十六进制、7位二进制、12位二进制、14位二进制等。
- 在需要其他任意一种进制的计数器时，只能用已有的计数器产品经过外电路的不同连接方式得到
- 假定已有的是N进制计数器，而需要得到的是M进制计数器。这时有$M < N$和$M > N$两种可能的情况。

$M < N$的情况

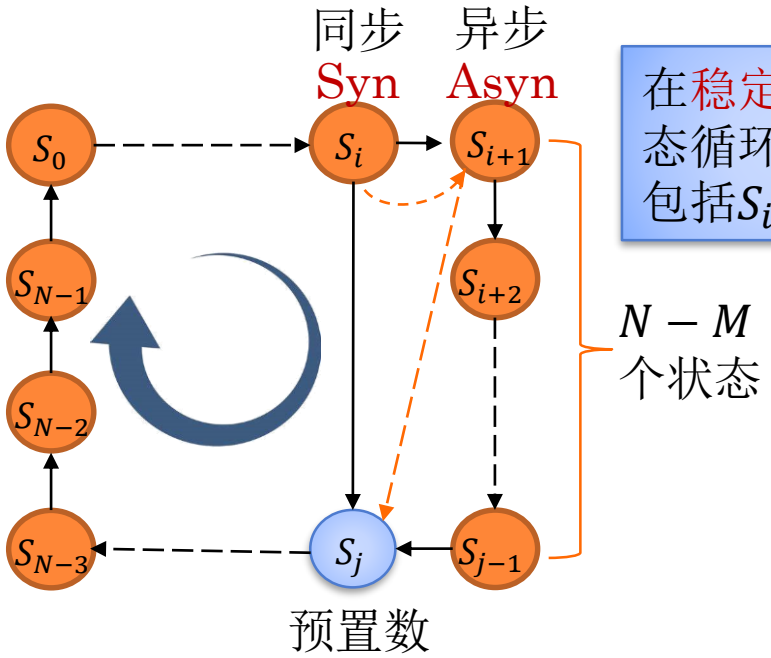
- 在N进制计数器的顺序计数过程中，若设法使之跳越N-M个状态，就可以得到M进制计数器了。
- 实现跳跃的方法有两种❶置零法（或称复位法）❷置数法（或称置位法）

置零法适用于有
置零输入端的计数器。

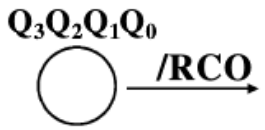


在稳定的状态循环中不包括S_M状态

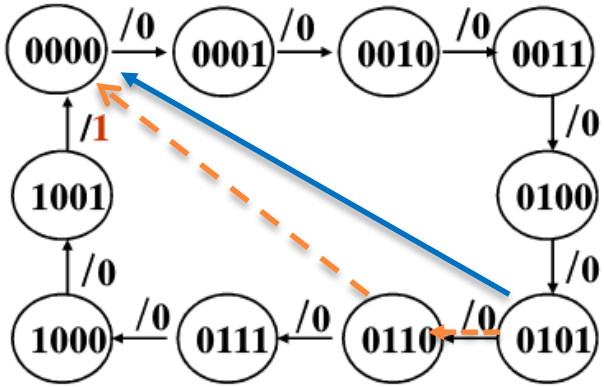
置数法适用于有
预置数功能的计数器。



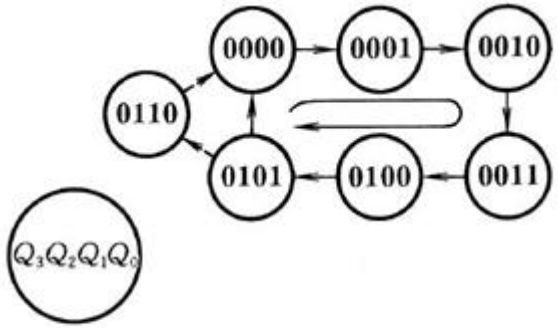
在稳定的状态循环中不包括S_{i+1}状态



异步清零法

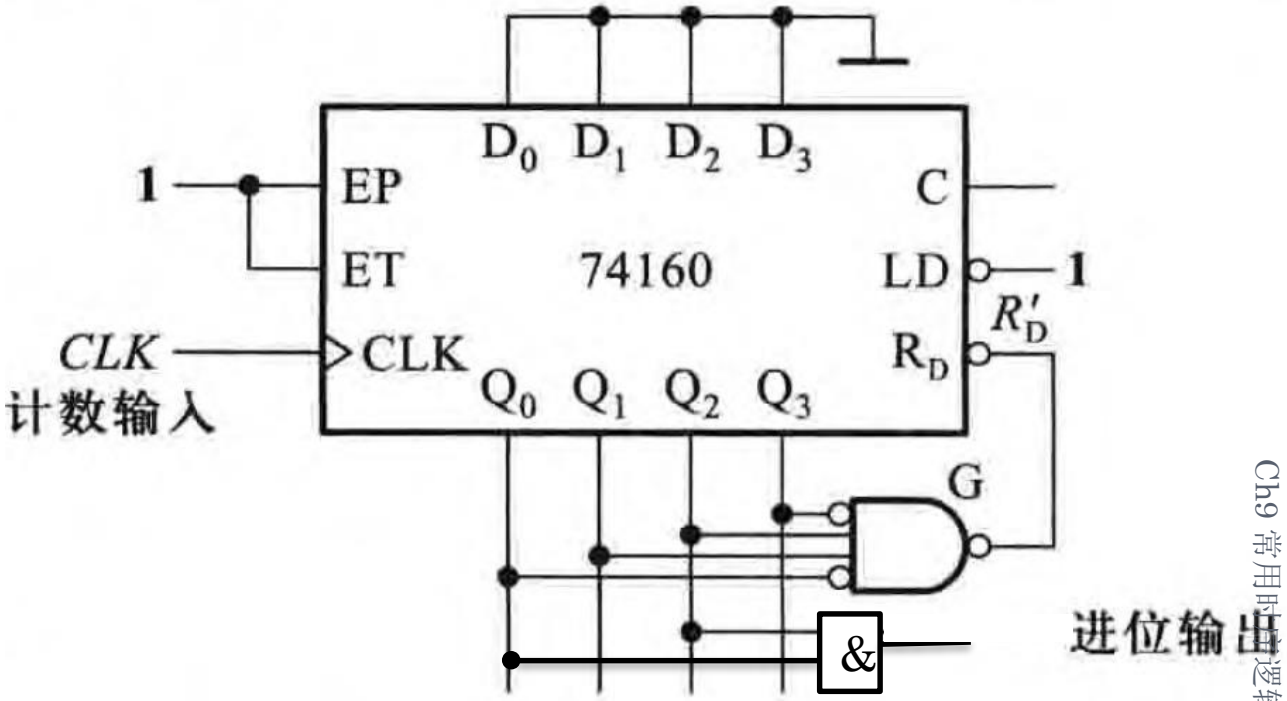


74160的有效状态转换图



由于置零信号随着计数器被置零而立即消失，所以该置零信号持续时间极短

注意：0110态是短暂的，不稳定的，不能算作一个稳态，故电路为6进制计数器。

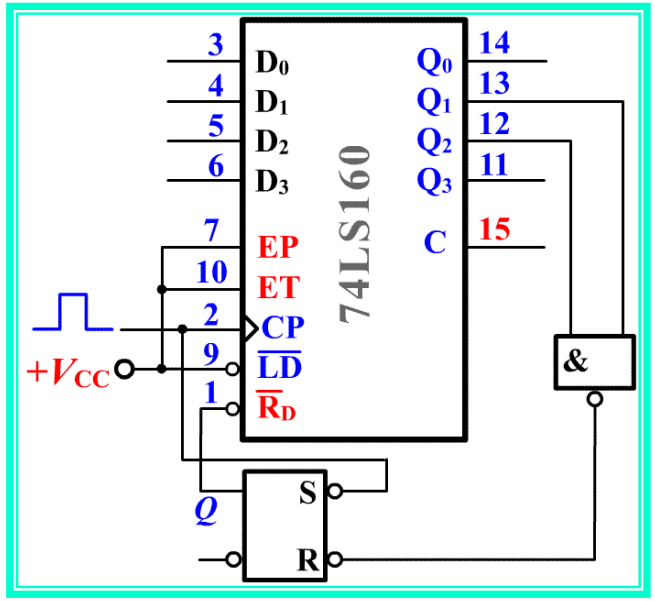


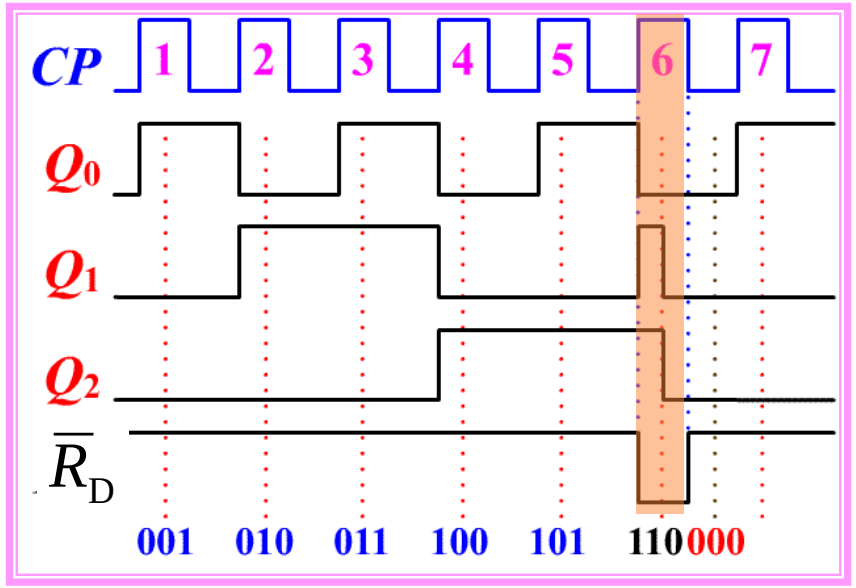
用置零法将 74160 接成六进制计数器

当输出$Q_3Q_2Q_1Q_0 = 0110$时，
担任译码器的G门输出低电平将计数器立即异步置零

改进的模 6 计数器

- 反馈清零法的缺点是工作不可靠。
  - 原因是在许多情况下，各触发器的复位速度不一致，复位快的触发器复位后，立即将复位信号撤消，使复位慢的触发器来不及复位，因而造成误动作。
- 改进的方法是加一个基本 *RS* 触发器，如下图所示，工作波形见下图右。当计数器计到6（0110）时，基本 *RS* 触发器置0，使$\overline{R_D}$端为0，该0一直持续到下一个计数脉冲的下降沿到来为止。因此计数器能可靠置0。





改进的异步置零法

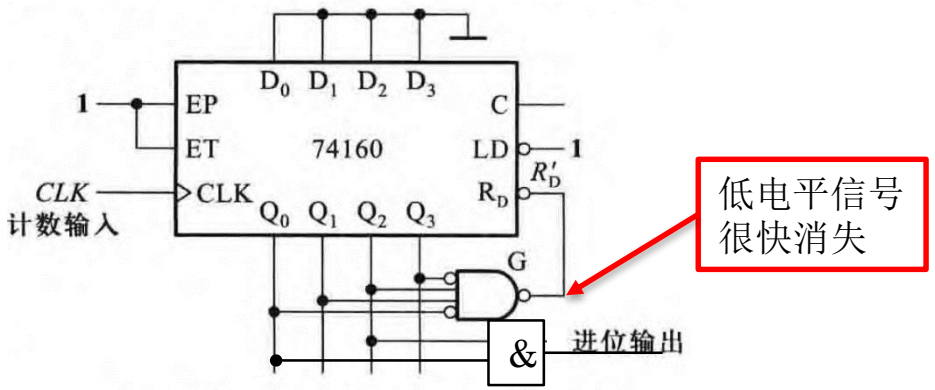
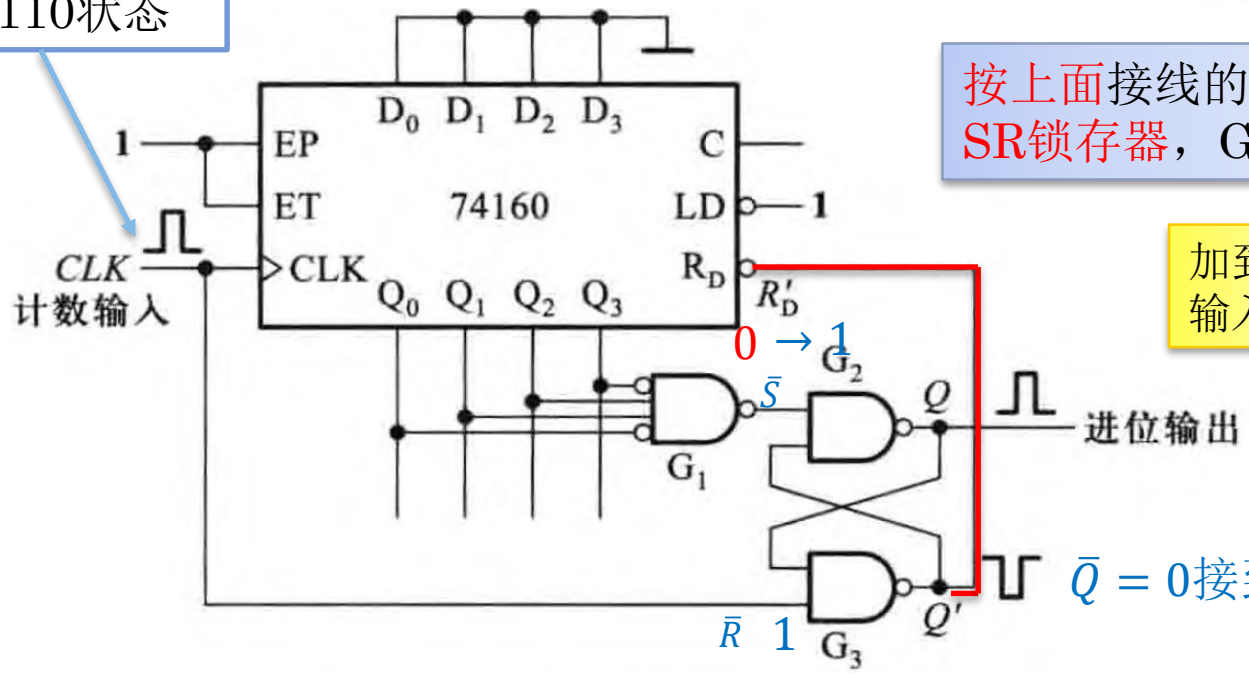


图 6.3.31 用置零法将 74160 接成六进制计数器

第六个计数输入脉冲上升沿↑到达时计数器进入0110状态

按上面接线的电路可靠性不高，可在G门处加一个SR锁存器，G门低电平输出接$\bar{S}$端，$\bar{Q}$端为置零信号。

加到计数器$\overline{R_D}$端的置零信号宽度与输入计数脉冲高电平持续时间相等。



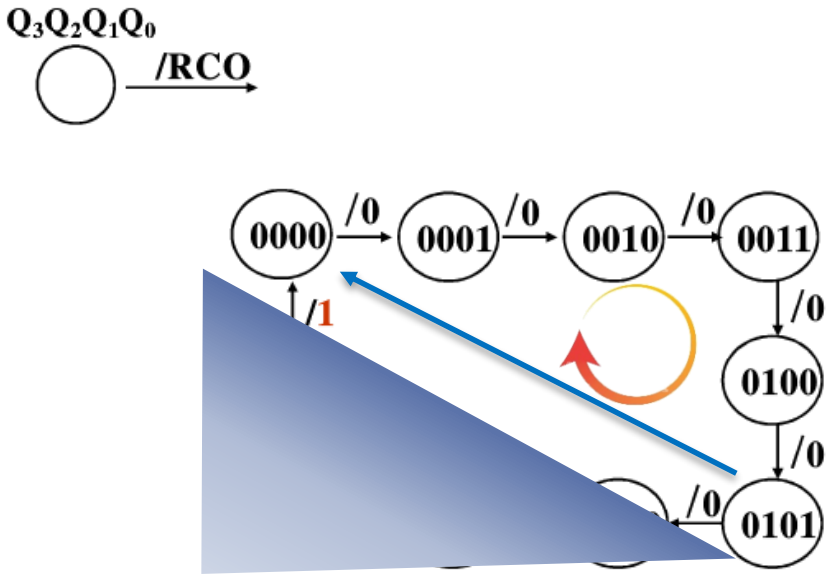
$Q = 1$可作为进位输出

$\bar{Q} = 0$接到$\overline{R_D}$触发清零

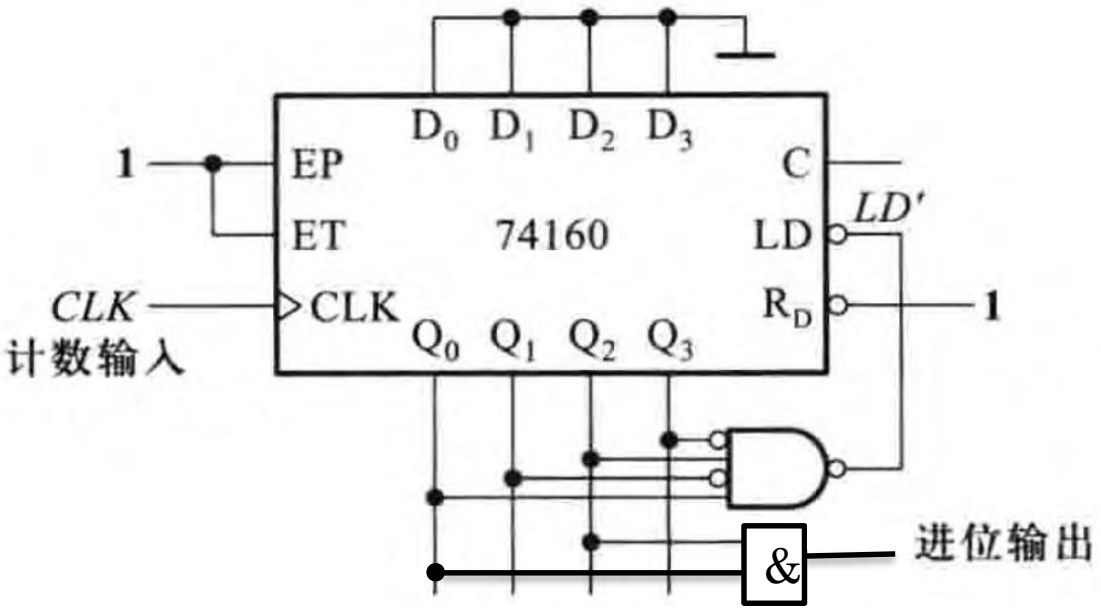
$\bar{S} = \bar{R} = 1$计数器的**置零信号得以维持**，直到计数脉冲回到低电平以后（$\bar{R} = 0$），SR锁存器被置零。之后74160的$\overline{R_D} = \bar{Q} = 1$

同步置数法将74160接成六进制计数器（1）

预置数　　$D_3D_2D_1D_0 = 0000$



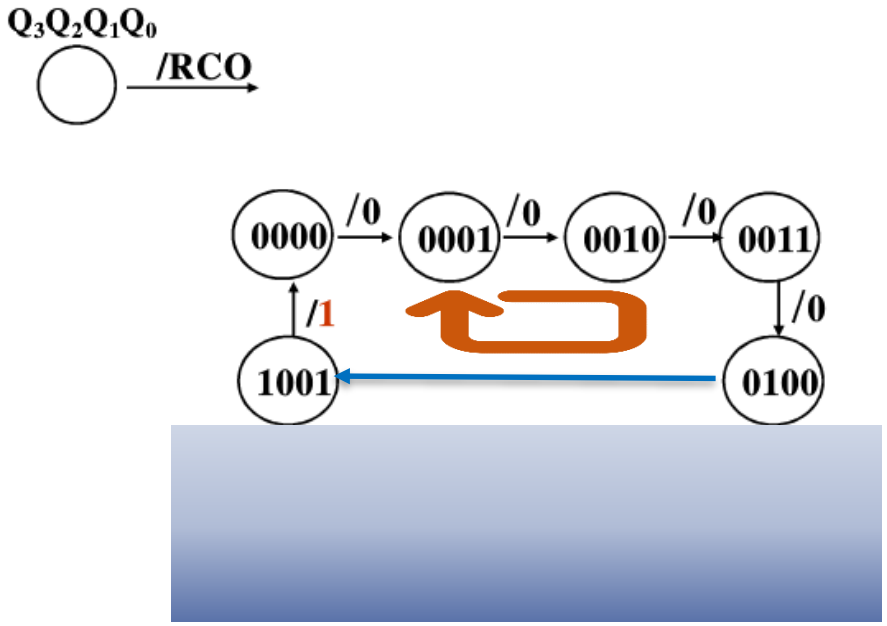
74160的有效状态转换图



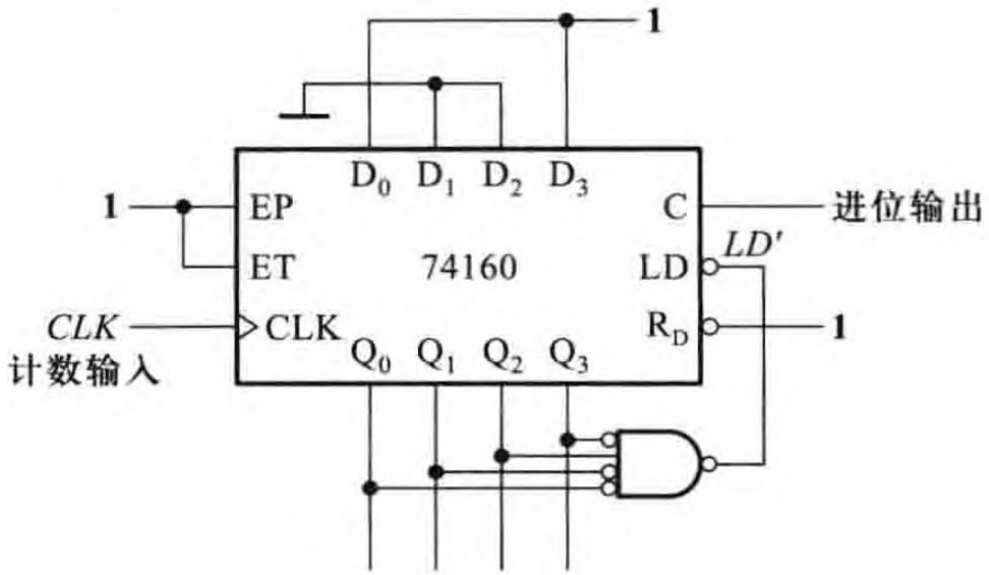
- 由于74160采取的是同步预置数的方式，即$\overline{LD} = 0$后，还要等下一个CLK信号到来时才置入数据，而这时的$\overline{LD} = 0$信号已稳定地建立了，所以不存在异步置数法中因置零信号持续时间过短而可靠性不高的问题。

同步置数法将74160接成六进制计数器（2）

预置数　　$D_3D_2D_1D_0 = 1001$



74160的有效状态转换图



当输出 $Q_3Q_2Q_1Q_0 = 0100$ 时，$\overline{LD} = 0$ 进行同步置数1001，
然后从1001开始继续加法计数。
在每个计数循环会在C端给出一个进位脉冲。

同步清零法（针对74163而言）

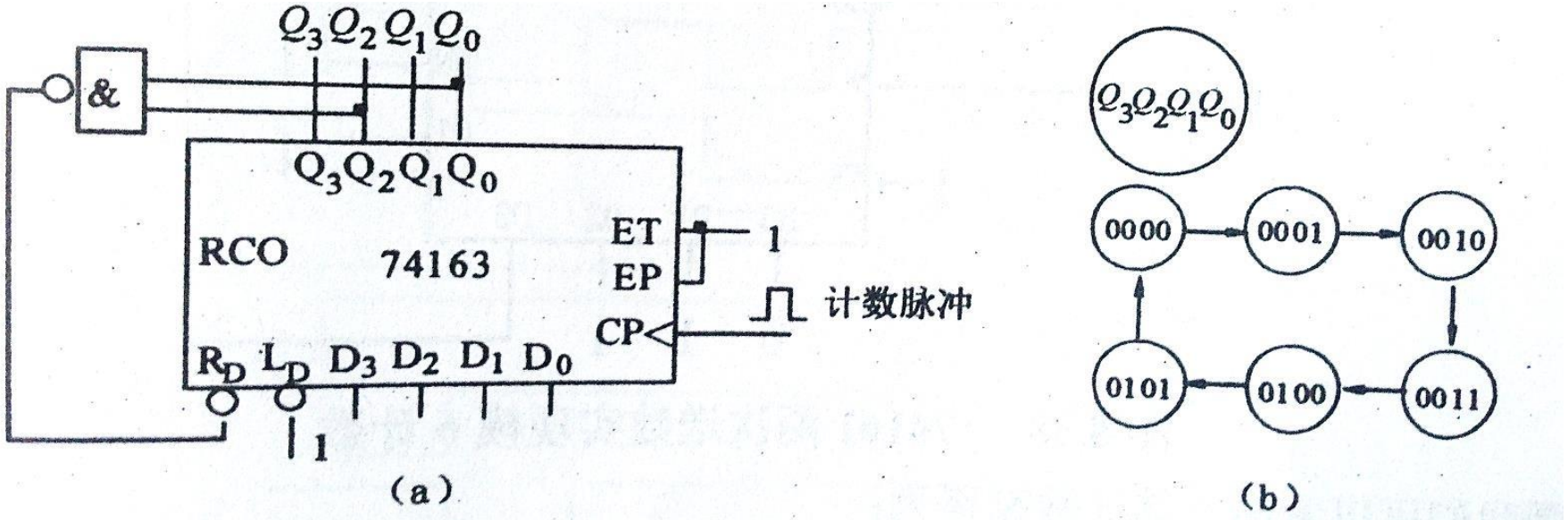


图 8.35 同步清零法组成 6 进制计数器

异步预置数法: (只针对74191而言)

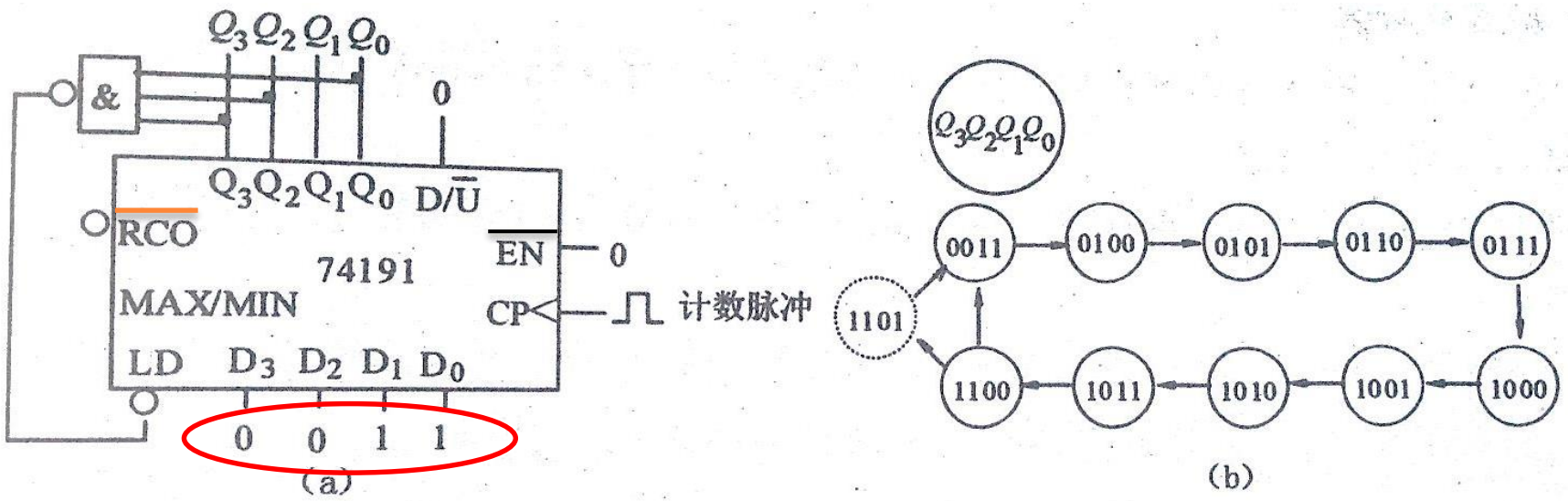
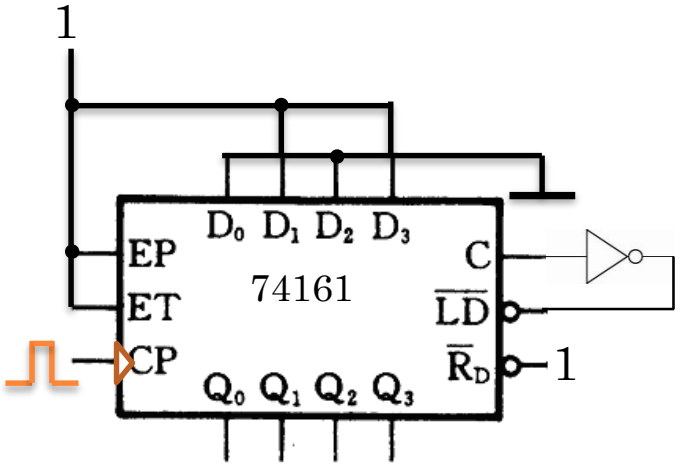


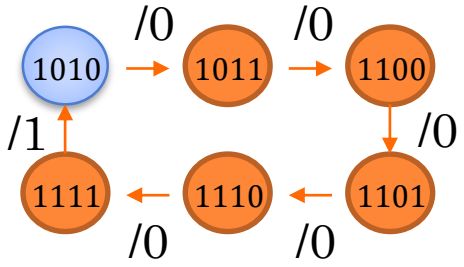
图 8.36 异步置数法组成余 3 码十进制计数器

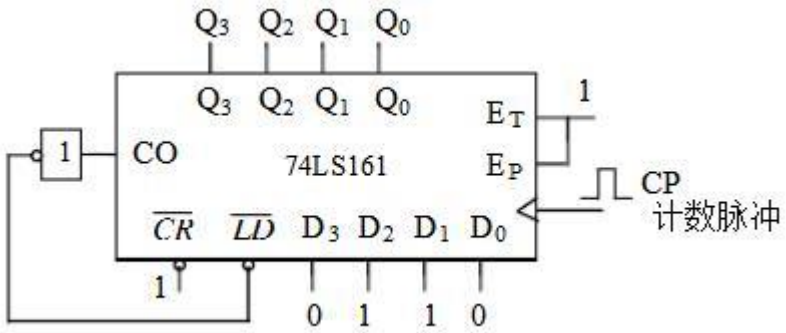
方法三：利用进位信号反馈置数法实现计数



$Q_3Q_2Q_1Q_0$

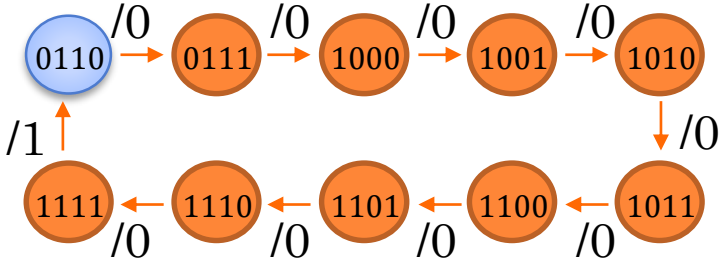
六进制计数器





$Q_3Q_2Q_1Q_0$

十进制计数器



$M > N$的情况 (1)

- 用多片N进制计数器组合起来，能构成M进制计数器。
- 各片之间（或称为各级之间）的连接方式可分为
  - 串行进位方式（异步级联）
  - 并行进位方式（同步级联）
  - 整体置零方式
  - 整体置数方式

  } 并行进位

考试请务必按照课堂的经典方法答题，简洁易懂。

- 若$M = N_1 \times N_2$，N_1，$N_2 \le N$，则可采用串行进位方式或并行进位方式将一个N_1进制计数器和一个N_2进制计数器连接起来，构成M进制计数器。
- 在串行进位方式中，进位信号必须是稳定信号
  - 以低位片的进位输出信号作为高位片的时钟输入信号。(低位片CO【反相后】→高位片CP)
- 在并行进位方式中，进位信号必须是稳定信号
  - 以低位片的进位输出信号作为高位片的工作状态控制信号（计数的使能信号），两片的CLK输入端同时接计数输入信号。（低位片CO →高位片EP、ET ）

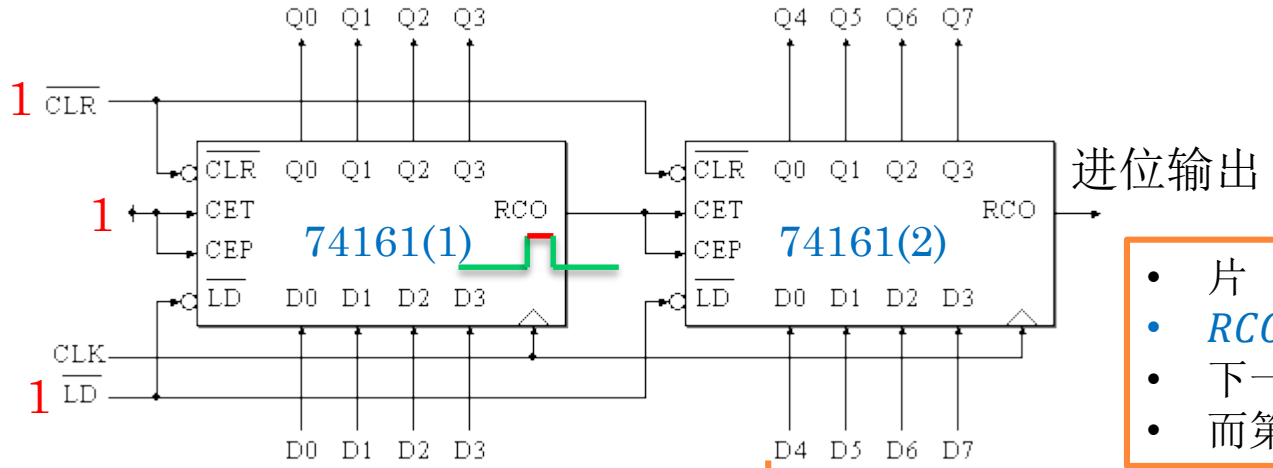
$M > N$的情况 (2)

- 当M为大于N的素数（即质数）时，不能分解成N_1和N_2
  - 这时必须采取整体置零方式或整体置数方式构成M进制计数器。
- 整体置零方式：
  1. 将两片N进制计数器按最简单的方式接成一个大于M进制的计数器（例如$N \cdot N$进制），
  2. 在计数器计为M状态时译出异步置零信号$R = 0$，将两片N进制计数器同时置零。
- 整体置数方式：
  1. 需将两片N进制计数器用最简单的连接方式接成一个大于M进制的计数器（例如$N \cdot N$进制），
  2. 在选定的某一状态下出$\overline{LD} = 0$信号，将两个N进制计数器同时置入适当的数据，跳过多余的状态，获得M进制计数器。
- 当然，当M不是素数时整体置零法和整体置数法也可以使用。
- 整体置零法可靠性较差，往往还要另加译码电路才能得到需要的进位输出信号。
  - 采用整体置数方式可以避免置零法的缺点

计数器的级联CASCADE CONNECTION（同步级联 SYNCHRONOUS CASCADES并行进位）

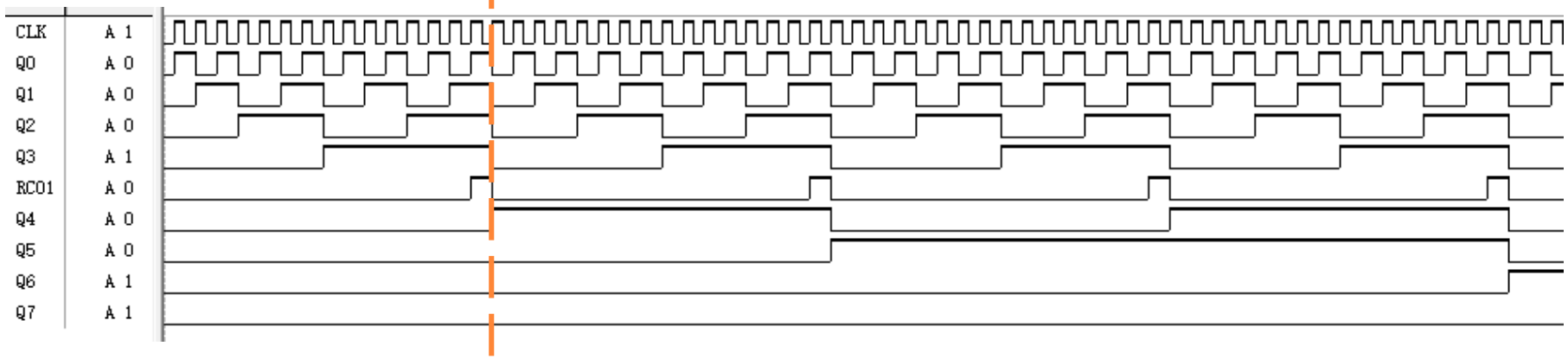
- 两个模N计数器级联，可以实现模值为$N\times N$的计数器。
  - 采用两片4位74161构成8位同步二进制加法计数器，模值为

$2^4\times 2^4=16\times 16=256$，级联方式为时钟同步方式，即并行进位方式的接法。。



同步级联：CO → EP、ET

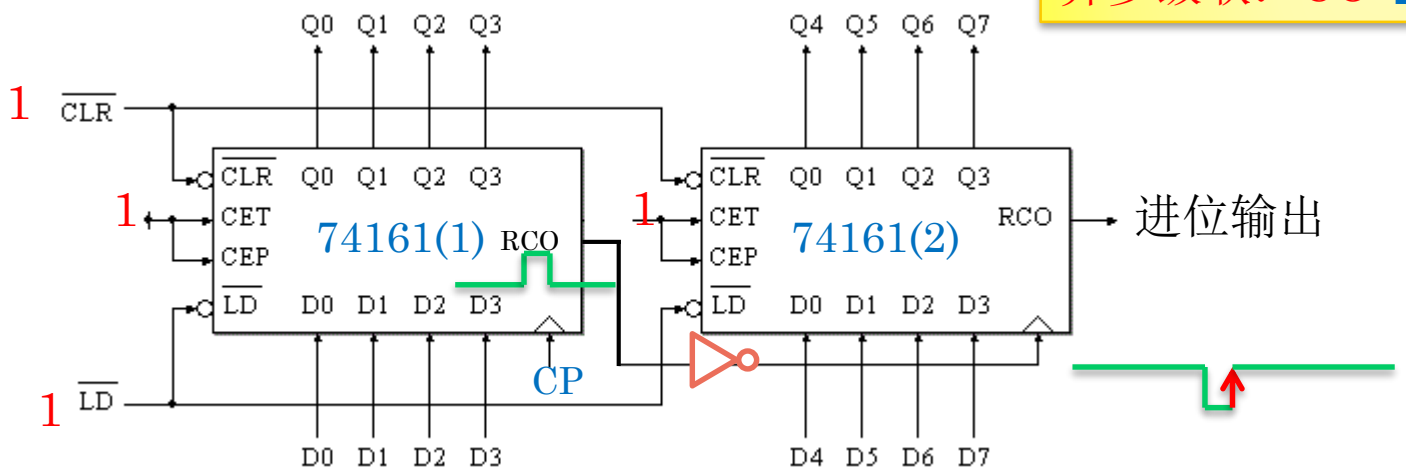
- 片（1）计数到最大值1111，
- $RCO=ET\cdot Q_3^n\cdot Q_2^n\cdot Q_1^n\cdot Q_0^n=1$
- 下一个CLK到达时，第（2）片为计数状态，计入1
- 而第（1）片记成0（0000），使得RCO端回到低电平。



计数器的级联CASCADE CONNECTION（异步级联 ASYNCHRONOUS CASCADES） 串行进位

- **串行**进位方式连接：EP、ET恒为1，都工作在计数状态

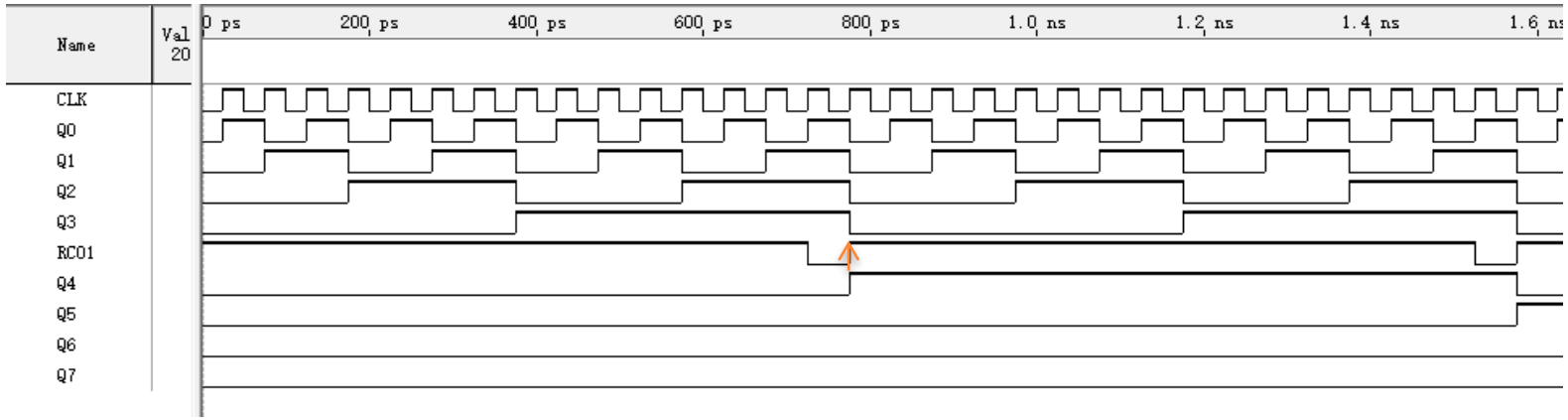
异步级联：CO【反相】→ CP



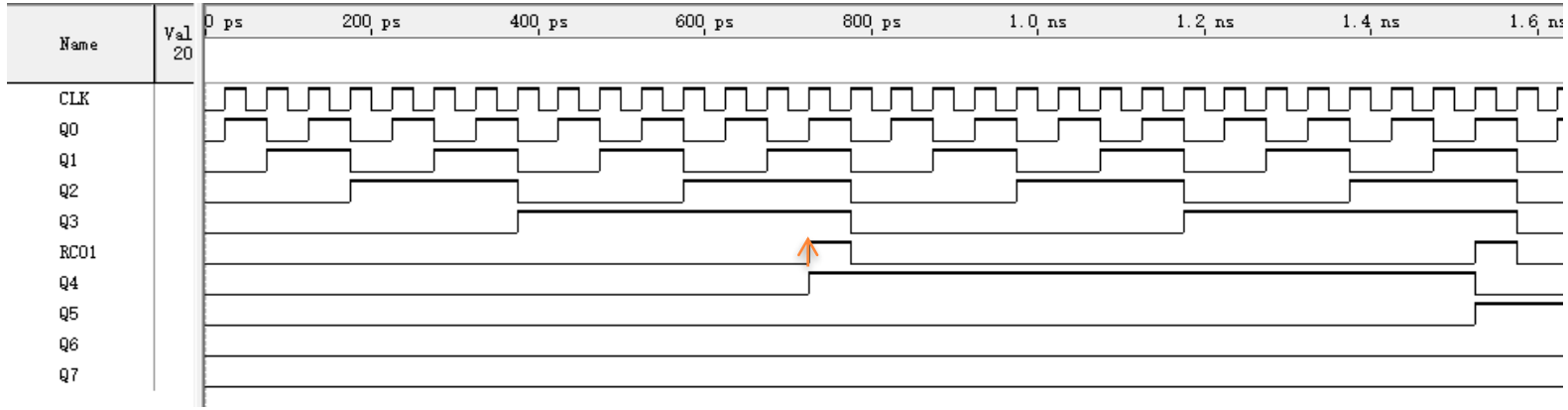
- 第（1）片计数到最大值1111， $RCO = 1$， RCO由原来的0变为1。于是第（2）片CLK有正跳变，第（2）片计入1
- 下一个计数脉冲到达后，第（1）片计成0（0000）， $RCO = 0$，RCO又变为0。
- 这种计数方式，芯片内同步，芯片间异步

两片74161串行进位方式连接

CO → CP之间加了反相器的波形图（RCO输出高电平有效，需要加反相器形成正确的波形）

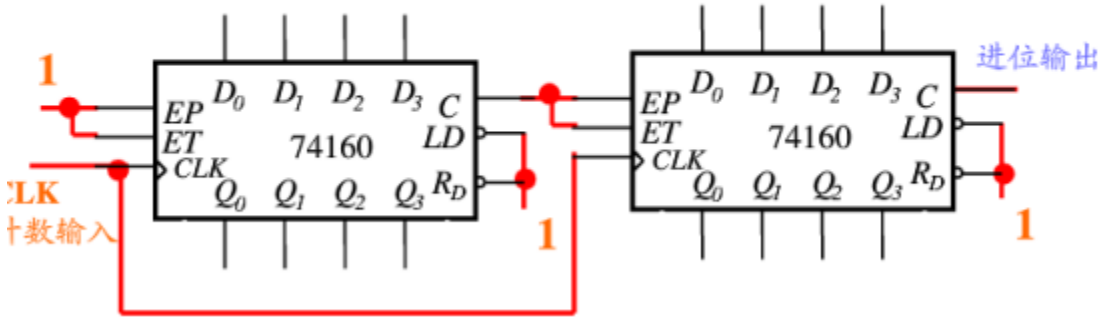


CO → CP之间未加反相器的波形图（波形不正确）

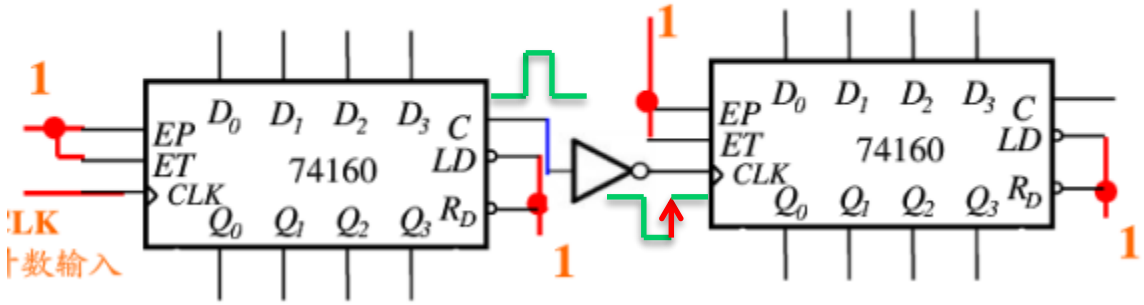


74160设计100进制计数器

(1) 并行进位，M=100=10*10。

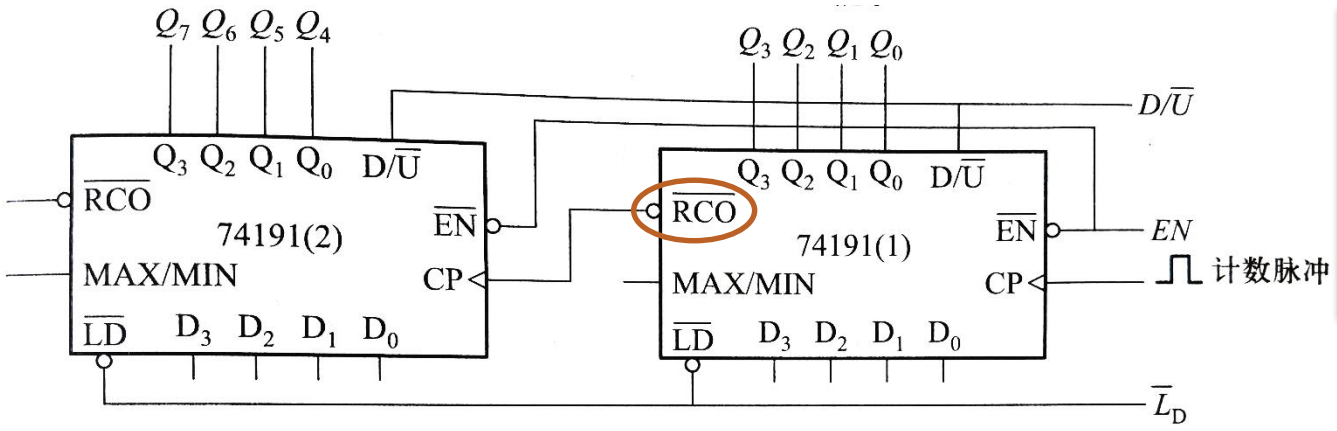


(2) 串行进位，M=100=10*10。



两片74191串行进位方式连接

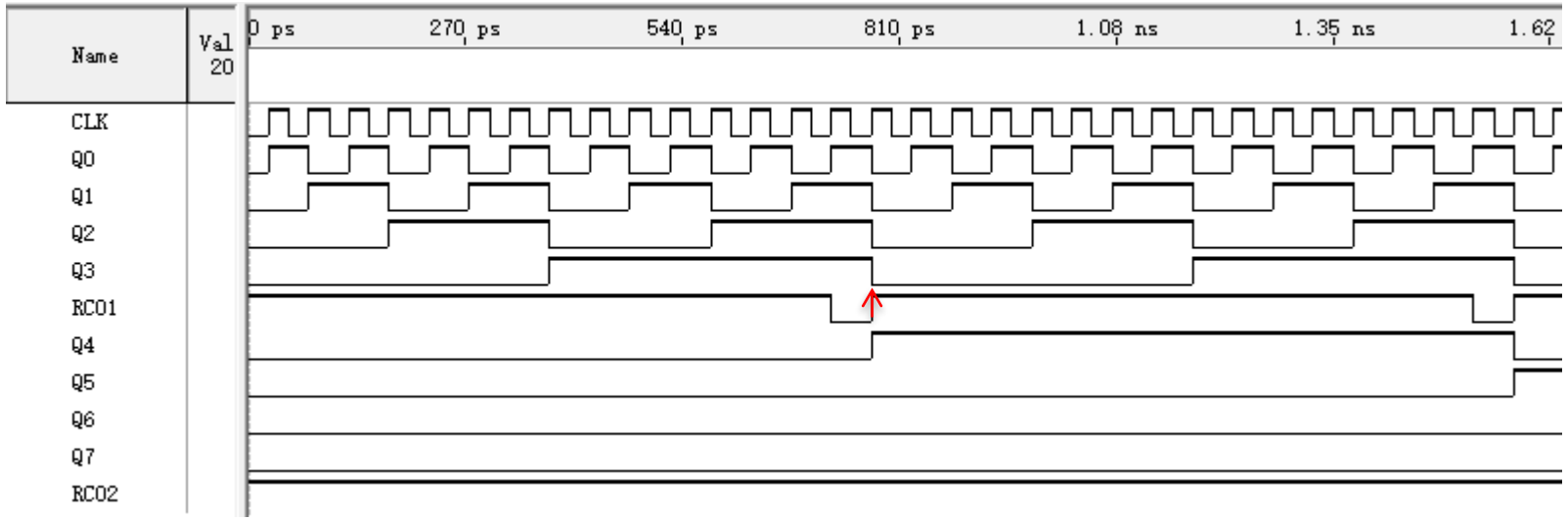
$\overline{RCO}$进位输出是低电平有效，连接第二片CP端不用加反相器



16进制　　16进制

题 9. 22 图

级联功能：实现16×16=256进制可逆计数器
芯片内同步，芯片间异步



74161设计48进制计数器

- 计数范围：0~47
- $48 = 3 \times 16$

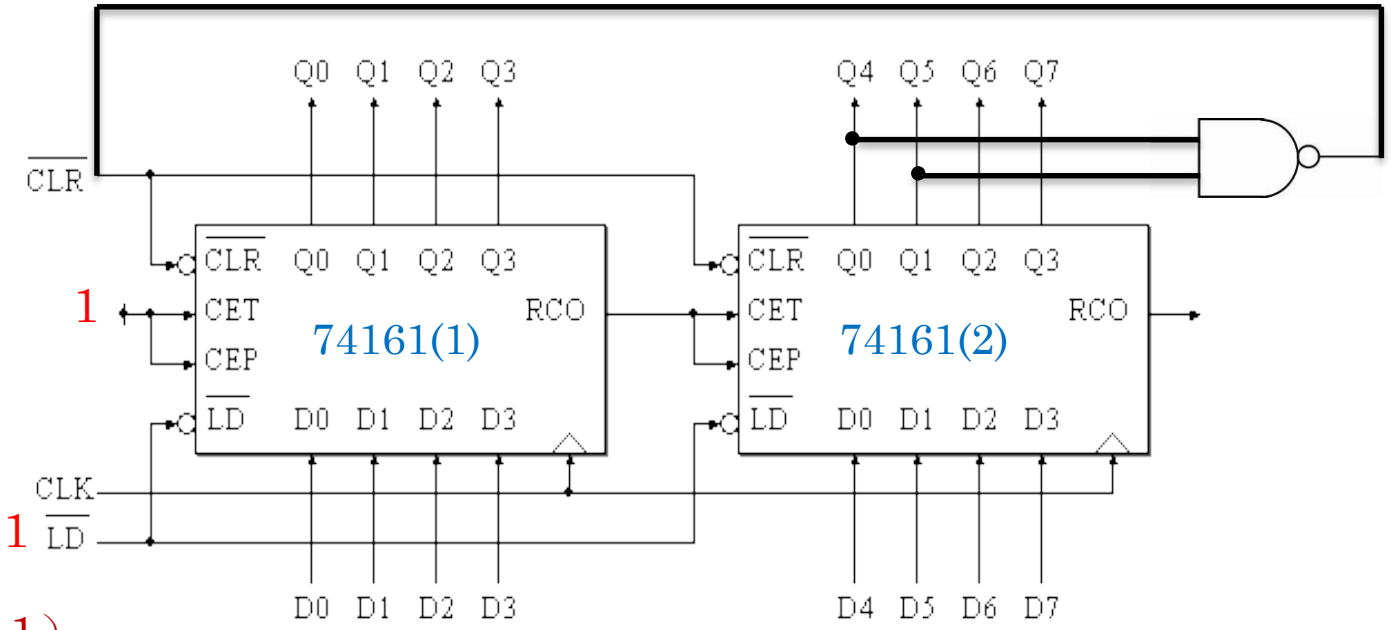
$(47)_{10}=(0010\ 1111)_2$

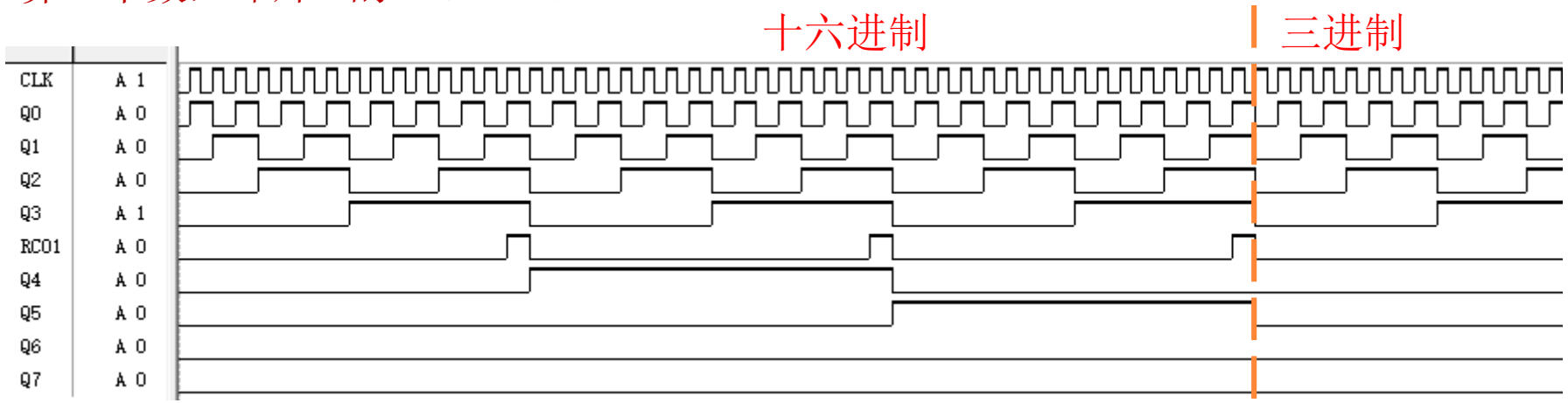
$(48)_{10}=(0011\ 0000)_2$

计数	I片	CO	II片
16	0-15	0	0000
32	0-15	1	0001
48	0-15	1	0010
		1	0011

异步向前多算一个数，即片II的3（0011）

十六进制计数器74161：
异步清零，同步置数





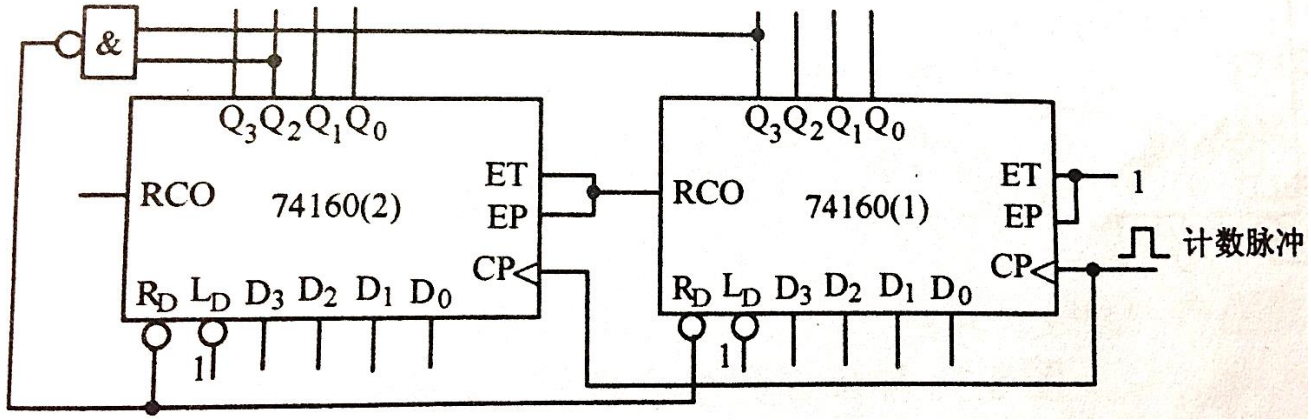
整体置零方式例题

- 使用74160实现模48的计数器
- 计数范围：0~47
- $48 = 4 \times 10 + 8$

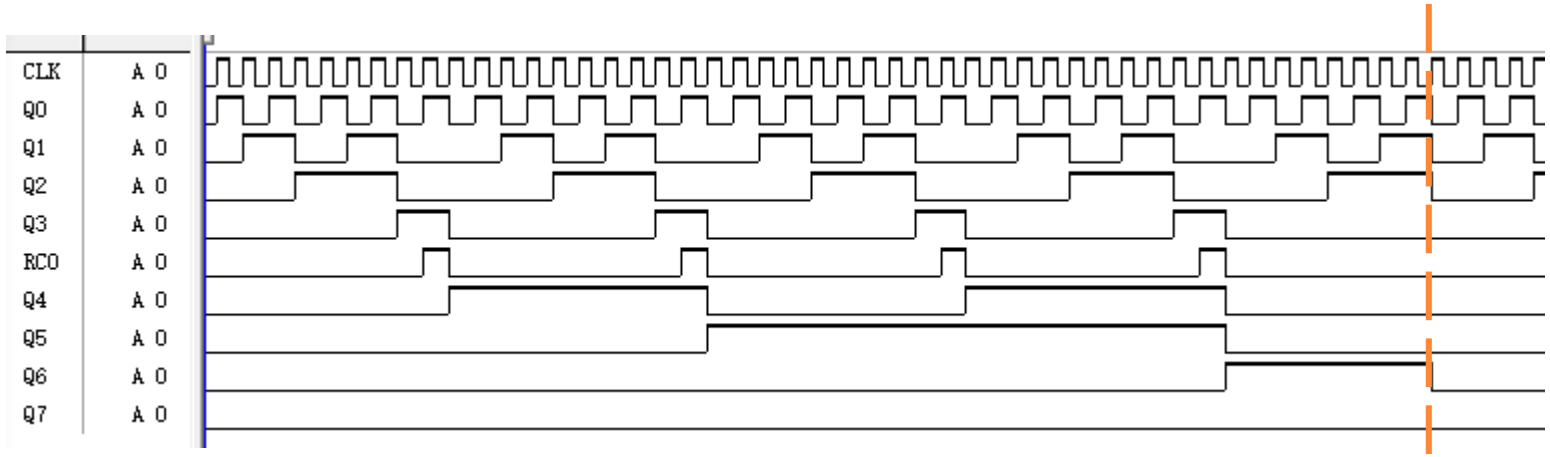
十进制计数器74160：
异步清零，同步置数

计数	I片	CO	II片
10	0-9	0	0000
20	0-9	1	0001
30	0-9	1	0010
40	0-9	1	0011
48	0-7 （1000）	1	0100

异步向前多算一个数，即48



整体置零：利用来自两片计数器的输出决定清零信号。

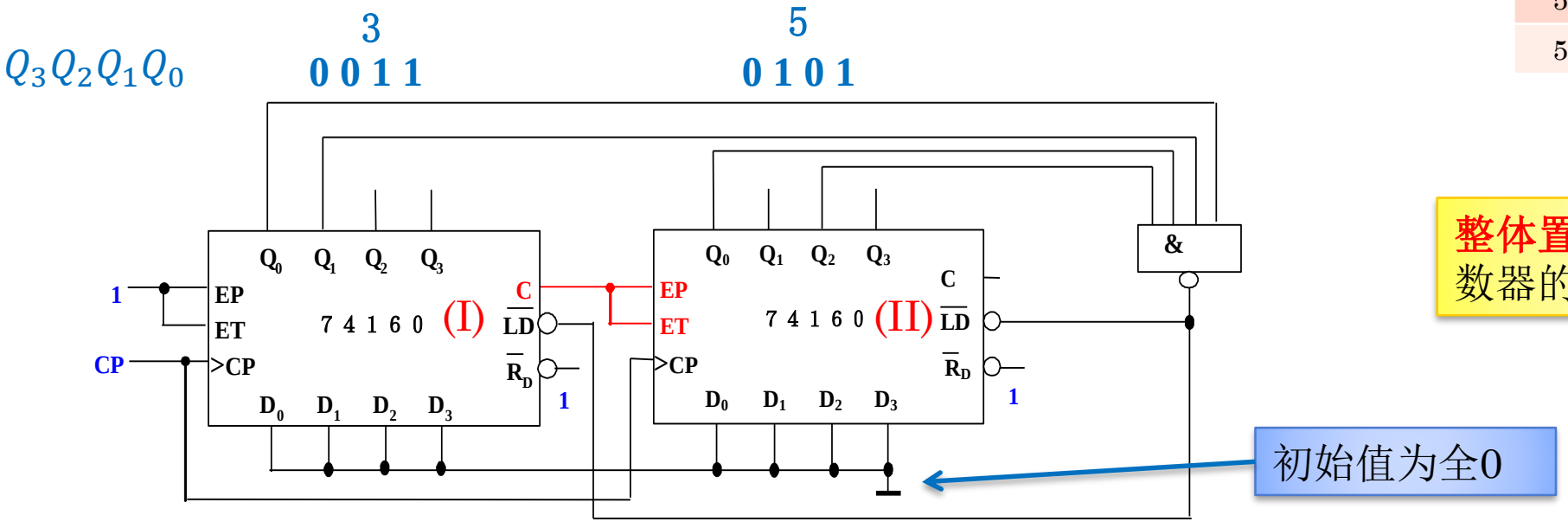


计数器级联应用

例：试用两片74160实现54进制计数器。①整体置数法（0～53）

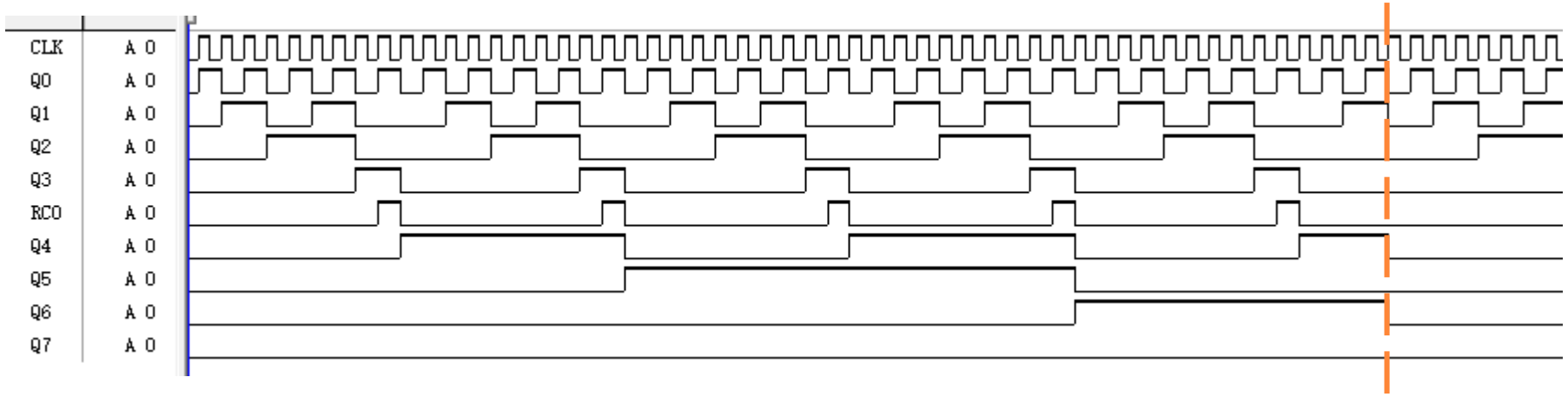
解：M=54，74160是具有异步清零、同步置数的十进制计数器。

计数	I片	CO	II片
10	0-9	0	0000
20	0-9	1	0001
30	0-9	1	0010
40	0-9	1	0011
50	0-9	1	0100
54	0-3	1	0101



整体置数：利用来自两片计数器的输出决定置数信号。

$(53)_{10}=(0011\ 0101)_2$



计数器级联应用

例：试用两片74161实现54进制计数器。①整体置数法（0～53）

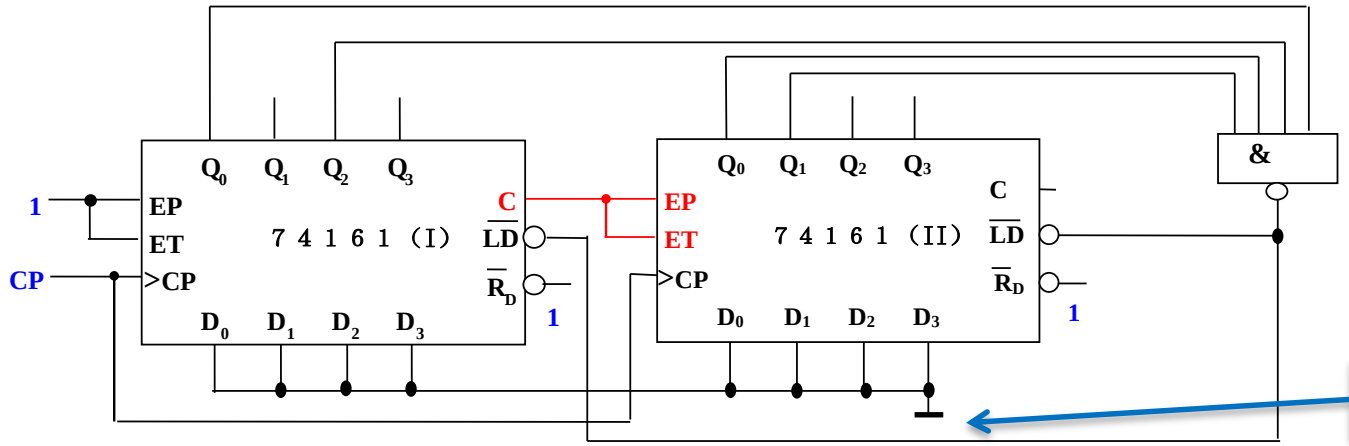
解：M=54，74161是具有异步清零、同步置数的十进制计数器。

计数	I片	CO	II片
16	0-15	0	0000
32	0-15	1	0001
48	0-15	1	0010
54	0-5	1	0011

$Q_3Q_2Q_1Q_0$

5 0101

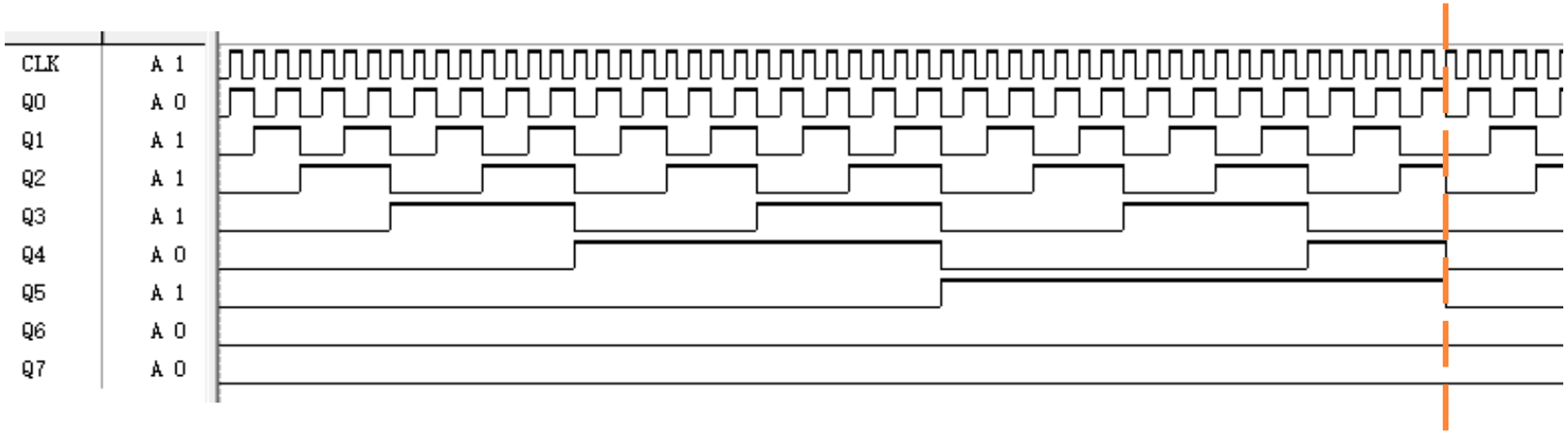
3 0011



初始值为全0

整体置数：利用来自两片计数器的输出决定置数信号。

$(53)_{10}=(0011\ 0101)_2$

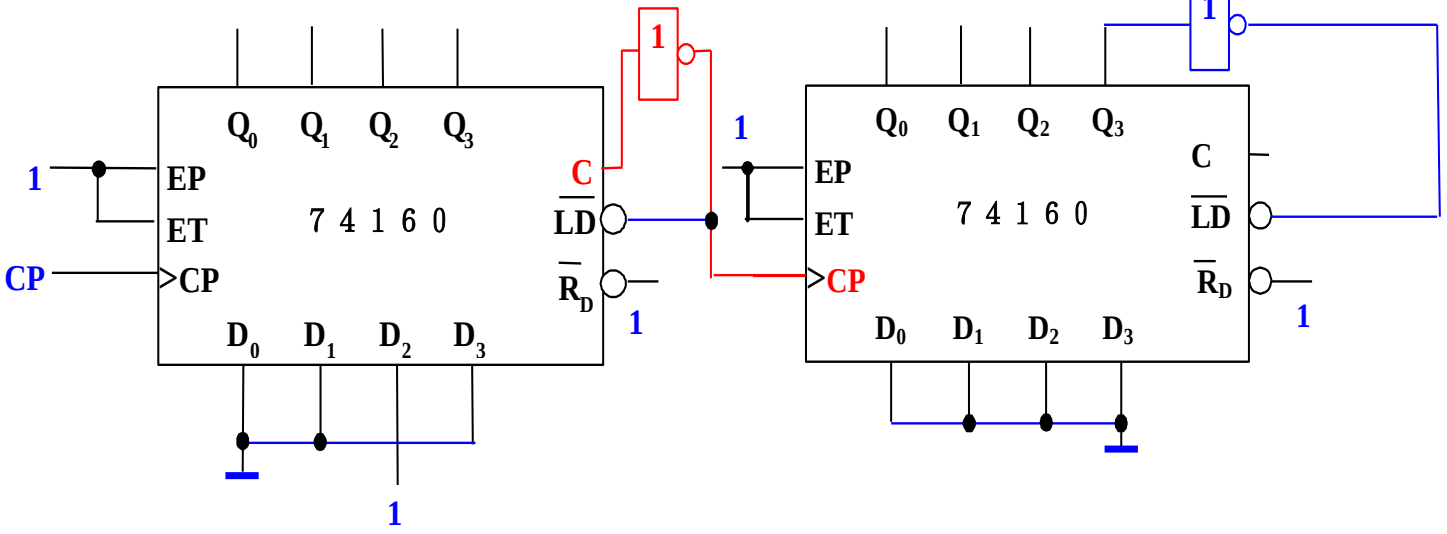


计数器级联应用②分解法

M=54=6×9，用两片74160分别构成六进制和九进制，然后级联（串行进位）即可。

取这6个数字进入主循环

N	$Q_3Q_2Q_1Q_0$
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

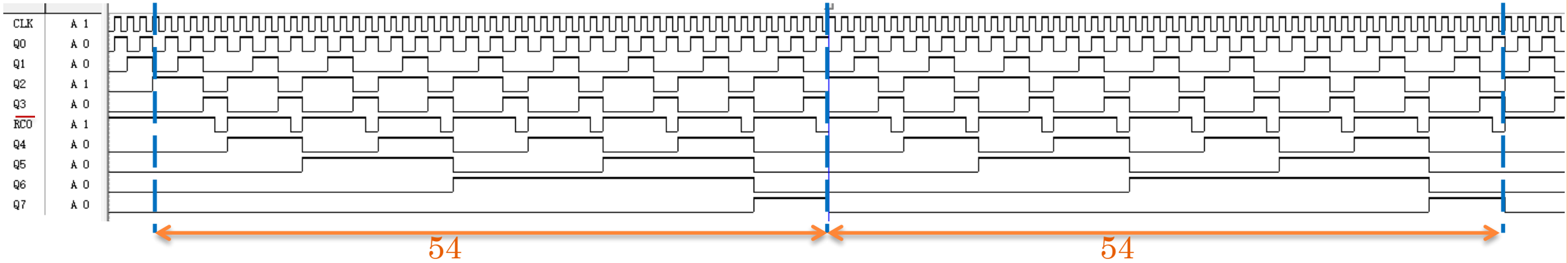


六进制　　九进制

N	$Q_3Q_2Q_1Q_0$
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

取这9个数字进入主循环

需要先从缺省初始值全0运行到进位置数的位置

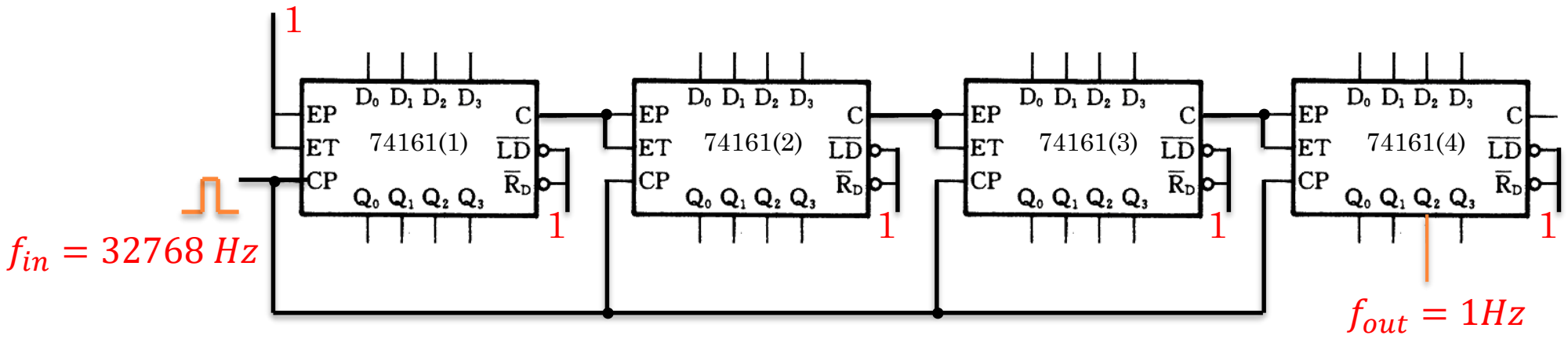


内容

- 9.1 寄存器和移位寄存器
- 9.2 计数器
  - 9.2.1 二进制计数器
  - 9.2.2 十进制计数器
- 9.3 集成计数器的应用
  - 9.3.1 计数器的级联
  - 9.3.2 使用单个计数电路构成任意进制计数器
  - 9.3.3 构成分频器
  - 9.3.4 构成脉冲节拍
- 9.4 序列信号发生器
  - 9.4.1 给定序列信号设计电路
  - 9.4.2 已知序列长度设计序列信号发生器
- 本章小结

构成分频器

- 模N计数器进位输出端输出脉冲的频率是输入脉冲频率的$1/N$，因此可用模N计数器组成N分频器
- 例：振荡器输出脉冲信号的频率为 32768 Hz，用74161构成分频器，产生频率为 1 Hz的脉冲信号。
- 解：
- $2^{16} = 65536 \rightarrow 2^{15} = 32768$
- 经15级二分频，就可获得频率为1Hz的脉冲信号。因此将四片74161级联（并行进位方式），从高位片（4）的Q_2输出即可。

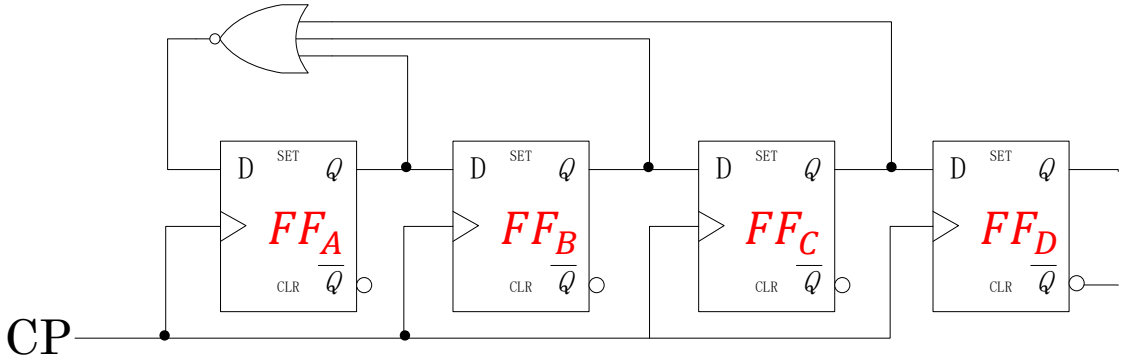


内容

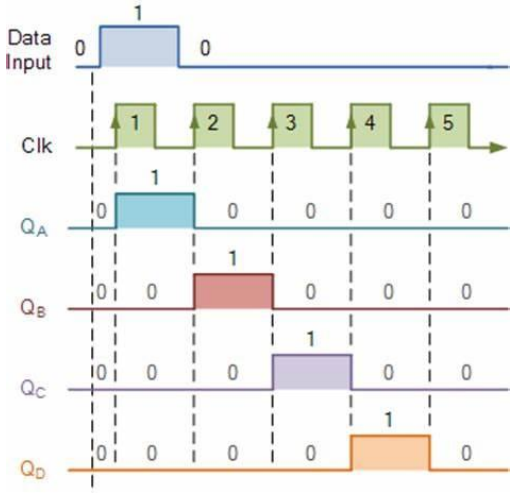
- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

构成脉冲节拍（顺序信号发生器）（1）

- 脉冲节拍：在时钟脉冲作用下，顺序地在每个输出端输出节拍脉冲，以协调系统各部分的工作。
  - 是数字系统中定时部件的组成部分，也是计算机中的重要信号。
- 顺序信号发生器可以用移位寄存器构成。



4-位自启动环形计数器



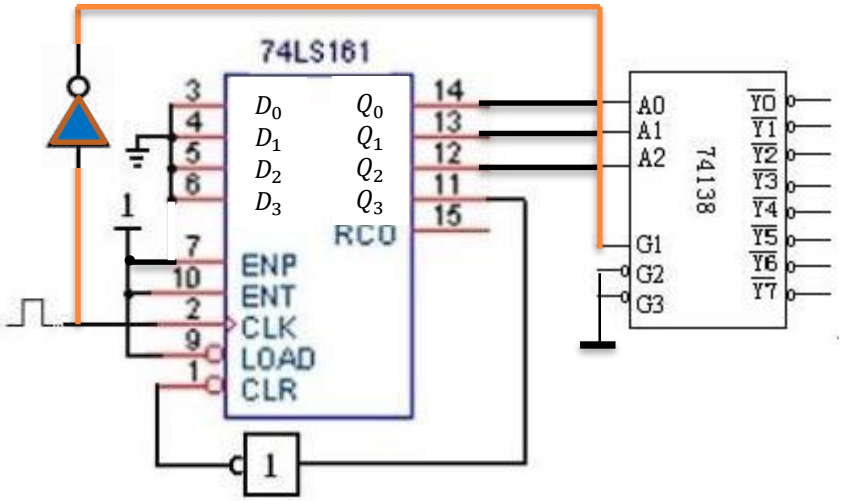
- 当环形计数器工作在每个状态中只有一个1的循环状态时，它就是一个顺序脉冲发生器。
  - 优点：不必附加译码电路，结构简单
  - 缺点：使用的触发器数目比较多，同时还必须采用能自启动的反馈逻辑电路

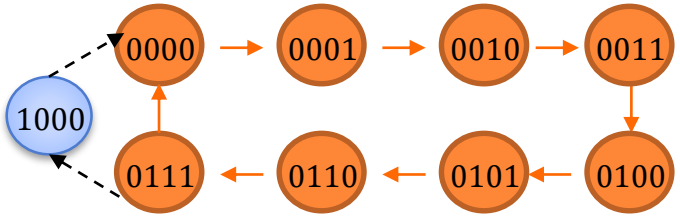
构成脉冲节拍（顺序信号发生器）（2）

- 在顺序脉冲数较多时，可以用计数器和译码器组合成顺序脉冲发生器。
- 下图是一个由计数器74161和译码器74138组成的脉冲节拍电路。
  - 74161构成模8计数器，输出状态$Q_2Q_1Q_0$在000~111之间循环变化，从而在译码器输出端$\overline{Y_0}$~$\overline{Y_7}$得到脉冲序列。
- 74LS161中的各个触发器的传输延迟不同，
  - 在将计数器的状态译码时，仍然存在竞争-冒险现象。
  - 为了消除竞争-冒险现象，在G1端加入选通脉冲。
  - 若将计数器改成4位扭环形计数器，可从根本上消除竞争，因为任两个相邻状态之间仅有一个触发器状态不同。

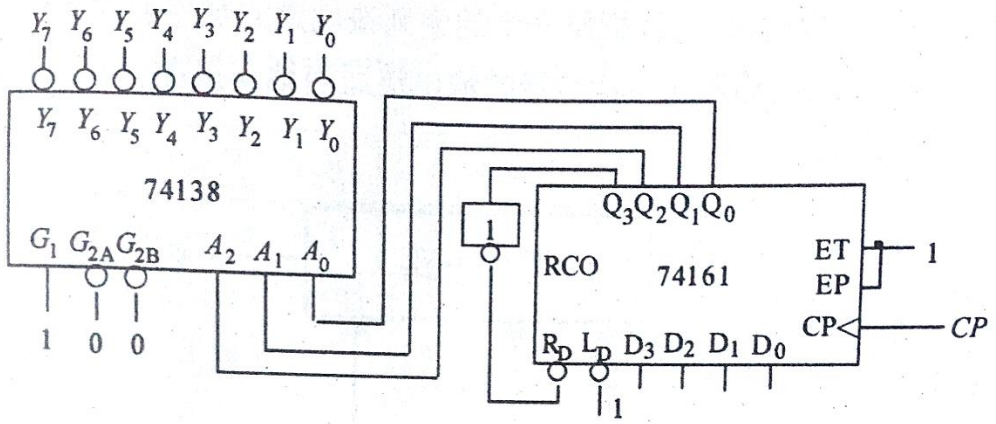
选通脉冲的有效时间应与触发器的翻转时间错开。

为了消除竞争-冒险现象

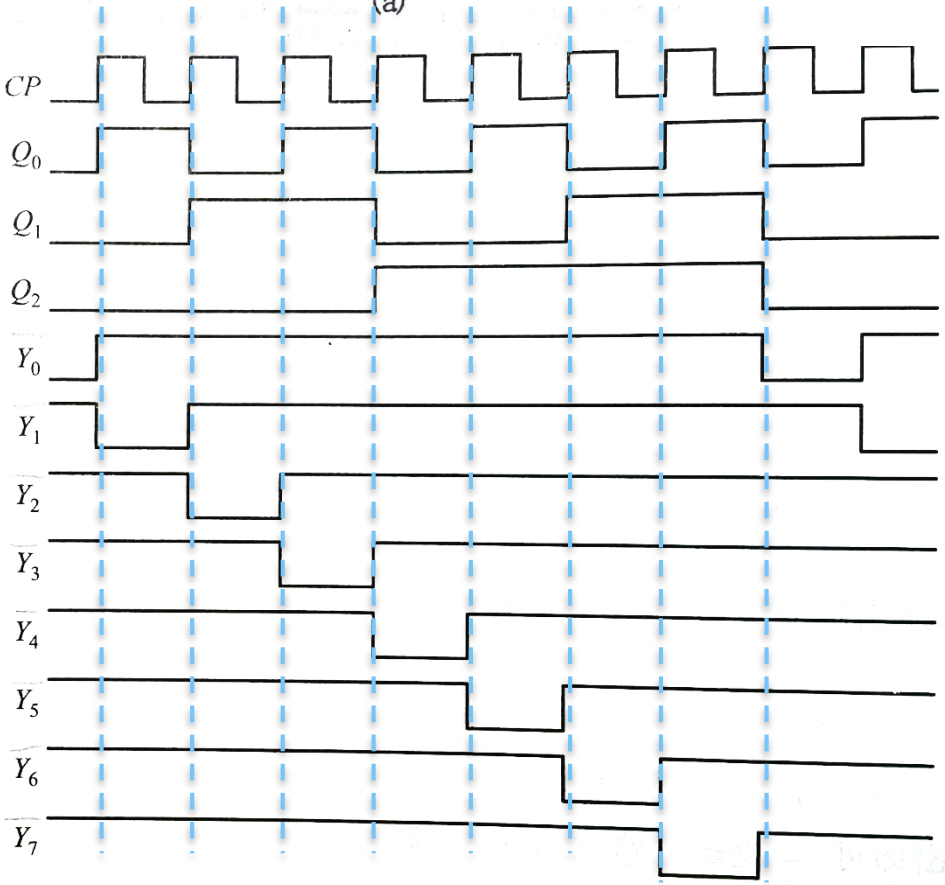




构成脉冲节拍应用



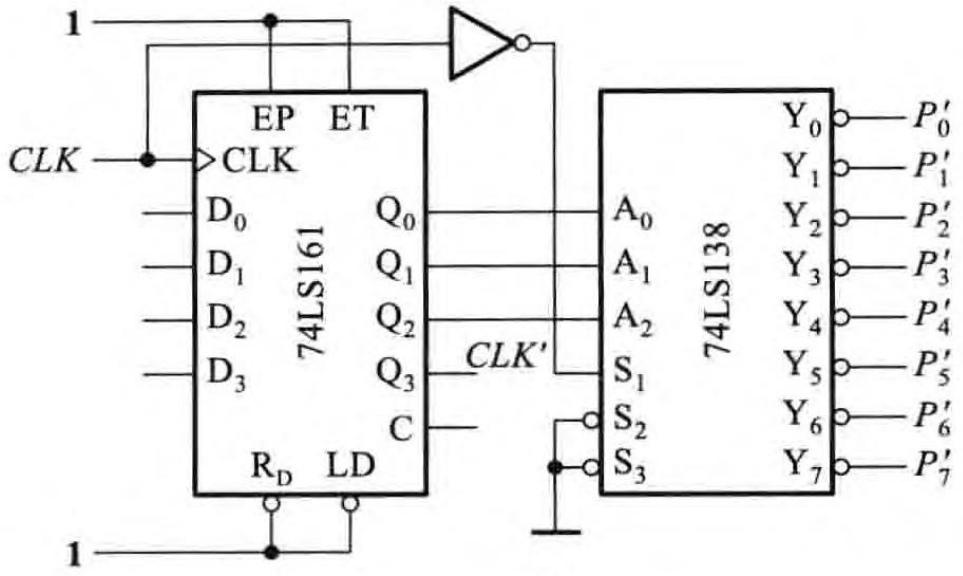
(a)

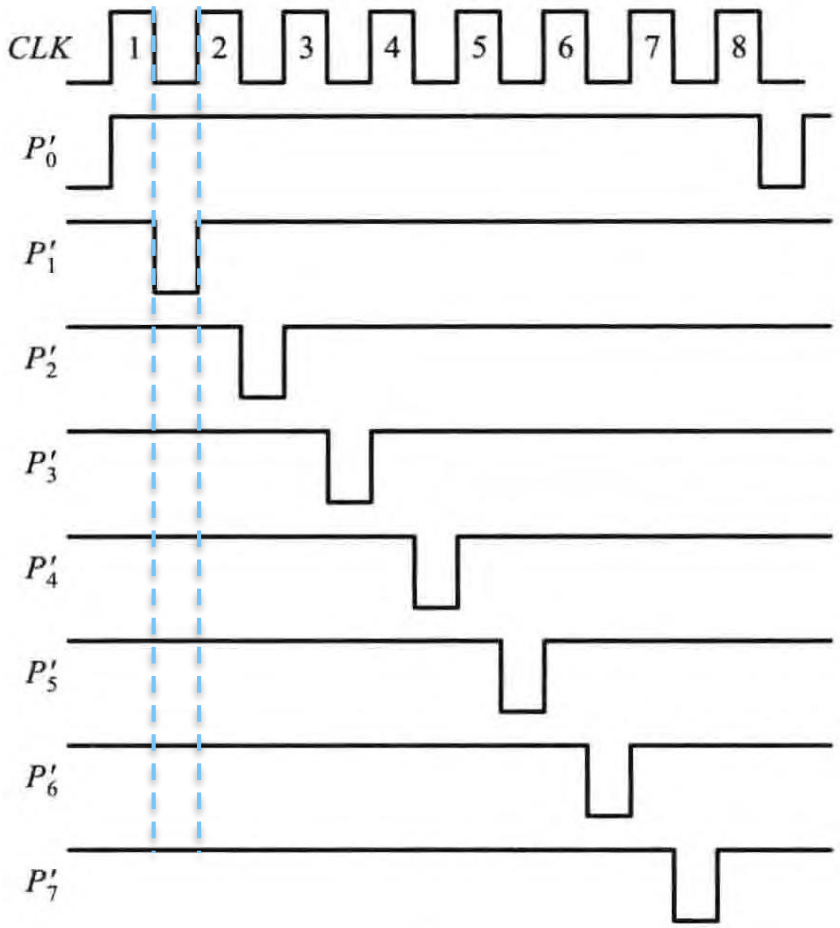


未加选通脉冲时实现的脉冲节拍电路！

虽然74161中的触发器在同一时钟信号操作下工作，但各个触发器的传输延迟时间不可能完全相同，在将计数器的状态译码时仍然存在竞争-冒险现象。

添加选通脉冲时实现的脉冲节拍电路!

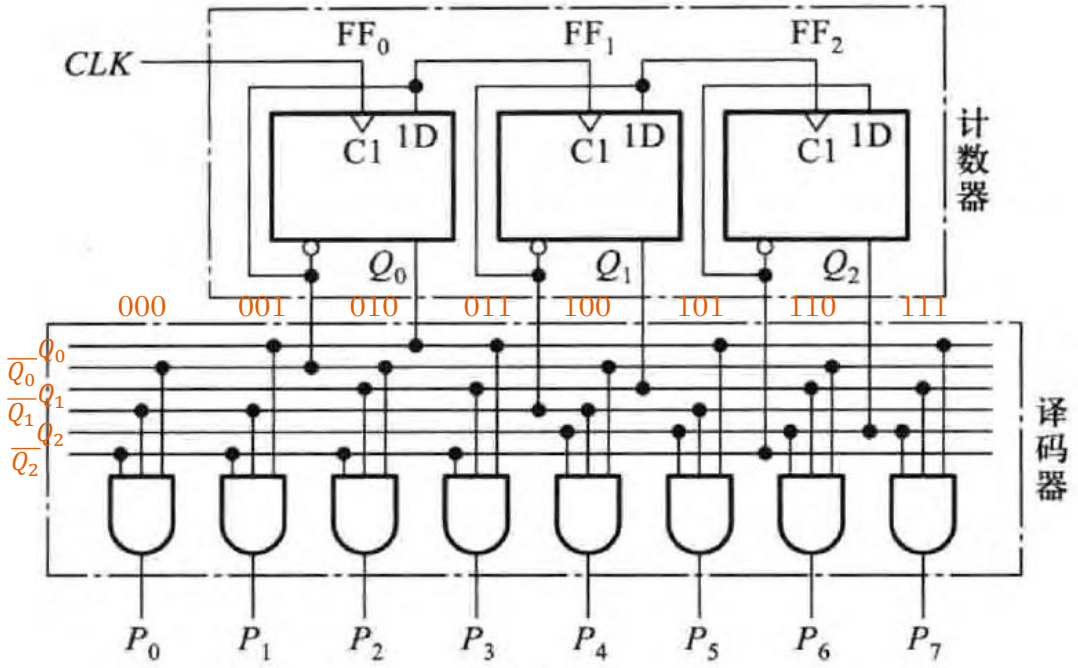


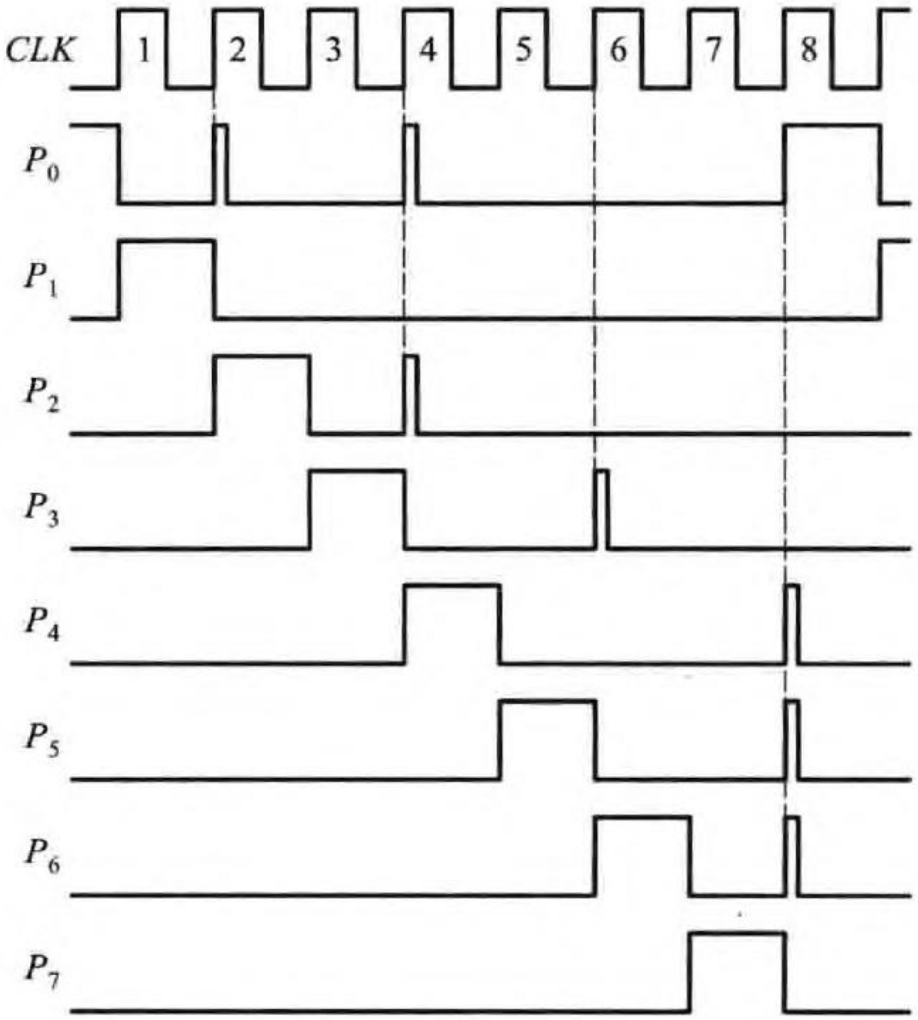


选通脉冲的有效时间应与触发器的翻转时间错开。

使用异步计数器，三个触发器在翻转时有先后，因此当两个以上触发器同时改变状态时将发生竞争-冒险现象

3-bit Asyn Binary Up Counter (See slide page 68)

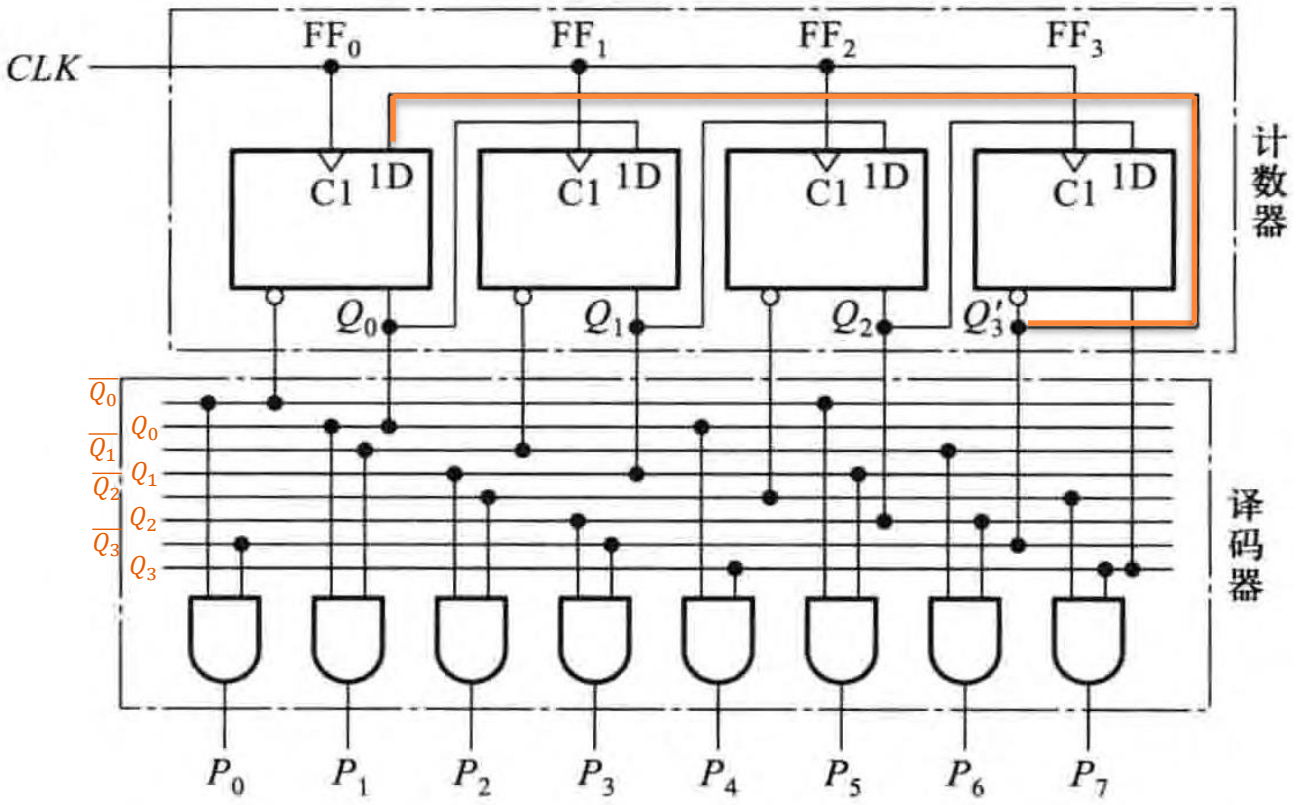




译码器的输出端出现尖峰脉冲

用扭环形计数器和译码器构成的顺序脉冲发生器

- 若将计数器改成4位扭环形计数器，可从根本上消除竞争，因为任两个相邻状态之间仅有一个触发器状态不同。
- 在状态转换过程中任何一个译码器的门电路都不会有两个输入端同时改变状态，亦即不存在竞争险象。



内容

- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

序列信号发生器
SEQUENCE SIGNAL GENERATOR

- 在数字信号的传输和数字系统的测试中，有时需要用到一组特定的串行数字信号。
- 序列信号：串行的周期性数字信号
  - 序列信号是在时钟脉冲作用下产生的一串周期性的二进制信号。
  - 包含的二进制数据位数称为序列长度
- 序列信号发生器：能产生序列信号的电路。
  - 给定序列信号设计电路；
  - 给定序列长度设计电路。

内容

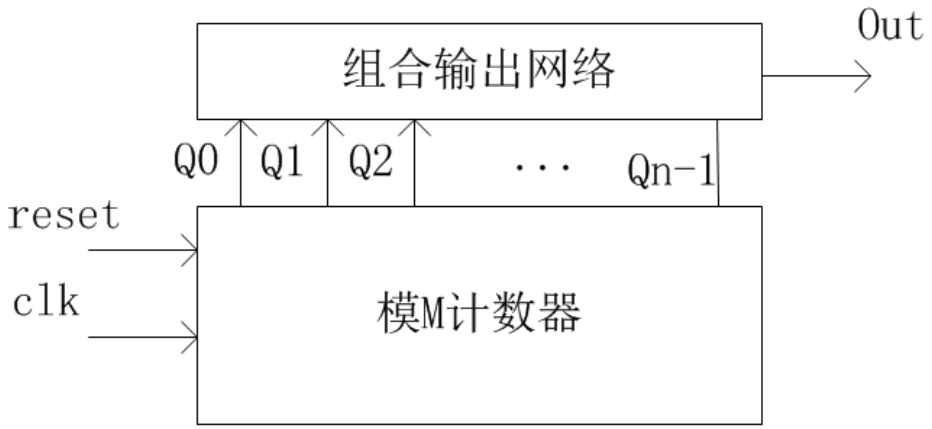
- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

给定序列信号设计电路

- 计数型序列信号发生器
- 移存型序列信号发生器

- 计数型序列信号发生器的特点：
  - 所产生的序列信号的长度等于计数器的模值，并可根据需要产生一个或多个序列信号。
- 可以用计数器辅以数据选择器构成序列发生器。
- 计数型序列信号发生器设计步骤：
  1. 构成一个模 M 计数器，M = 序列信号的长度；
  2. 选择适当的数据选择器，把要产生的序列按规定的顺序加在数据选择器的数据输入端，把地址输入端与计数器的输出端适当地连接在一起。

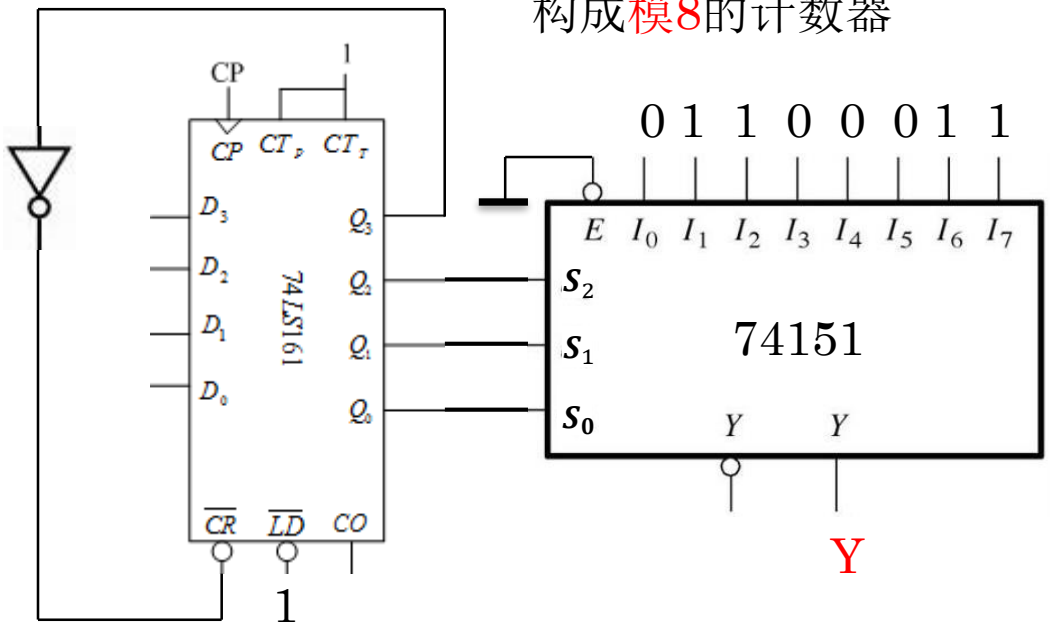
计数型序列信号发生器结构：
计数器+组合电路



例9.3：试用计数器74161和数据选择器设计一个01100011（时间顺序为自左而右）序列发生器

只需要模8计数器，Q_3反馈给 $\overline{CR}$ 端的连线也可以不用。

序列长度$M=8$，故需构成模8的计数器



CLK	Q_2	Q_1	Q_0	Y
	S_2	S_1	S_0	
0	0	0	0	$I_0(0)$
1	0	0	1	$I_1(1)$
2	0	1	0	$I_2(1)$
3	0	1	1	$I_3(0)$
4	1	0	0	$I_4(0)$
5	1	0	1	$I_5(0)$
6	1	1	0	$I_6(1)$
7	1	1	1	$I_7(1)$
8	0	0	0	$I_0(0)$

- 在74151数据选择器输入端I_i输入相应的序列，便可在Y端得到不断循环的序列信号。
- 需要修改序列信号时，只要修改加到$I_0 \sim I_7$的高、低电平即可实现，而不需对电路结构做任何更动。因此，使用这种电路既灵活又方便。

例9.4：设计1111010110周期序列发生器

- 序列长度为$P=10$，需要设计一个模10的同步计数器，按照8421BCD码计数器设计，同时给出输出序列。
- 解：可以利用SLIDES 83设计的8421BCD码计数器，但是改变输出序列；也可以直接用74160

N	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	1	0	1
2	0	0	1	0	0	0	1	1	1
3	0	0	1	1	0	1	0	0	1
4	0	1	0	0	0	1	0	1	0
5	0	1	0	1	0	1	1	0	1
6	0	1	1	0	0	1	1	1	0
7	0	1	1	1	1	0	0	0	1
8	1	0	0	0	1	0	0	1	1
9	1	0	0	1	0	0	0	0	0

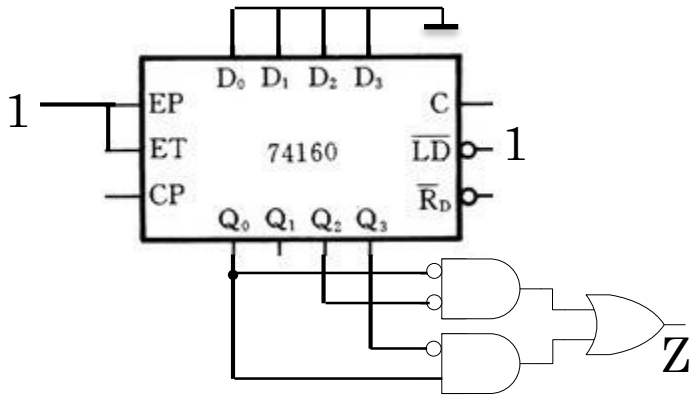
Z

$\overline{Q_2}\cdot\overline{Q_0}$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1	1	1	1
01	0	1	1	0
11	×	×	×	×
10	1	0	×	×

$\overline{Q_3}Q_0$

$$Z=\overline{Q_3}Q_0+\overline{Q_2}\cdot\overline{Q_0}$$

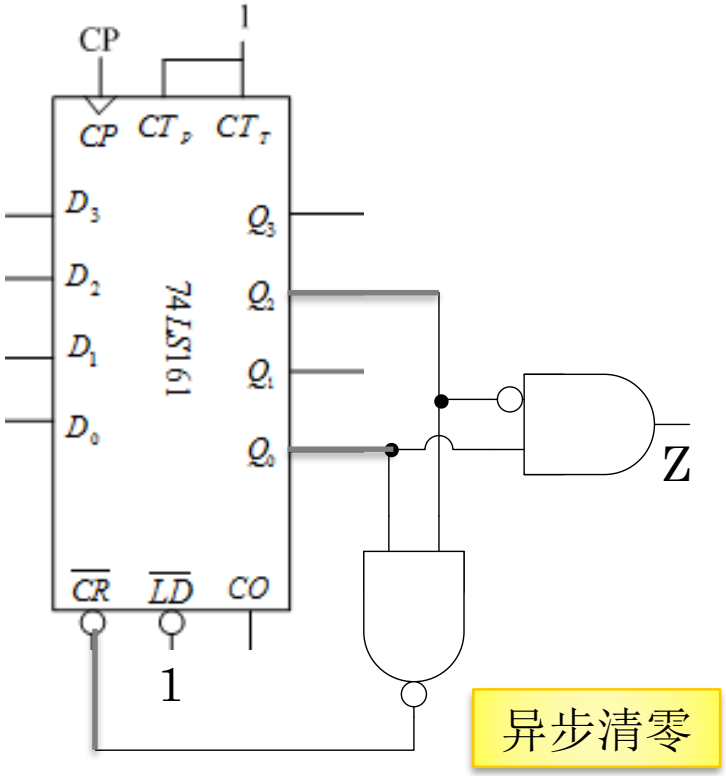


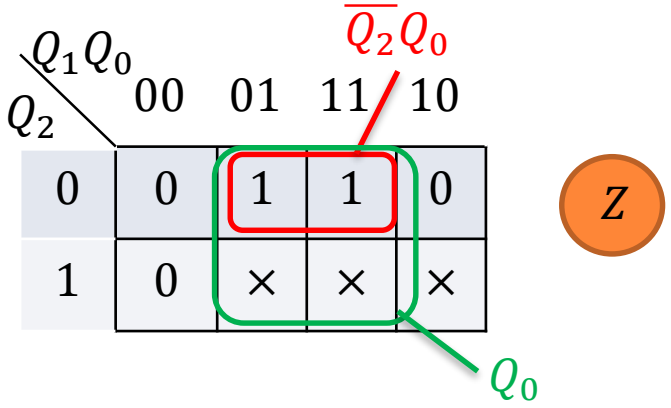
例P352：用74161及门电路构成01010序列信号发生器。

需要模5计数器

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	1	0
0	0	1	0	1	0	1
0	1	0	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	0	0	0
1	0	1	×	×	×	×
1	1	0	×	×	×	×
1	1	1	×	×	×	×

异步清零





选择 $Z=\overline{Q_2^n}Q_0^n$ （非最小化设计）

而没有选择$Z=Q_0^n$

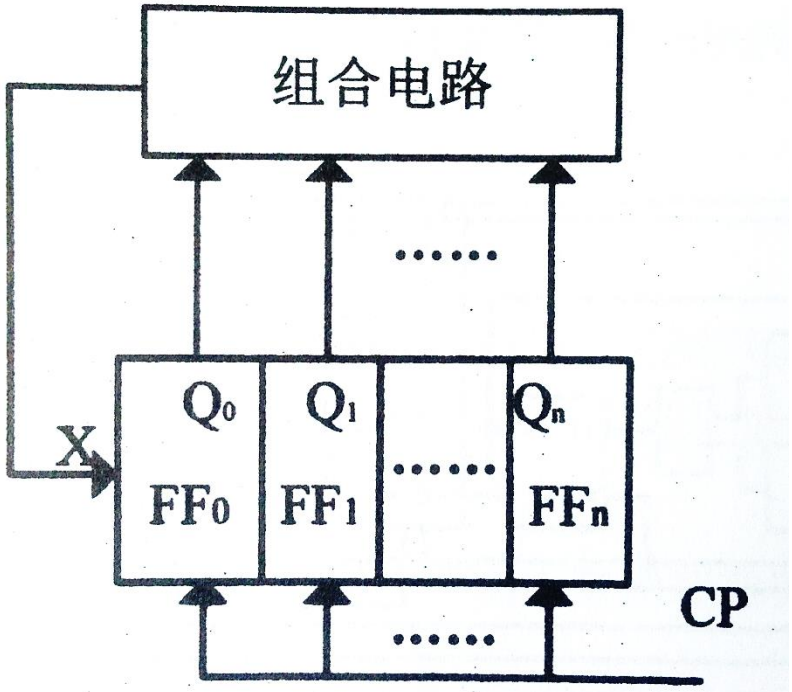
考虑后者会产生毛刺现象。

100→101再清零的瞬间， $Q_0=1$，会产生为1的毛刺。

而$\overline{Q_2^n}Q_0^n$的输出仍然为0。

移存型序列信号发生器（1）

- 采用带反馈逻辑电路的移位寄存器构成序列信号发生器。
  - 若序列信号的长度为m，移位寄存器的位数为n，则应取$\boxed{2^n \geq m}$



移存型序列信号发生器结构图

- 输出是以移位寄存器中的某个触发器作为序列信号输出。
- 关键：求出要移进来的数据跟各个触发器的关系。

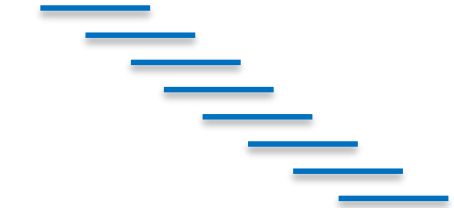
移存型序列信号发生器（2）

- **例9.5**：若要求产生00010111这样一组8位的序列信号，可用3位的移位寄存器加上反馈电路构成。从Q_2输出的串行信号就是要求的序列信号。

D_0为输入端，Q_2输出序列脉冲

CLK	Q_2	Q_1	Q_0	D_0
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	1	0	1	1
4	0	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0
8	0	0	0	1

Q_2： 0 0 0 1 0 1 1 1 0 0 0



D_0

Q_2 \ Q_1Q_0	00	01	11	10
0	1	0	1	1
1	0	1	0	0

注意状态转移表填入卡诺图的顺序！！！

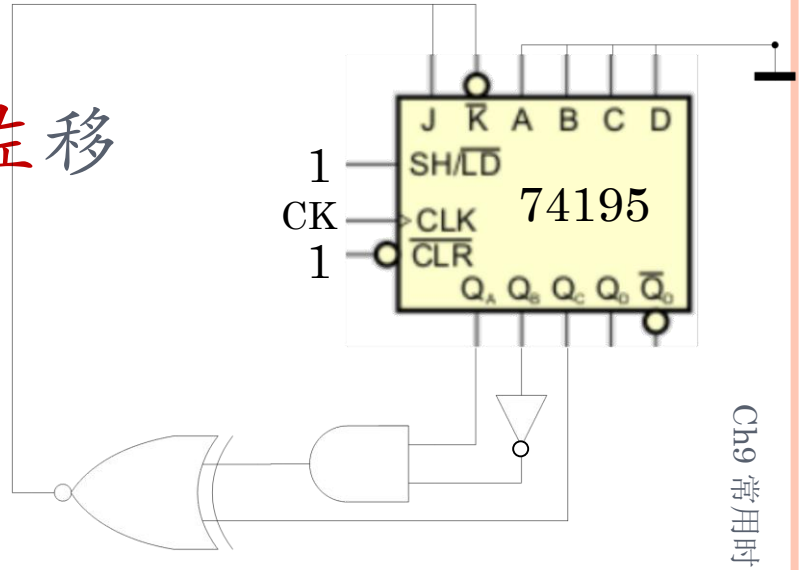
$$
\begin{aligned}
D_0 &= Q_2\overline{Q_1}Q_0 + \overline{Q_2}Q_1 + \overline{Q_2}\,\overline{Q_0} \\
&= Q_2\overline{Q_1}Q_0 + \overline{Q_2}(Q_1 + \overline{Q_0}) \\
&= Q_2\overline{Q_1}Q_0 + \overline{Q_2}\,\overline{\overline{Q_1}Q_0} \\
&= \overline{Q_2 \odot \overline{Q_1}Q_0} \\
&= \overline{Q_2 \oplus \overline{Q_1}Q_0}
\end{aligned}
$$

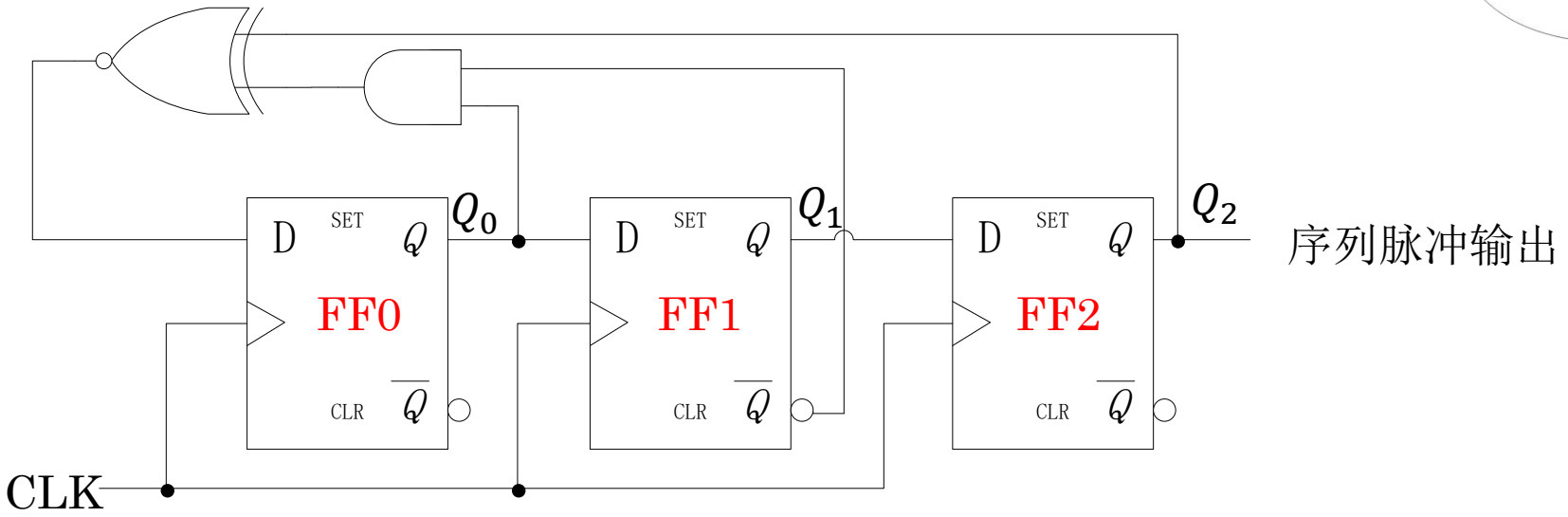
每三个按序填入真值表

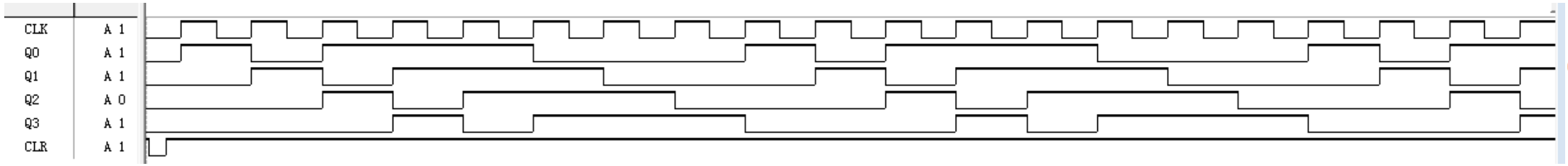
移存型序列信号发生器（2）

例题9.5逻辑图（用右移寄存器）课本用了左移

- 从Q_2输出的串行信号就是要求的序列信号00010111
- $D_0 = \overline{Q_2 \oplus \overline{Q_1} Q_0}$







例9.6：用移位寄存器构成000101序列信号发生器

- 序列长度$P=6$，$2^2<6<2^3$ ➔ 移位寄存器的位数$m\geq 3$
- 若$m=3$（见下表），当状态位010时，出现两种后续转移，分别为101和100，这是无法实现的。

必须增加移位寄存器的位数$m=4$

CLK	Q_2	Q_1	Q_0	D_0
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	1	0	1	0
4	0	1	0	0
5	1	0	0	0
6	0	0	0	1

CLK	Q_3	Q_2	Q_1	Q_0	D_0
0	0	0	0	1	0
1	0	0	1	0	1
2	0	1	0	1	0
3	1	0	1	0	0
4	0	1	0	0	0
5	1	0	0	0	1
6	0	0	0	1	0

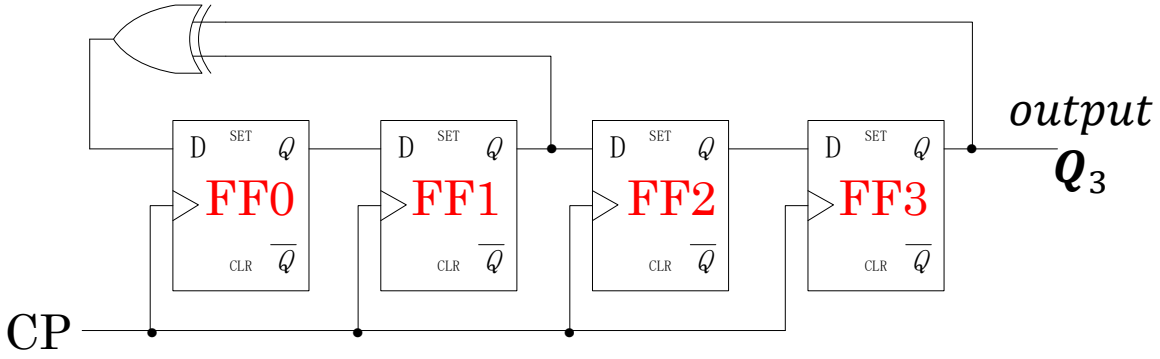
D_0

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	×	0	×	1
01	0	0	×	×
11	×	×	×	×
10	1	×	×	0

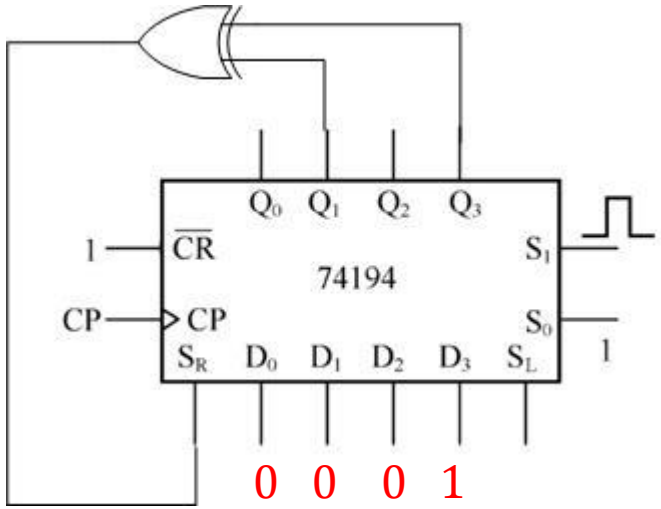
$\overline{Q_3}Q_1$

$Q_3\overline{Q_1}$

$D_0=Q_1\oplus Q_3$

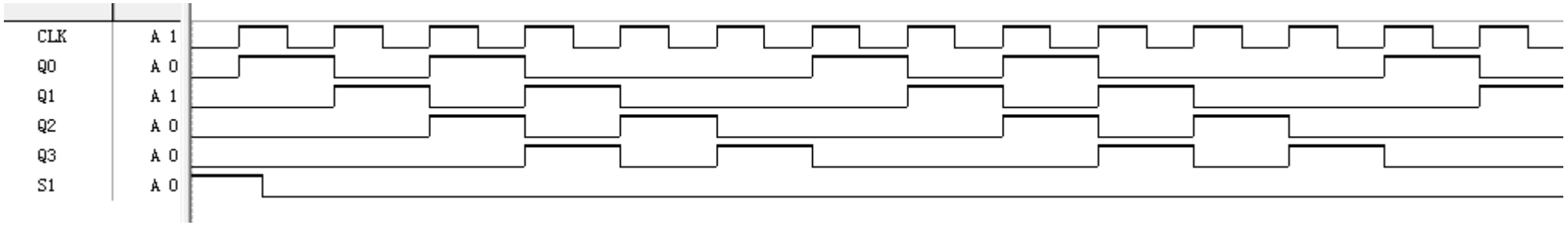


例9.6：用移位寄存器构成000101序列信号发生器（模拟波形）



预置数可以是真值表中任一行$Q_3Q_2Q_1Q_0$取值（即主循环中的任意状态）

CLK	Q_3	Q_2	Q_1	Q_0	D_0
0	0	0	0	1	0
1	0	0	1	0	1
2	0	1	0	1	0
3	1	0	1	0	0
4	0	1	0	0	0
5	1	0	0	0	1
6	0	0	0	1	0



内容

- 9.1　寄存器和移位寄存器
- 9.2　计数器
  - 9.2.1　二进制计数器
  - 9.2.2　十进制计数器
- 9.3　集成计数器的应用
  - 9.3.1　计数器的级联
  - 9.3.2　使用单个计数电路构成任意进制计数器
  - 9.3.3　构成分频器
  - 9.3.4　构成脉冲节拍
- 9.4　序列信号发生器
  - 9.4.1　给定序列信号设计电路
  - 9.4.2　已知序列长度设计序列信号发生器
- 本章小结

已知序列长度设计序列信号发生器

- 在电路测试时，如果需要的序列信号只要求长度而不要求码型，
  - 则可自行设定满足长度要求的任何序列信号，
  - 再按确定的序列信号设计序列信号发生器电路。
- 能满足长度要求的序列信号有很多种，在这里介绍一种常用的

  $M = 2^n - 1$的最长线性序列。（具有很高的利用率）
- M序列码发生器是一种反馈移位型结构的电路，
  - 它由n位移位寄存器加**异或**反馈网络组成，其序列长度$M = 2^n - 1$，只有一个多余状态即全0状态，所以称为最长线性序列码发生器 **Maximum-length sequence (m-sequence) generator**。
  - 由于其结构已定型，且反馈函数和连接形式都有一定的规律，所以利用查表的方式就可以设计出M序列码发生器电路。

M序列码的反馈函数F和移位寄存器位数N的对应关系（移位寄存器从Q_1开始）

- 如果给定一个序列信号长度M，则根据$M = 2^n - 1$求出n，由n查表便可以得到相应的反馈函数F。

表 9.17　M 序列码的反馈函数表（移位寄存器从 Q_1 开始）

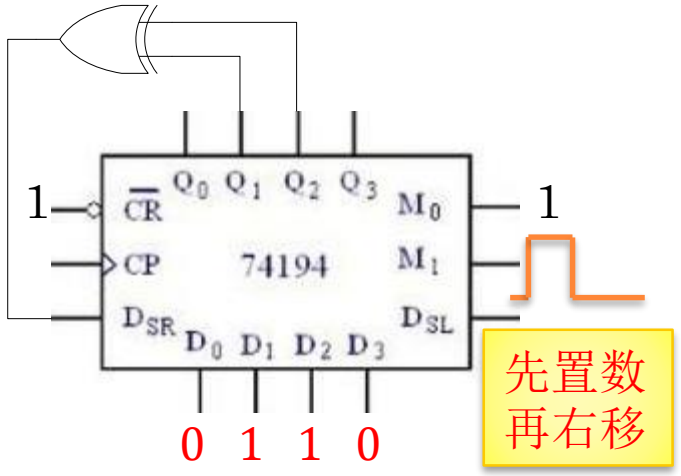
n	F	n	F
1	Q_1	17	$Q_{14}\oplus Q_{17}$
2	$Q_1\oplus Q_2$	18	$Q_1\oplus Q_2\oplus Q_5\oplus Q_{18}$
3	$Q_2\oplus Q_3$	19	$Q_{14}\oplus Q_{17}\oplus Q_{18}\oplus Q_{19}$
4	$Q_3\oplus Q_4$	20	$Q_{17}\oplus Q_{20}$
5	$Q_3\oplus Q_5$	21	$Q_{19}\oplus Q_{21}$
6	$Q_5\oplus Q_6$	22	$Q_{21}\oplus Q_{22}$
7	$Q_6\oplus Q_7$	23	$Q_{18}\oplus Q_{23}$
8	$Q_2\oplus Q_3\oplus Q_4\oplus Q_8$	24	$Q_{20}\oplus Q_{21}\oplus Q_{23}\oplus Q_{24}$
9	$Q_5\oplus Q_9$	25	$Q_{22}\oplus Q_{25}$
10	$Q_7\oplus Q_{10}$	26	$Q_{20}\oplus Q_{24}\oplus Q_{25}\oplus Q_{26}$
11	$Q_9\oplus Q_{11}$	27	$Q_{22}\oplus Q_{25}\oplus Q_{26}\oplus Q_{27}$
12	$Q_6\oplus Q_8\oplus Q_{11}\oplus Q_{12}$	28	$Q_{25}\oplus Q_{28}$
13	$Q_9\oplus Q_{10}\oplus Q_{12}\oplus Q_{13}$	29	$Q_{27}\oplus Q_{29}$
14	$Q_9\oplus Q_{11}\oplus Q_{13}\oplus Q_{14}$	30	$Q_{24}\oplus Q_{26}\oplus Q_{29}\oplus Q_{30}$
15	$Q_{14}\oplus Q_{15}$	31	$Q_{28}\oplus Q_{31}$
16	$Q_{11}\oplus Q_{13}\oplus Q_{14}\oplus Q_{16}$	32	$Q_{25}\oplus Q_{27}\oplus Q_{29}\oplus Q_{30}\oplus Q_{31}\oplus Q_{32}$

例9.7：采用双向移位寄存器74194设计产生$M=7$的M序列码（1）

1. 根据$M=2^n-1$，确定$n=3$
2. 查表可得反馈函数$F=Q_2 \oplus Q_3$。74194的移位寄存器从Q_0开始，所以对74194来说，是 $F=Q_1 \oplus Q_2$

赋除零以外的任意初始值，
比如 $D_0D_1D_2D_3=0110$

序列	Q_0	Q_1	Q_2	Q_3	$D_{SR}=Q_1 \oplus Q_2$	功能
0	0	1	1	0	0	置数
1	0	0	1	1	1	右移
2	1	0	0	1	0	
3	0	1	0	0	1	
4	1	0	1	0	1	
5	1	1	0	1	1	
6	1	1	1	0	0	
7	0	1	1	1	0	
8	0	0	1	1	1	



- 故采用此方法设计的M序列发生器不具有自启动特性。
- 由于电路处于全0状态时，

$Q_1=Q_2=0$， $F=Q_1 \oplus Q_2=0 \oplus 0=0$

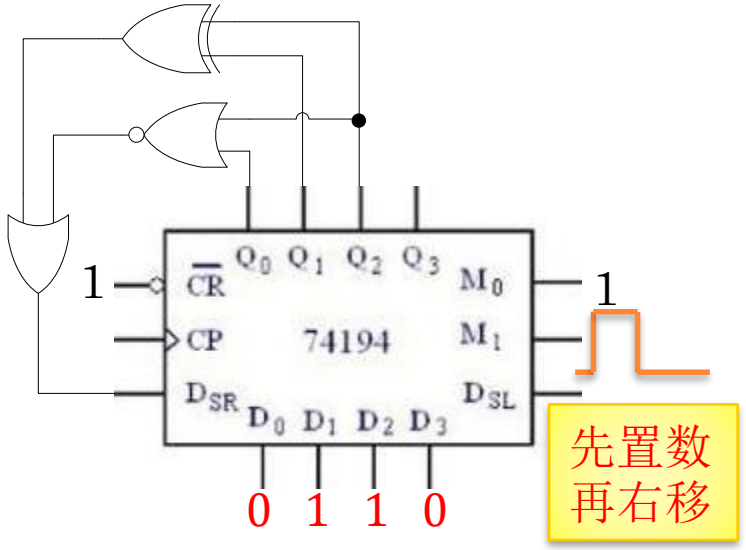
- 而全0状态为最长线性序列码发生器的多余状态

例：采用双向移位寄存器74194设计产生$M=7$的M序列码（2）

增加自启动特性方法一：加全0校正项

- 在反馈方程中加全0校正项 $\overline{Q_2}\cdot\overline{Q_1}\cdot\overline{Q_0}$，使其处于全0状态时，自动转到001，
  - 因此 $F=Q_1\oplus Q_2+\overline{Q_2}\cdot\overline{Q_1}\cdot\overline{Q_0}$
- 推广到n位的移位寄存器，修改的激励函数也是在原来激励函数的基础上加上$\overline{Q_{n-1}}\cdot\overline{Q_{n-2}}\cdots\overline{Q_0}$

$$
\begin{aligned}
F &= Q_1\oplus Q_2+\overline{Q_2}\cdot\overline{Q_1}\cdot\overline{Q_0}\\
&= Q_2\overline{Q_1}+\overline{Q_2}Q_1+\overline{Q_2}\cdot\overline{Q_1}\cdot\overline{Q_0}\\
&= Q_2\overline{Q_1}+\overline{Q_2}Q_1+\overline{Q_2}\cdot\overline{Q_0}\\
&= Q_1\oplus Q_2+\overline{Q_2+Q_0}
\end{aligned}
$$



Q_2 \ Q_1Q_0	00	01	11	10
0	1	0	1	1
1	1	1	0	0

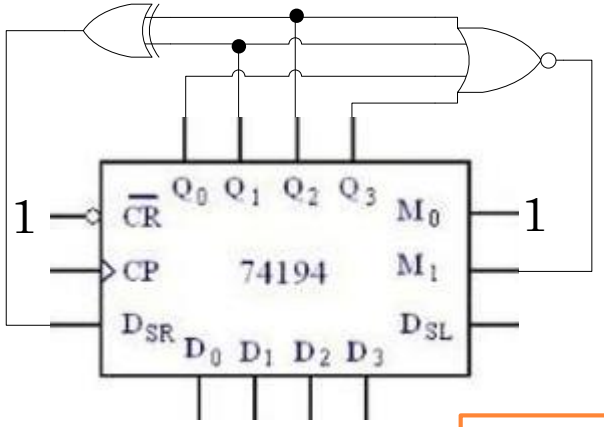
$Q_1\overline{Q_2}$　$\overline{Q_2}\cdot\overline{Q_0}$　$\overline{Q_1}Q_2$　D_{SR}

例：采用双向移动位寄存器74194设计产生$M=7$的M序列码（2）

增加自启动特性方法二——全0状态重新置数

M_1	M_0	功能
0	1	右移
1	0	左移
1	1	并行置数

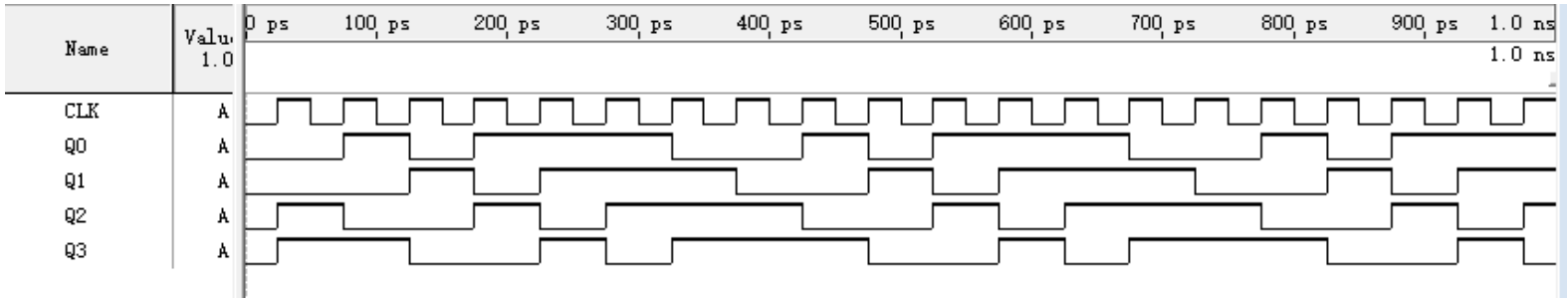
$D_{SR}=F=Q_1 \oplus Q_2$



0 0 1 1 预置数需要非0

NOTE: 或非门也可以只接$Q_0Q_1Q_2$到M_1，也可以实现长度为7的序列码

序列	Q_0	Q_1	Q_2	Q_3	$D_{SR}=Q_1 \oplus Q_2$	M_1	功能
0	0	0	0	0	0	1	置数
1	0	0	1	1	1	0	右移
2	1	0	0	1	0		
3	0	1	0	0	1		
4	1	0	1	0	1		
5	1	1	0	1	1		
6	1	1	1	0	0		
7	0	1	1	1	0		
8	0	0	1	1	1		



时序逻辑模块总结

1）会分析：时序图-功能

a) 单独时序模块的电路分析。
- 74161,74160,74163,74195, 74194

b) 混合时序模块的电路分析。（包括组合模块）
- 74161+74138
- 74161+74151

2）会设计：标准化设计

a) 74161各种模计数器设计

b) 有Z输出要求的时序设计。

c) 1010010序列发生设计。

本章小结

常用的时序逻辑器件

- 寄存器：用于运算中暂存数据以及运算结果等，例如累加器
- 移位寄存器：❶暂存数据+对数据进行❷串-并行转换和❸数值运算。
- 计数器：主要用来对输入的脉冲计数，也用于信号分频、定时器、节拍脉冲产生电路等。
- 序列信号发生器：用来产生所需要的串行数字信号的电路
  - 确定的序列信号发生器
  - 确定长度的序列信号发生器

本章小结

- 计数器按照各触发器与计数脉冲是否同步分为同步计数器和异步计数器，
- 按照计数增减方式分为加法计数器、减法计数器和可逆计数器。
- 常见的计数器有二进制计数器、十进制计数器。
- 任意进制的计数器可以采用集成计数器反馈复位、反馈送数的方法构成。
- 计数值超过一片集成计数器的任意模值计数器，可以用多片集成计数器组合的方法，级间采用并行进位、串行进位、反馈清零和反馈送数等方式连接。

第9章勘误表

页码	错误位置	备注
317	图9.8	异步清零端少一个圆圈
317	图9.8	Q0左边第一个与门三个连线中左边的连线错误，应该接到S0’
324	n级环形计数器推广公式	多了最后一项Qn-1，应该去掉
324	图9.19	要加上状态每一位的顺序标志，如(Q0,Q1,Q2)
325	图9. 21	要加上状态每一位的顺序标志，如(Q0,Q1,Q2,Q3)
327	图9.25	Q0反馈线错误，应该和Q0相连，而不是Q0'
328	公式（9-17）	Q的右上角少n
336	式（9-22），（9-24），（9-26），（9-28），	倒数第2项目都漏了乘数LD（上面会加上两横）
336	式（9-30），（9-31），（9-32），（9-33）	J端公式漏了乘数LD（上面会加上两横）
342	表9.12倒数第三行的ET	应为1，而不是X
348	图9.50	74138中的G1端口应该没有小圆圈
348	图9.51	所有输出Y上方应该有横线，与74138模块的输出标志保持一致
351	图9.54	图画得太乱，而且很多地方错了。
357	图9.62	异或门上面多了一个圆圈，变成同或门了