

北京工业大学学生开题报告表

课题名称	基于FPGA的片上网络自适应路由算法的设计与实现				
课题来源	北京工业大学	课题类型	BX	导师	蔡旻
学生姓名	江岑倩	学号	12073232	专业	物联网工程
<p><b>调研资料准备：</b></p> <p>通过广泛查阅相关技术文献和编程练习，熟悉片上网络、自适应路由算法、FPGA等相关技术的基本概念、原理和方法，学习基于蚁群优化思想的片上网络自适应路由算法，初步熟悉了FPGA设计综合软件Altera Quartus Prime 15.1的操作界面。</p> <p><b>设计目的：</b></p> <p>发展片上网络自适应路由算法能有效改善片上网络的性能与功耗，从而提高多核架构的整体运行效率。FPGA作为一种高效能的硬件仿真方法，能对大规模片上网络的性能与功耗进行仿真。据此，本课题拟研究基于FPGA的大规模片上网络自适应路由算法的设计与实现。</p> <p><b>设计要求：</b></p> <p>了解片上网络中自适应路由算法的基本原理和相关工作； 掌握FPGA基本知识，熟悉使用SystemVerilog硬件描述语言进行FPGA编程； 在FPGA中设计与实现基于蚁群优化的片上网络自适应路由算法。 采用SystemVerilog模拟器对上述算法实现进行验证评估。 开发语言：SystemVerilog，操作系统：Ubuntu Linux 15.04。</p> <p><b>设计思路：</b></p> <p>在Mesh型片上网络中，在奇偶转弯路由算法的基础上，加入必要的网络监控代码和基于蚁群优化的路径选择等代码，进而设计与实现基于蚁群优化的自适应路由算法。</p> <p><b>预期成果：</b></p> <p>源程序、设计文档、毕业设计（论文）</p> <p><b>任务完成的阶段，内容及时间安排：</b></p> <p>寒假-第1周：进行毕业设计准备，查阅相关文献，了解系统需求。 第2周：提交开题报告。 第3-7周：进行系统分析与设计。 第8周：基本实现系统，通过中期检查。 第9-12周：进行系统调试与完善。 第13周：完成系统测试。 第14周：完成软件说明文档。 第15周：提交毕业设计（论文）。 第17周：通过答辩。</p> <p><b>现有条件：</b></p> <p>已完成X-Y路由算法的SystemVerilog实现。</p> <p><b>完成设计（论文）所具备的条件因素：</b></p> <p>开发工具：Altera Quartus Prime 15.1；开发环境：Ubuntu Linux 15.04</p> <div>指导教师签名：日期：</div>					

课题类型：（1）A—工程设计；B—技术开发；C—软件工程；D—理论研究；  
（2）X—真实课题；Y—模拟课题；Z—虚拟课题  
（1）、（2）均要填，如AY、BX等。