

北京工业大学

毕业设计（论文）任务书

题目 基于 FPGA 的片上网络自适应路由算法的设计与实现

专业 物联网工程 学号 12073232 姓名 江岑倩

主要内容、基本要求、主要参考资料等：

主要内容：

发展片上网络自适应路由算法能有效改善片上网络的性能与功耗，从而提高多核架构的整体运行效率。FPGA 作为一种高效能的硬件仿真方法，能对大规模片上网络的性能与功耗进行仿真。据此，本课题拟研究基于 FPGA 的大规模片上网络自适应路由算法的设计与实现。

主要包括：

- (1) 了解片上网络中自适应路由算法的基本原理和相关工作；
- (2) 掌握 FPGA 基本知识，熟悉 SystemVerilog FPGA 编程；
- (3) 在 FPGA 设计实现基于蚁群优化的片上网络自适应路由算法。
- (4) 采用 SystemVerilog 模拟器对上述算法实现进行验证评估。

开发语言：SystemVerilog，操作系统：Linux。

基本要求：

1. 参与本课题的同学将根据用户需求，进行系统分析、系统设计、系统实现。
2. 系统分析、设计、实现过程应遵循系统开发规范。
3. 课题进行期间，每周保证不少于 40 学时从事课题研究工作；每周至少一次到校汇报课题进度及接受指导。
4. 课题结束应整理出系统相应文档。

参考文献：

[1] Enright, N.; Peh, L., "On-Chip Networks," in *Synthesis Lectures on Computer Architecture*, Morgan & Claypool, 2009.

[2] Angepat, H.; Chiou, D.; Chung, E.; Hoe, J., "FPGA-Accelerated Simulation of Computer Systems," in *Synthesis Lectures on Computer Architecture*, Morgan & Claypool, 2014

完成期限： 2016 年 5 月中旬完成毕业设计；2016 年 5 月底完成毕业论文。

指导教师签章：_____

专业负责人签章：_____

2015 年 12 月 30 日