

Universidad Nacional de la Patagonia San Juan Bosco Facultad de Ingeniería. Sede Puerto Madryn

Arquitectura de Computadoras

Práctico 2: Unidad de Control

Análisis de instrucciones en el simulador RISC-V

- Ejecutar algunos de los programas de ejemplo en un simulador de procesador RISC-V. Se recomienda utilizar el <u>simulador de un procesador RISC-V</u> para observar el comportamiento en tiempo real.
 - a. Activar la animación a baja velocidad para observar con detalle la ejecución de las instrucciones. Elegir al menos dos instrucciones del conjunto del procesador y analizar su ejecución detalladamente en las siguientes etapas:
 - i. Fetch: Explicar el proceso de recuperación de la instrucción desde la memoria.
 - ii. **Decode:** Describir cómo se interpreta la instrucción y qué señales de control se activan.
 - iii. ALU: Identificar la operación aritmética o lógica realizada.
 - iv. Mem/Reg: Determinar si hay acceso a memoria o registros y describir los cambios.
 - v. **PC:** Explicar la actualización del contador de programa.
 - b. Presentar los resultados en una tabla o diagrama explicativo.

Ejemplo de tabla esperada:

Etapa	Descripción del proceso		
Fetch	Se recupera la instrucción de memoria en la dirección PC.		
Decode	Se identifican el opcode y operandos en la instrucción.		
ALU	Se realiza la operación aritmética.		
Mem/Reg	em/Reg Se accede a la memoria o registros.		
PC	Se actualiza el contador de programa.		

Microprogramación y Mapa de Micromemoria

2. Se dispone de una computadora elemental, representada en la Figura 1.

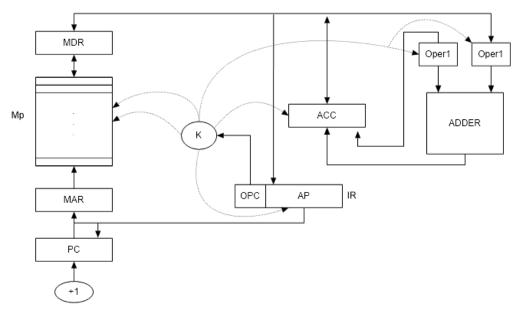


Figura 1. Máquina elemental

AdC - 2025 pág. 1



Universidad Nacional de la Patagonia San Juan Bosco Facultad de Ingeniería. Sede Puerto Madryn

Arquitectura de Computadoras

OPC= código de operación de la instrucción <6 bits>.

AP = argumento.

IR = registro de instrucción.

K = unidad de control.

OPC	Mnemónico	Descripción	Operación entre registros
0	ADD	Sumar al Acc Mp[AP]	Acc ← Acc + Mp[AP]
1	LDA	Cargar el Acumulador	Acc ← Mp[AP]
2	STA	Almacenar el Acumulador	Mp[AP] ← Acc
3	SUB	Restar al Acumulador	Acc← Acc - Mp[AP] (*)
4	CLDA	Cargar el Acc complementado	Acc ← NOT (Mp[AP])
5	JP	Salto incondicional	PC← AP
6	JPZ	Salta si Acc=0	Si Acc=0 PC← AP
7	JSR	Salto a subrutina	Stack ← PC + 1, PC ← AP
8	RET	Retorno de subrutina	PC ← Stack

Cuadro 1: Macroinstrucciones

(*) Operando en complemento a 2.

Se dispone de las siguientes microinstrucciones:

Nro. µinst.	Descripción	
1	Acc ←MDR	
2	Oper2←MDR	
3	Oper2←NOT (MDR)	
4	Oper1← Acc	
5	Acc← Oper2 + Oper1 +C	
6	MDR← Acc	
7	IR← MDR	
8	MAR ←AP	
9	PC←AP	
10	MAR← PC	
11	PC ←PC+1	
12	READ (MDR← Mp[MAR])	
13	WRITE (Mp[MAR] \leftarrow MDR)	
14	ACC← 0	
15	Oper1← 0	
16	μMAR← OPC	
17	IF ACC = 0 GO TO LABEL	
18	IF ACC < 0 GO TO LABEL	
19	GO TO LABEL	
20	C← 0	
21	C← 1	

Cuadro 2: Microinstrucciones

AdC - 2025 pág. 2



Universidad Nacional de la Patagonia San Juan Bosco Facultad de Ingeniería. Sede Puerto Madryn

Arquitectura de Computadoras

Utilizando microprogramación vertical, se debe realizar lo siguiente:

- a. **Implementar las instrucciones de máquina (macroinstrucciones)** especificadas en el Cuadro 1, completando la secuencia de microinstrucciones correspondiente.
- b. **Utilizar la tabla de microinstrucciones disponible** en el Cuadro 2, como referencia para la implementación.

Ubicación de instrucciones en el mapa de micromemoria

3. **Ubicar las instrucciones del ejercicio anterior en un mapa de micromemoria**, asegurando que se reflejen todas las rutinas necesarias.

Explicar detalladamente el proceso de decodificación de una instrucción, incluyendo la rutina de búsqueda (*fetch*) y la organización de las rutinas dentro de la Unidad de Control.

Transferencia entre registros en una Máquina Elemental

4. Usando la arquitectura de la máquina elemental provista en la Figura 2, describir detalladamente cómo realizan las transferencias entre registros las siguientes instrucciones:

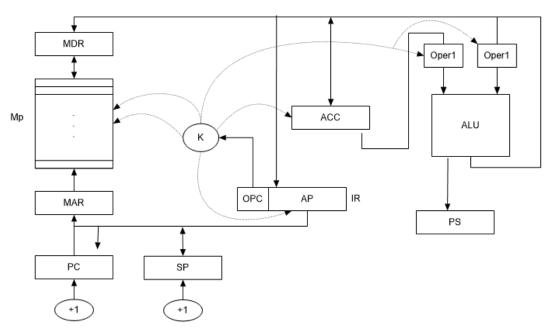


Figura 2. Máquina Elemental

- 1. Carga del ACC en modo de direccionamiento inmediato. (LDA dato).
- 2. Carga del ACC en modo de direccionamiento absoluto. (LDA dir_abs).
- 3. Almacenamiento del acumulador en modo de direc. absoluto. (STA dir abs).
- 4. Salto incondicional en modo absoluto. (JP dir absoluta).
- 5. Salto condicional en modo absoluto. (JPZ dir absoluta si Z=1).
- 6. Salto a subrutina en modo absoluto. (JRS dir absoluta).
- 7. Retorno de subrutina.

Para cada caso, se debe detallar:

- 1. Registros involucrados en la transferencia de datos.
- 2. Modificaciones en los valores de memoria y registros internos.
- 3. Explicación detallada de los pasos del proceso.

AdC - 2025 pág. 3