



1/4" HD CMOS Image Sensor GC1004

模组设计指南 V1.1

2014-03-13

GalaxyCore Inc.

目 录

1. 外围电路	3
1.1 DVP 接口	3
1.2 MIPI 接口	4
1.2.1 1_lane	4
1.2.2 2_lane	4
2. 设计说明	5
2.1 外围电路设计说明	5
3. GC1004 CSP 封装说明	6
3.1 GC1004 CSP 封装（单位：μm）	6
3.2 CSP 封装点阵表	6
3.3 CSP 封装管脚说明	6
3.4 PCB 焊盘设计说明	8
3.5 CSP 封装尺寸图（单位：μm）	8
3.6 CSP 封装说明	9

1. 外围电路

1.1 DVP 接口

注：如果平台接口能接 10bit 数据的，请将 10bit 数据全部接出。
如果平台接口是接 8bit 数据的，请引出 D<9>~D<2>。

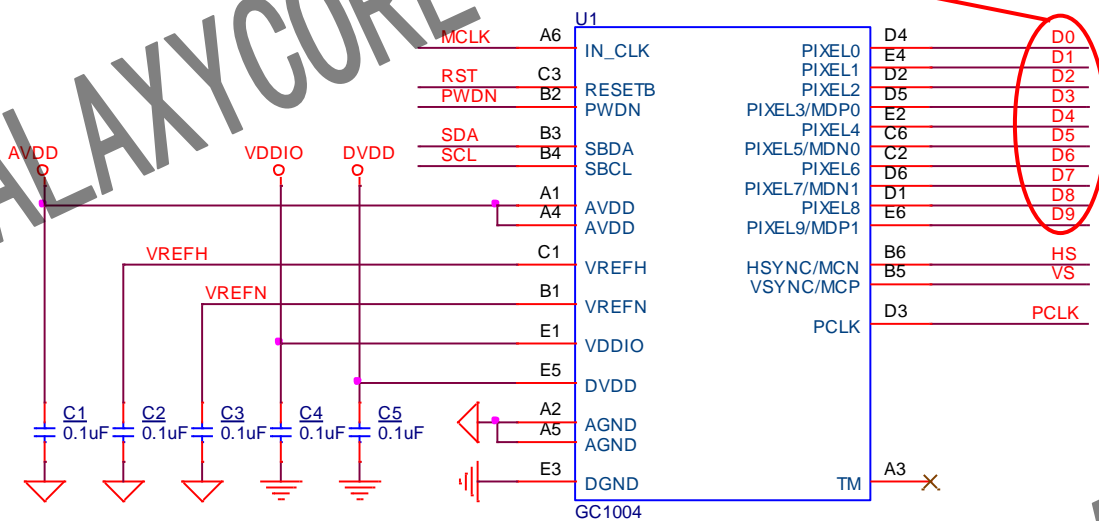


图 1-1 DVP 接口外围电路图

DVDD、AVDD、IOVDD 三路电源必须接入；尤其是 DVDD (1.8V) 必须接入，不能省略。

1.2 MIPI 接口

1.2.1 1_lane

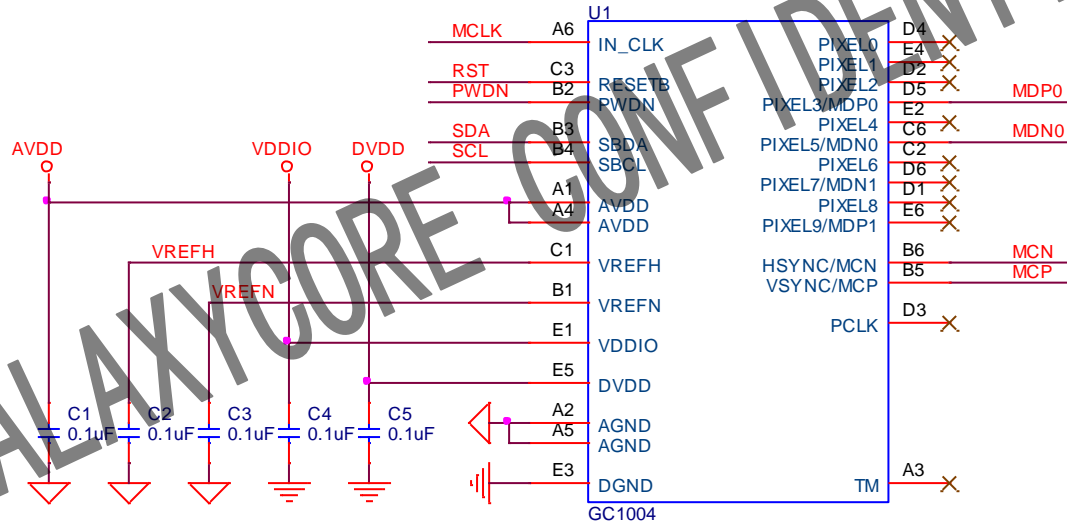


图 1-2 MIPI 接口(1_lane)外围电路图

DVDD、AVDD、IOVDD 三路电源必须接入；尤其是 DVDD(1.8V)必须接入，不能省略。

1.2.2 2_lane

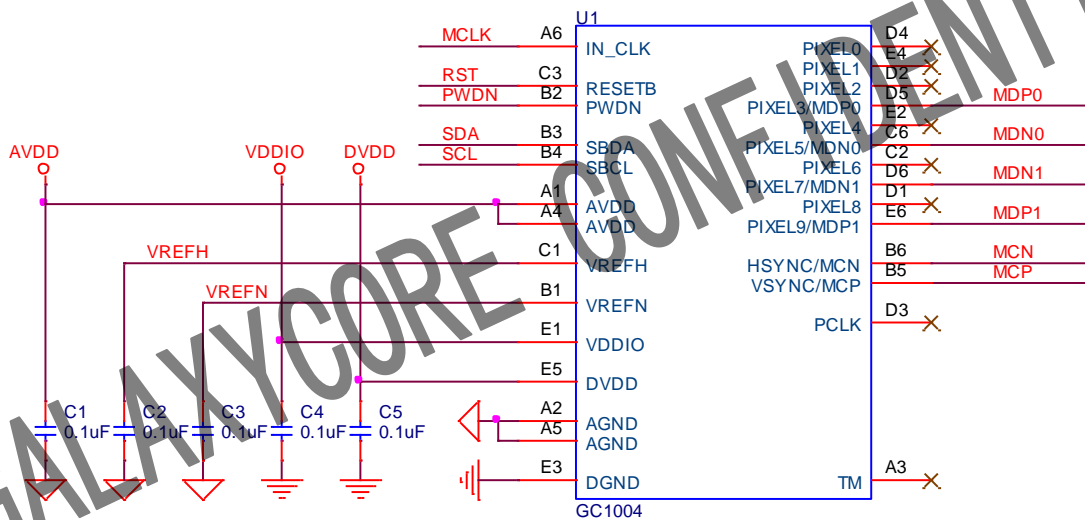


图 1-3 MIPI 接口(2_lane)外围电路图

DVDD、AVDD、IOVDD 三路电源必须接入；尤其是 DVDD(1.8V)必须接入，不能省略。

2. 设计说明

2.1 外围电路设计说明

◆ GC1004芯片有三路电源供电：AVDD、DVDD、IOVDD，此三路电源必须接入。

AVDD为模拟电路供电电源，3.0~3.6V；

DVDD为数字电路供电电源，1.7~1.9V；

IOVDD为I/O电源，1.7~3.6V；

- ◆ 靠近电源处，加如图示C1、C2、C3、C4、C5滤波电容，容值为0.1μF或以上；
- ◆ 电容摆放应尽量靠近电源Pin脚；
- ◆ 所有电容均不可省去，否则会影响图像质量；
- ◆ AGND、DGND需要在内部接到一起，DGND再做铺铜，否则会影响图像质量；
- ◆ GND走线尽量要粗，尽量多打一些过孔；
- ◆ 电源线走线宽度至少加粗至0.2mm以上；
- ◆ 芯片有RESET pin，需要引出控制；
- ◆ 如果平台接口能接10bit数据的，请将10bit数据全部接出；如果平台接口是接8bit数据的，请引出D<9>~D<2>。
- ◆ SBCL/SBDA pin 外部需要4.7k~10kΩ的上拉电阻；
- ◆ FPC/PCB布线时尽量让SBDA/SBCL线远离高速的信号线（如PCLK/D0~D2）；
- ◆ MCP、MCN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且差分线对走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\Omega \pm 10\%$ 。
- ◆ MDP、MDN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\Omega \pm 10\%$ 。
- ◆ MCP、MCN的走线和不同组的MDP、MDN的走线相互之间也需要是等长的。
- ◆ 不同组的MDP、MDN之间的距离至少达到线宽的两倍。

3. GC1004 CSP 封装说明

3.1 GC1004 CSP 封装（单位：μm）

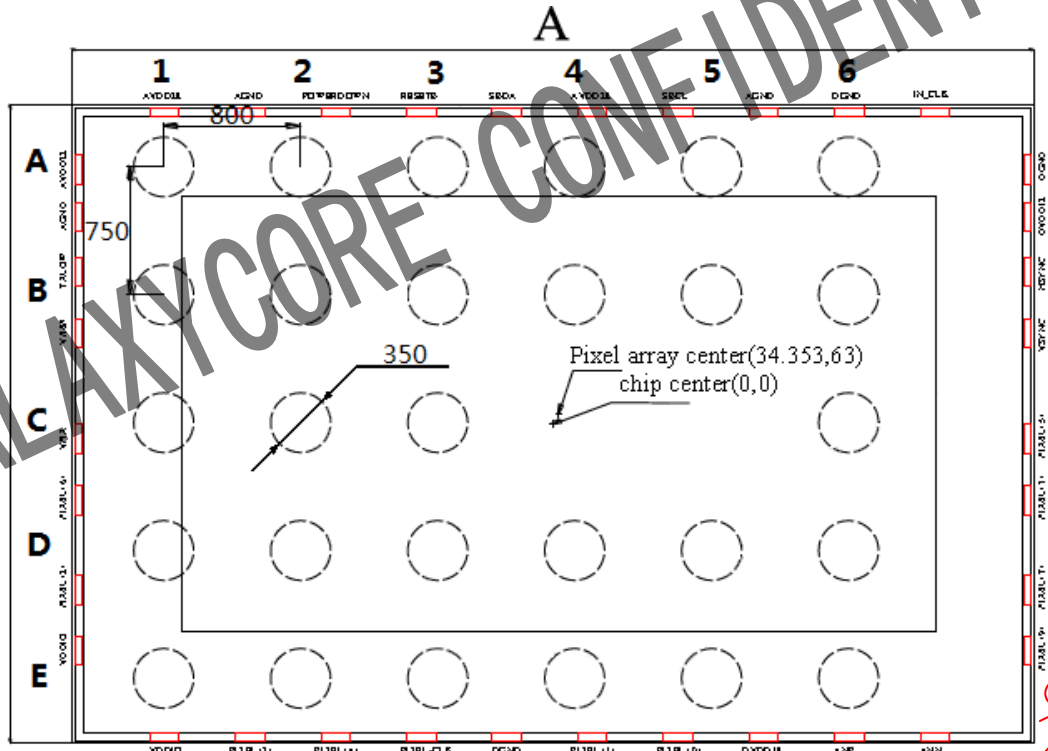


图 3-1 CSP 焊盘 Top View(Bumps Down)

3.2 CSP 封装点阵表

	1	2	3	4	5	6
A	AVDD	AGND	NC	AVDD	AGND	INCLK
B	VREFN	PWDN	SBDA	SBCL	VSYN/MCP	HSYN/MCN
C	VREFH	D<6>	RESETB	/	/	D<5>/MDN<0>
D	D<8>	D<2>	PCLK	D<0>	D<3>/MDP<0>	D<7>/MDN<1>
E	IOVDD	D<4>	DGND	D<1>	DVDD	D<9>/MDP<1>

3.3 CSP 封装管脚说明

Pin	Name	Pin Type	Function
A1	AVDD	Power	模拟电路电源：3.0~3.6V，通过 0.1μF 或 1μF 的电容接地
A2	AGND	Ground	模拟地
A3	NC	/	NC

A4	AVDD	Power	模拟电路电源: 3.0~3.6V, 通过 0.1μF 或 1μF 的电容接地
A5	AGND	Ground	模拟地
A6	INCLK	Input	系统时钟输入
B1	VREFN	Reference	参考电压, 通过 0.1μF 或 1μF 的电容接地
B2	PWDN	Input	芯片休眠模式控制: 0: 正常工作 1: 休眠模式
B3	SBDA	I/O	串行通讯口数据线
B4	SBCL	Input	串行通讯口时钟线
B5	VSYNC	Output	VSYNC 输出信号
	MCP	Output	MIPI clock (+)
B6	HSYNC	Output	HSYNC 输出信号
	MCN	Output	MIPI clock (-)
C1	VREFH	Reference	参考电压, 通过 0.1μF 或 1μF 的电容接地
C2	D<6>	Output	Raw RGB 图像数据输出端口 bit[6]
C3	RESETB	Input	芯片复位控制, 将所有寄存器复位为初始值 0: 芯片复位 1: 正常工作
C6	D<5>	Output	Raw RGB 图像数据输出端口 bit[5]
	MDN<0>	Output	MIPI data<0> (-)
D1	D<8>	Output	Raw RGB 图像数据输出端口 bit[8]
D2	D<2>	Output	Raw RGB 图像数据输出端口 bit[2]
D3	PCLK	Output	PIXEL 时钟输出
D4	D<0>	Output	Raw RGB 图像数据输出端口 bit[0]
D5	D<3>	Output	Raw RGB 图像数据输出端口 bit[3]
	MDP<0>	Output	MIPI data<0> (+)
D6	D<7>	Output	Raw RGB 图像数据输出端口 bit[7]
	MDN<1>	Output	MIPI data<1> (-)
E1	IOVDD	Power	I/O 供电电源: 1.7~3.6V, 通过 0.1μF 或 1μF 的电容接地
E2	D<4>	Output	Raw RGB 图像数据输出端口 bit[4]
E3	DGND	Ground	数字地
E4	D<1>	Output	Raw RGB 图像数据输出端口 bit[1]
E5	DVDD	Power	数字电路供电电源: 1.7~1.9V, 通过 0.1μF 或 1μF 的电容接地
E6	D<9>	Output	Raw RGB 图像数据输出端口 bit[9]
	MDP<1>	Output	MIPI data<1> (+)

3.4 PCB 焊盘设计说明

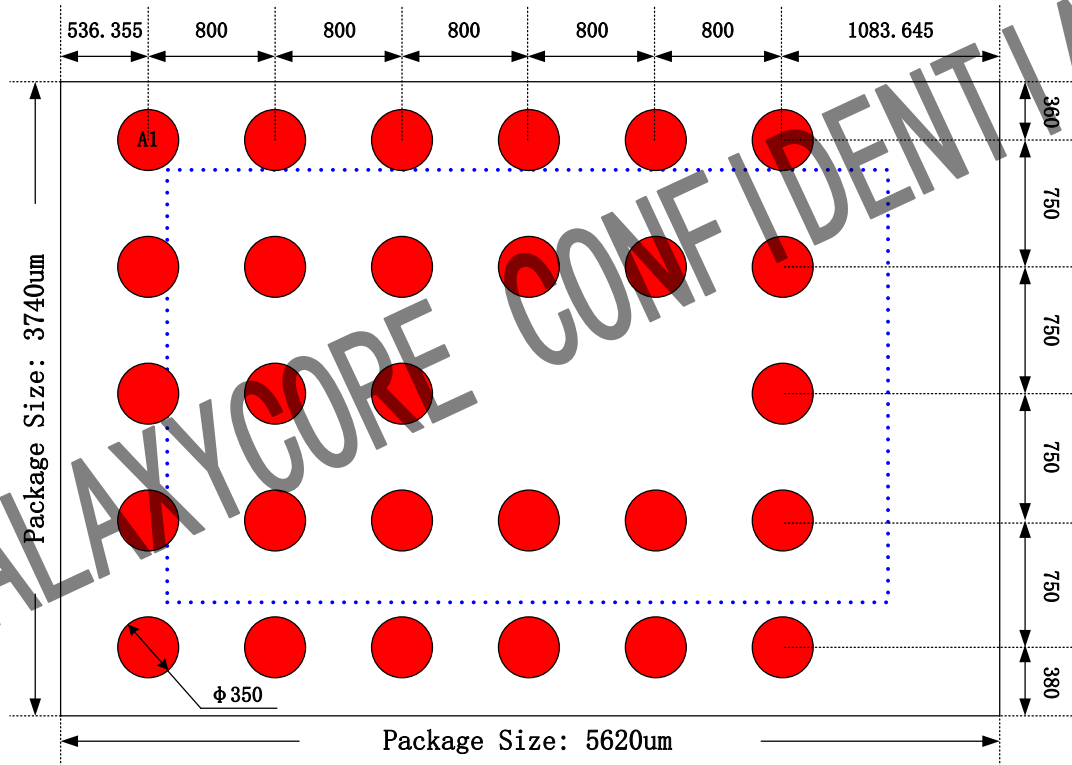


图 3-2 PCB 焊盘设计说明示意图(Top View)

注: Sensor 封装锡球大小为 350 μ m。

3.5 CSP 封装尺寸图 (单位: μ m)

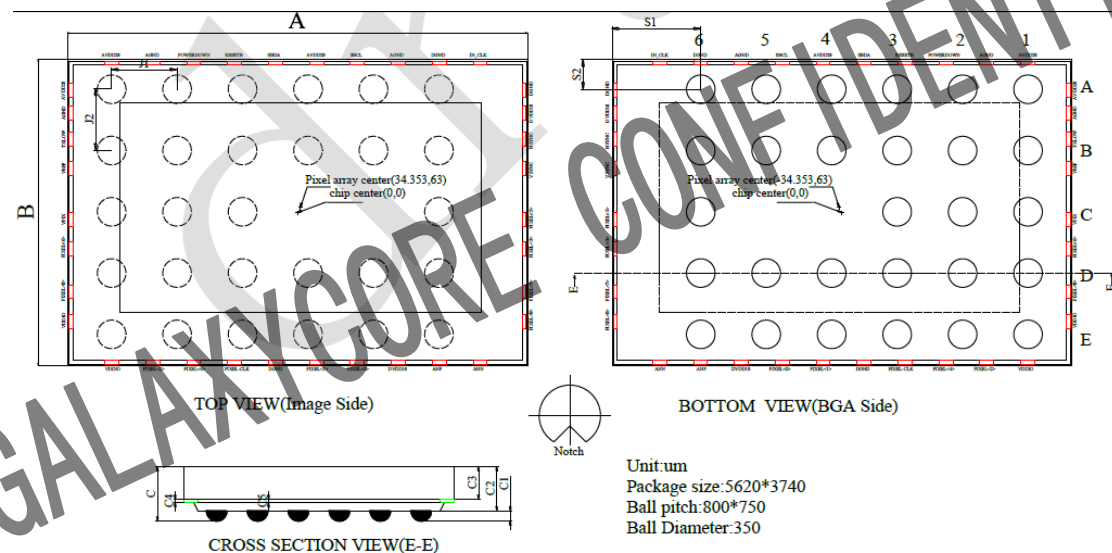


图 3-3 CSP 封装尺寸图

3.6 CSP 封装说明

Parameter	Symbol	Nominal	Min.	Max.
		μm		
Package Body Dimension X	A	5620	5595	5645
Package Body Dimension Y	B	3740	3715	3765
Package Height	C	735	680	790
Ball Height	C1	175	145	205
Package Body Thickness	C2	560	525	595
Glass Thickness	C3	400	390	410
Cavity Height (glass to pixel distance)	C4	30	26	34
Cavity Wall + Epoxy Thickness (glass to the wafer bonding top point)	C5	32.5	27.5	37.5
Ball Diameter	D	350	320	380
Total Pin Count	N	28		
Pins Count X axis	N1	6		
Pins Count Y axis	N2	5		
Pins Pitch X axis	J1	800		
Pins Pitch Y axis	J2	750		
Edge to Pin Center Distance along X	S1	1083.645	1083.615	1083.675
Edge to Pin Center Distance along Y	S2	360	359.97	360.03