



# 第三章 存储器

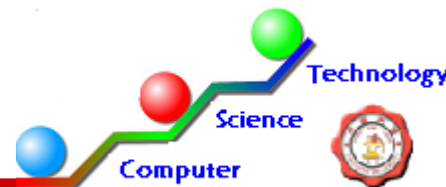
2023 . 秋

西安交通大学 计算机科学与技术学院

计算机组成原理课程组

<http://corg.xjtu.edu.cn>

# 第三章 存储器



## 3.1 存储器概述

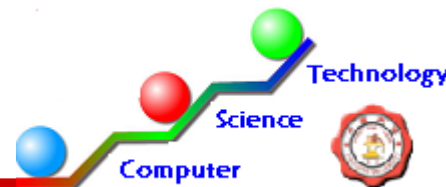
## 3.2 主存储器

## 3.3 相联存储器

## 3.4 高速缓冲存储器Cache

## 3.5 辅助存储器

# 3.1 存储器概述



## 3.1.1 存储器的分类

按在计算机系统中的作用分类

### □ 内部存储器（简称内存）

位于主机内，包括cache和主存，可直接与CPU交换信息。

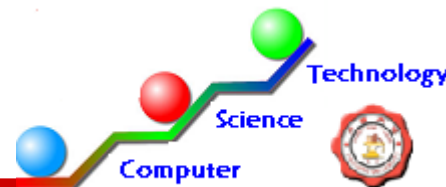
### □ 外部存储器（简称外存或辅存）

位于主机外，与主机的连接和管理方式类似于I/O设备。

### □ 控制存储器（简称控存）

位于CPU内，是控制单元CU的核心，用于存储微程序。

# 按存储介质分类



## □ 存储介质：存储器中存放信息的物理元件

- 基本要求：具有两种明显区别的物理状态

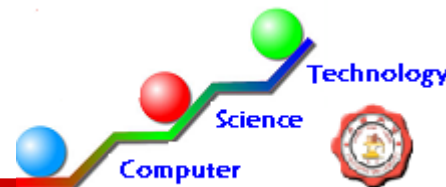
- 常用：半导体器件、磁材料、磁光材料等

- ✧ **半导体存储器**：用半导体器件来存取数据，**体积小**，**功耗低**，**速度快**，常用作内存。

- ✧ **磁表面存储器**：用磁层来存取信息，常根据磁层依附的基体形状来为磁表面存储器取名。例：磁盘、磁带、磁鼓等。**非电易失**，**容量大**，位价低，**速度慢**。常用作外存。

- ✧ **光盘存储器**：用磁光材料作为存储介质，用光学原理进行读/写，基体为塑料圆盘，除读/写机制外，外观、工作原理与磁盘存储器类似。**非电易失**，**容量大**，耐用性好，可靠性高，**互换性强**，慢。常用作离线存储器。

# 按存取方式分类



## □ 随机存取存储器（Random Access Memory, RAM）

**可读可写**，任一存储单元的内容都可随机存取，且存取时间与存储单元的**物理位置无关**。广泛用于主存。目前广泛采用半导体芯片实现。

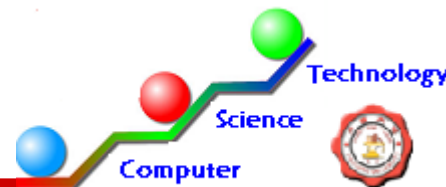
## □ 只读存储器（Read Only Memory, ROM）

正常工作时，**只读不写**，写入操作需通过特殊手段完成，其它特点同RAM。非电易失，可靠性高，常用于主存的系统程序区和各种固件。

## □ 顺序存取存储器（Sequential Access Memory, SAM）

存取时间与信息所在物理位置有关，读/写操作时只能顺序地对数据所在物理地址进行查找。平均存取速度较慢，典型设备为磁带。

# 按存取方式分类 (续)



## ❑ 直接存取存储器——Direct Access Memory (DAM)

存取特性及速度介于RAM和SAM之间，也称为**半顺序存取存储器**，典型设备如**磁盘**存储器等

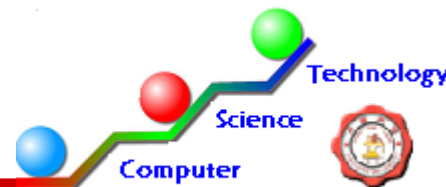
○读/写操作时，其寻址操作分两步进行

- (1) 快速定位到信息所在位置的一个小区域，这一操作可看成是随机寻址或**直接寻址**过程
- (2) 在此小区域内通过**顺序寻址**对信息的确切地址进行定位

## ❑ 相联存储器——Associative Memory (AM)

按照存储单元中存放的全部或部分内容进行访问的存储器，也称为**按内容存取存储器**（**CAM**——Content Addressed Memory），主要应用于快速检索的场合。

# 半导体存储器的分类



## 按制造工艺分类

### □ 双极型存储器

- 速度高，功耗大，集成度低，容量小，价格贵。适于作高速小容量存储器。

### □ MOS型存储器

- 与双极型比速度低，功耗小，集成度高，容量大，价格低。

## 按信息的可保存性分类

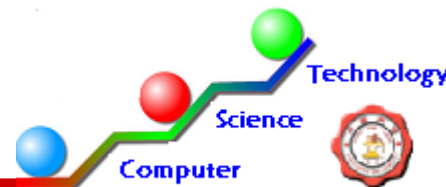
### □ 电易失型半导体存储器

- 断电后数据会丢失

### □ 非电易失型半导体存储器

- 断电后数据不会丢失

# RAM存储器的分类



## □ 静态随机存取存储器 (Static Random Access Memory, SRAM)

速度快，**信息稳定**，不需要刷新电路，使用方便灵活。**集成度低**、功耗较大、成本也高。常用做小容量主存及高速缓冲存储器Cache。

## □ 动态随机存取存储器 (Dynamic Random Access Memory, DRAM)

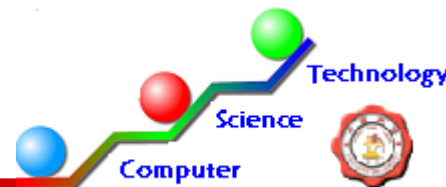
**集成度高**，**功耗低**，价格便宜，但**必须定时进行刷新**。常用作大容量主存储器。

## □ 非易失性随机存取存储器 (Non-Volatile Random Access Memory, NVRAM)

由**SRAM**和**EEPROM**共同构成，正常工作时与SRAM功能相同，但在掉电的瞬间，它可以立即**自动把信息保存到EEPROM中**，多用于系统中重要信息的掉电保护。



## 3.1.2 存储系统的层次结构



### □ 存储器的重要性

在存储程序计算机中，存储器处于一个重要的**核心地位**，随着软、硬件技术的飞速发展，其重要性越来越突出。因此，对存储器的性能要求也越来越高。

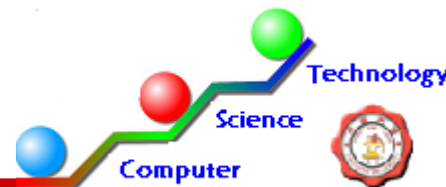
### □ 系统对存储器的要求

**尽可能快**的读写速度，**尽可能大**的存储容量，**尽可能低**的成本费用。

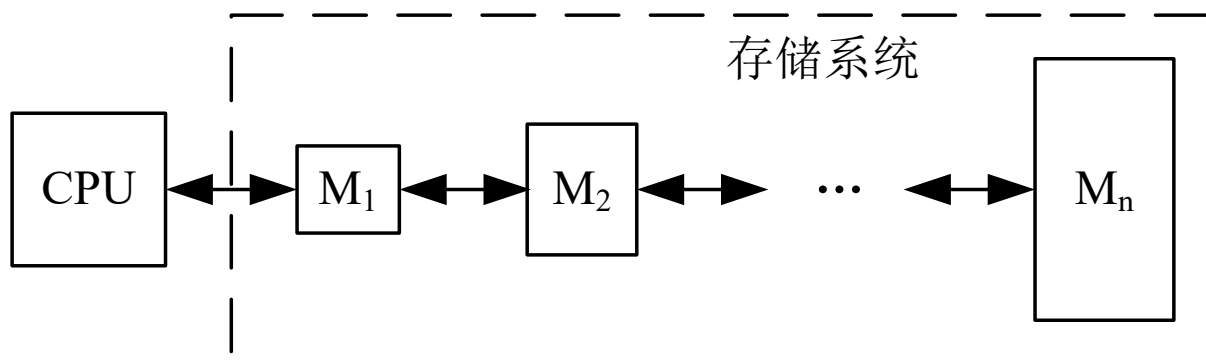
### □ 实际情况

**速度、容量、价格三种指标是相互矛盾的**，没有任何一种存储器能满足上述要求。

# 存储系统的层次结构（续）

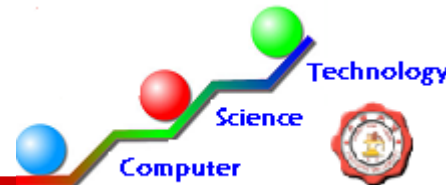


- 为了解决容量、速度和价格三者之间的矛盾，通常把各种不同存储容量、不同存取速度和位价格的存储器，按一定的结构组织起来，形成一个多层次的存储系统。



- 这些存储器越靠近CPU速度越快、容量越小、位价格越高。存储系统管理的目标：这n个存储器对CPU呈现一个逻辑整体，整个存储系统在速度上接近 $M_1$ ，容量上接近 $M_n$ ，位价格上也接近 $M_n$ 。

# 层次间应满足的原则



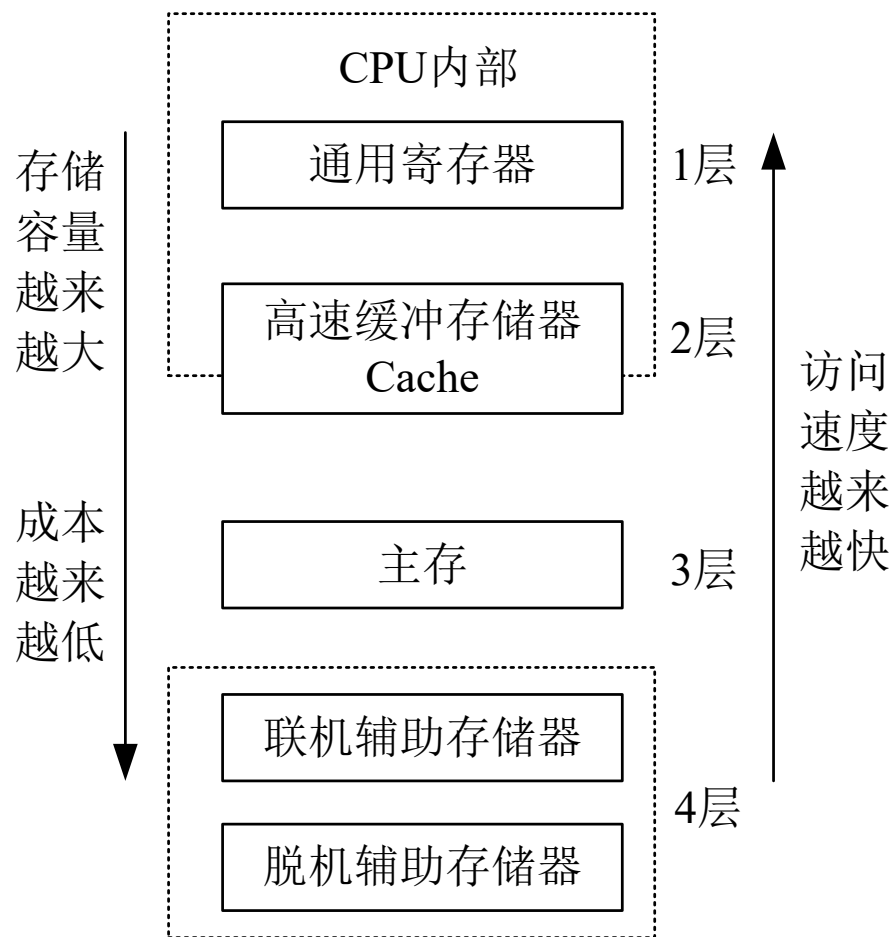
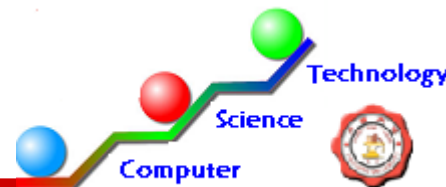
## □ 包含性原则

- 处在内层的信息一定被包含在其外层的存储器中，反之则不成立。即内层存储器中的全部信息，是其相邻外层存储器中一部分信息的副本。

## □ 一致性原则

- 在不同层次存储器中的同一个信息应保持相同的值。

# 现代存储系统的层次结构



## □ 通用寄存器组

○ 在CPU内部

## □ 主存

○ 存储系统核心部件

## □ 高速缓冲存储器cache

○ 平滑主存与CPU之间的速度差异

## □ 虚拟存储器（联机辅助存储器）

○ 提高存储器的容量

## □ 离线辅助存储器

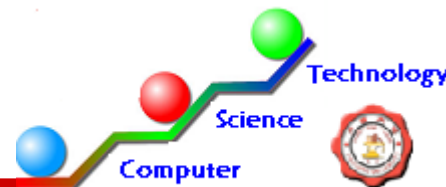
○ 备份

存储系统的工作主要体现在两个层间

## □ Cache—主存层间（硬件实现，对所有程序员透明）

- 计算机在运行程序访存时，有一段时间内集中访问一小片区域的倾向，即具有“**程序运行的局部性**”；
  - ✧ 指令顺序执行比转移执行的可能性大 (大约 5:1)；
  - ✧ 最近被访问过的程序和数据很可能再次被访问；
  - ✧ 这些被访问的程序和数据往往集中在一小片存储区。
- 运行程序时，通过**合理地调度**将当前使用最多的一小段程序和数据**放在cache**中，使 CPU大部分时间访问 cache，只有个别的指令或数据从cache中读不到时，才访问主存；
- 整体运行效果上，CPU访存速度**接近于cache速度**，**寻址空间仍为主存空间**，位价却接近于主存。

# 存储系统工作原理（续）



## □ 主存—辅存层间

- 为了更好地对主存、辅存统一调度，目前广泛采用**虚拟存储技术**，即将主存与辅存的一部份通过**软硬结合的技术组成虚拟存储器**。
- 程序员可使用比主存实际空间大得多的虚拟地址空间编程，当程序运行时，再由软、硬件自动完成**虚拟地址空间与主存实际物理空间的转换**。这个转换操作对应用程序员**透明**。
- 从应用程序员的角度看，所使用的**存储器容量和位价接近于辅存**，而**速度接近于主存**。

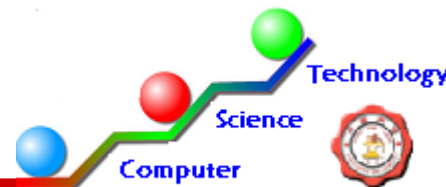
综合存储系统层次结构的作用，从整个存储系统来看，就达到了速度快、容量大、位价低的优化效果。

# 多层存储系统需要解决的问题

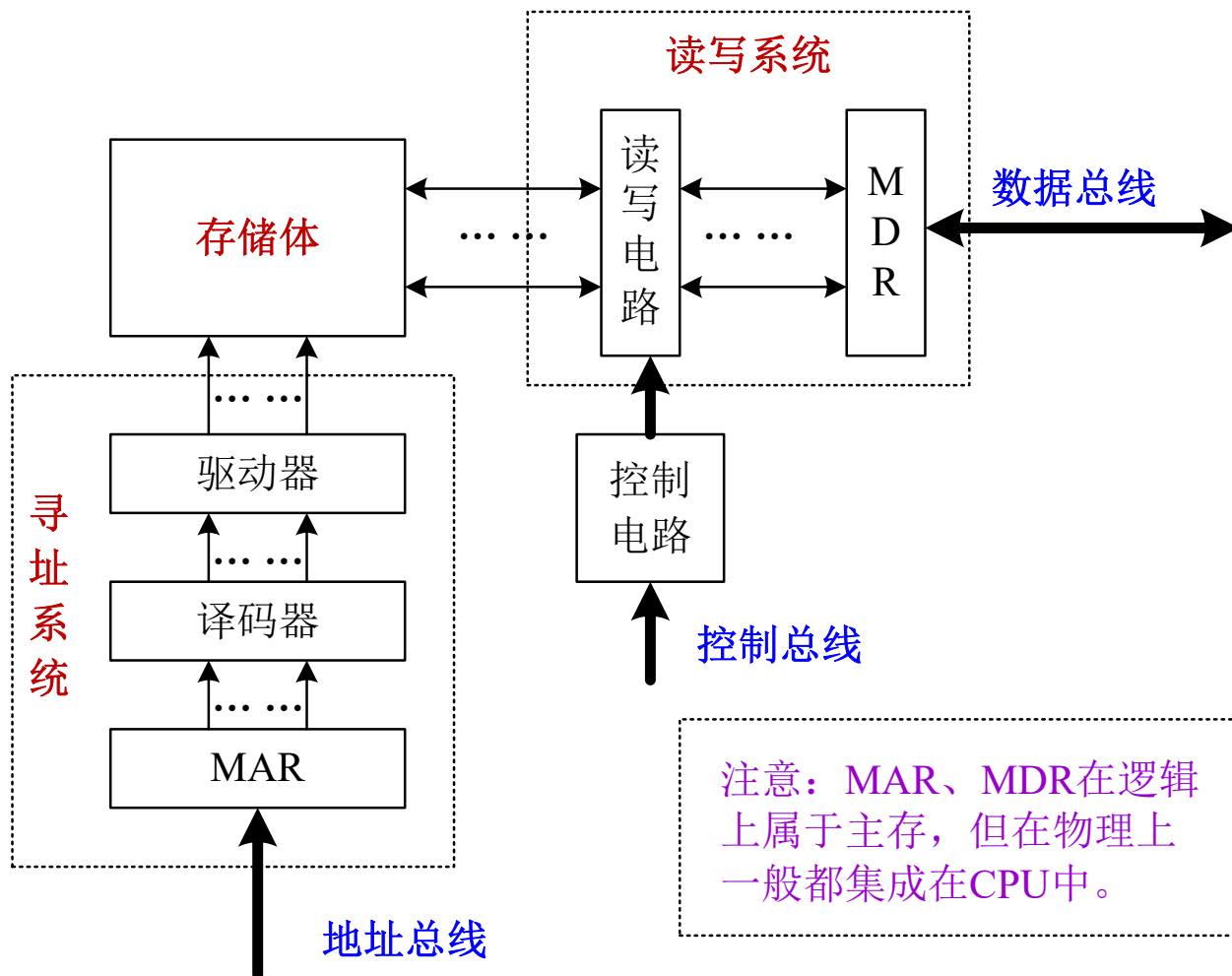


- ❑ 外层存储器中的**哪些信息**（指令和数据）的副本需要保存在内层存储器？放在内层存储器的位置？即**地址映射**。
- ❑ 如何保证不同层次存储器中存放**数据的一致性**？
- ❑ CPU访存时给出的是主存单元的地址，这个地址如何转换为在不同层次存储器中的地址？即**地址变换问题**。
- ❑ 当某层存储器已经存满信息，又有新信息要装入时，应将哪些信息替换出去？即**替换策略问题**。

## 3.2 主存储器

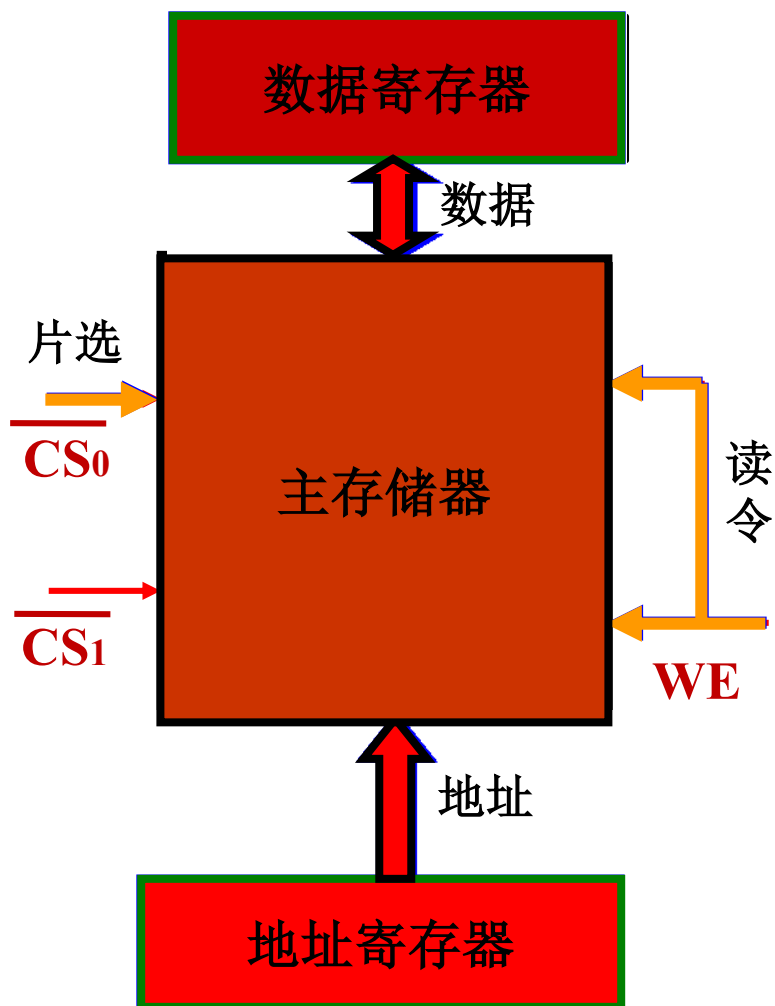


### 3.2.1 主存储器的基本组成





# 主存储器的读写过程



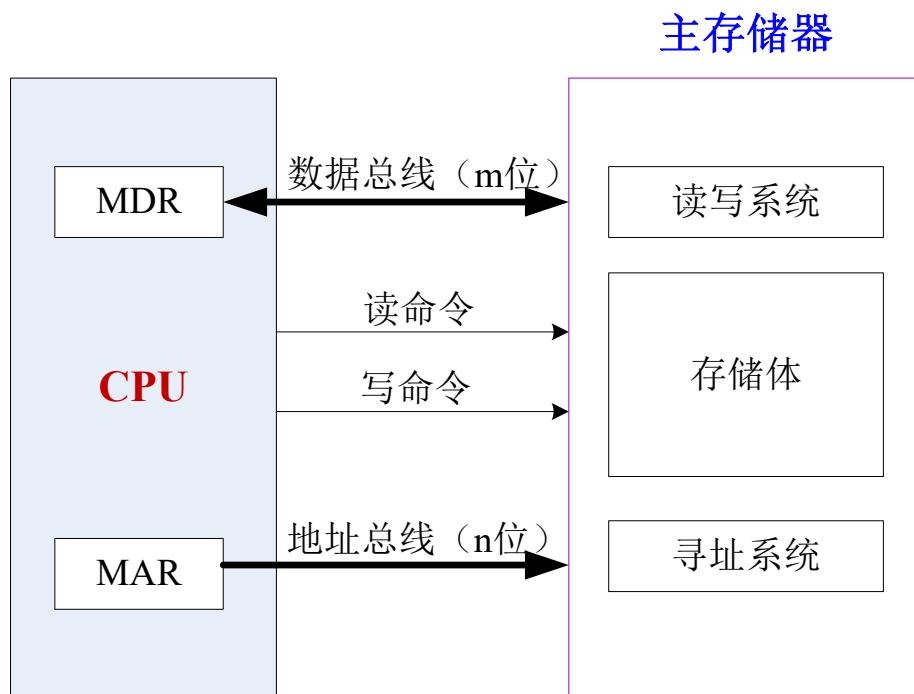
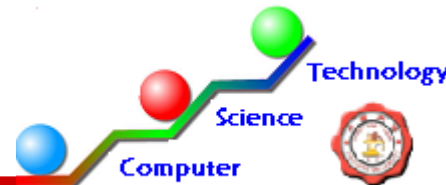
## □ 读过程

- 给出地址
- 给出片选与读命令
- 保存读出内容

## □ 写过程

- 给出地址
- 给出片选与数据
- 给出写命令

# 主存储器与CPU的连接



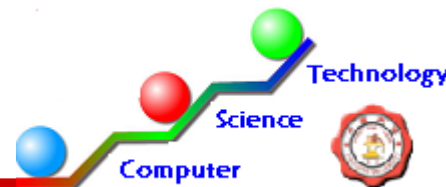
## □ 存储器地址寄存器

(**MAR**)：用来暂存CPU正在访问的存储单元的地址

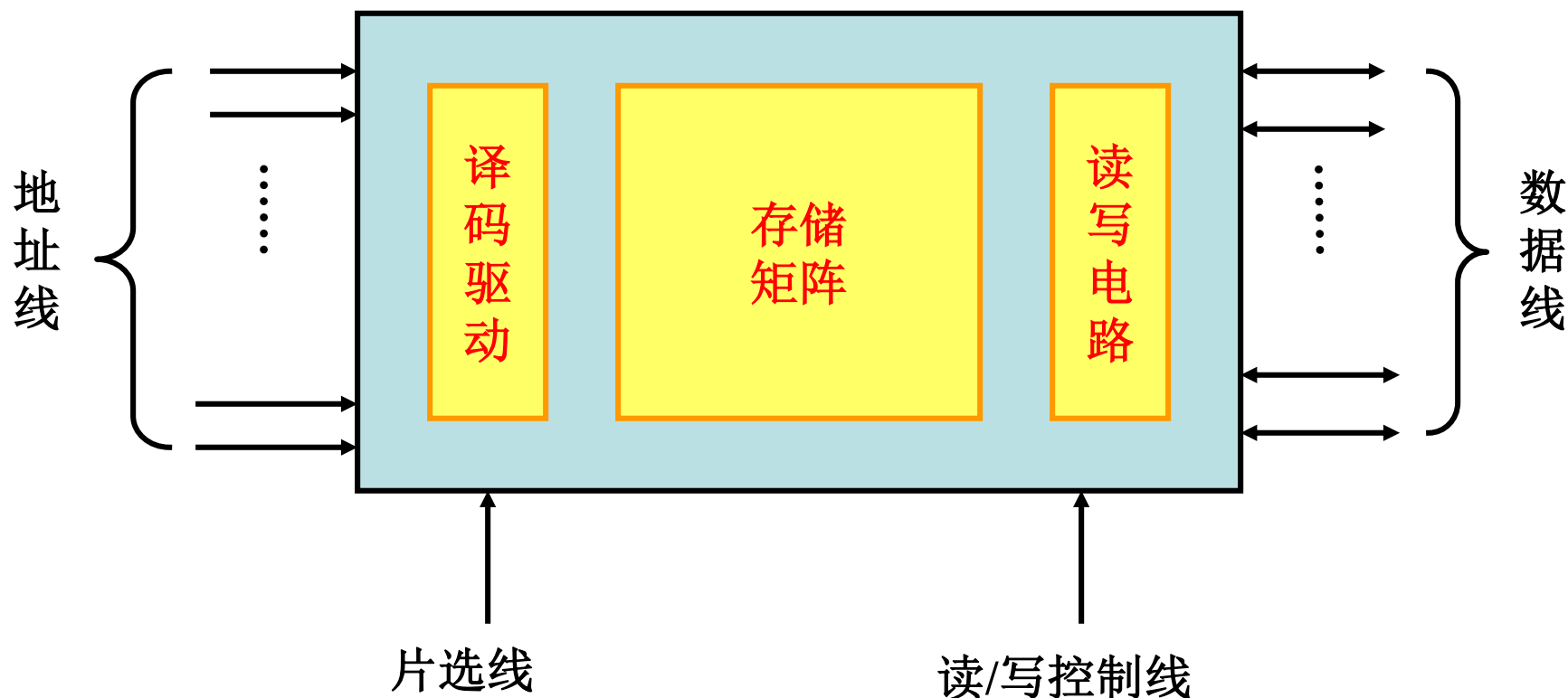
## □ 存储器数据寄存器

(**MDR**)：用来暂存CPU和主存间交互的数据

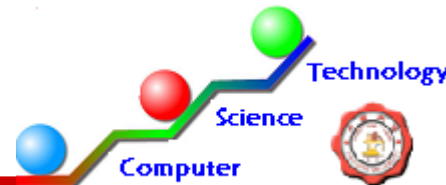
# 半导体芯片内部的基本结构



与主存框图相比，除MAR、MDR外，其它部分基本一样



# 半导体芯片的地址译码方式



## □ 线选法：（单译码结构）

地址译码后直接选中一个存储单元的所有位。

**特点：**N根译码线需N套驱动器，译码结构简单、速度快，但器材用量大，当容量较大时，导致成本太高，仅适合于高速小容量存储器。

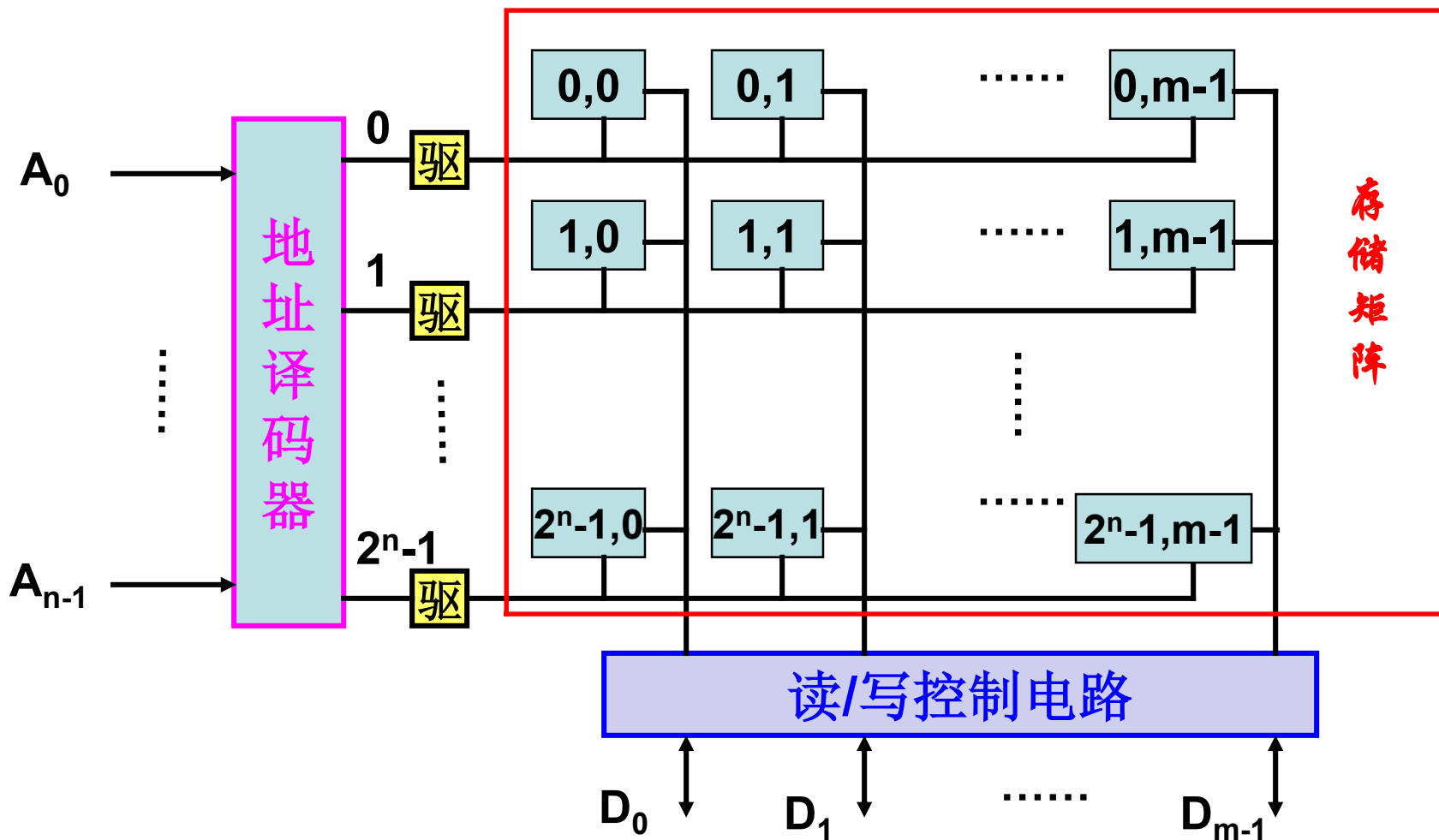
例：n位地址，采用线选法译码，需：

地址译码线数 =  $2^n$ 根 ——  $2^n$ 套驱动器

当  $n = 16$ 位时，需64K根译码线，64K套驱动器

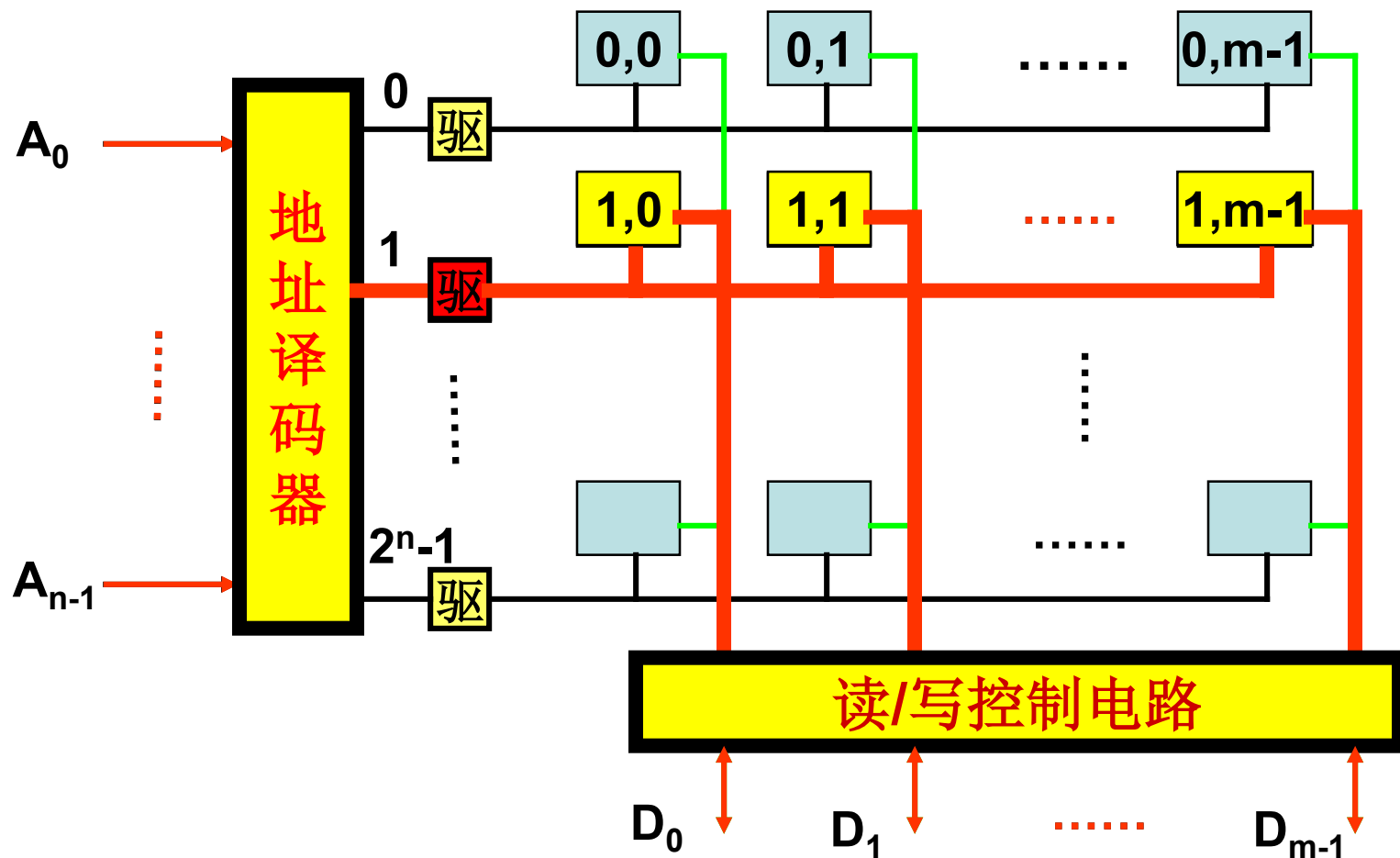
# 线选法译码结构示意图

(图中设容量为 $2^n$ 字,  $m$ 位/字)



# 线选法译码过程：（以读操作为例）

（图中设容量为 $2^n$ 字， $m$ 位/字）



# 半导体芯片的译码方式



## □ 重合法：（双译码结构）

将地址分成行、列两组（ $x$ ,  $y$ ），分别用两套译码器译码，行、列译码的**重合点**即为所选存储元。

**特点：**与线选法相比大大**减少**了译码输出线根数，则**器材用量也大大减少**，有效地降低了存储器的成本，得到了广泛采用。

例： $n$ 位地址，采用重合法译码，需：

**地址译码线数 =  $2^{n/2} + 2^{n/2}$ 根**

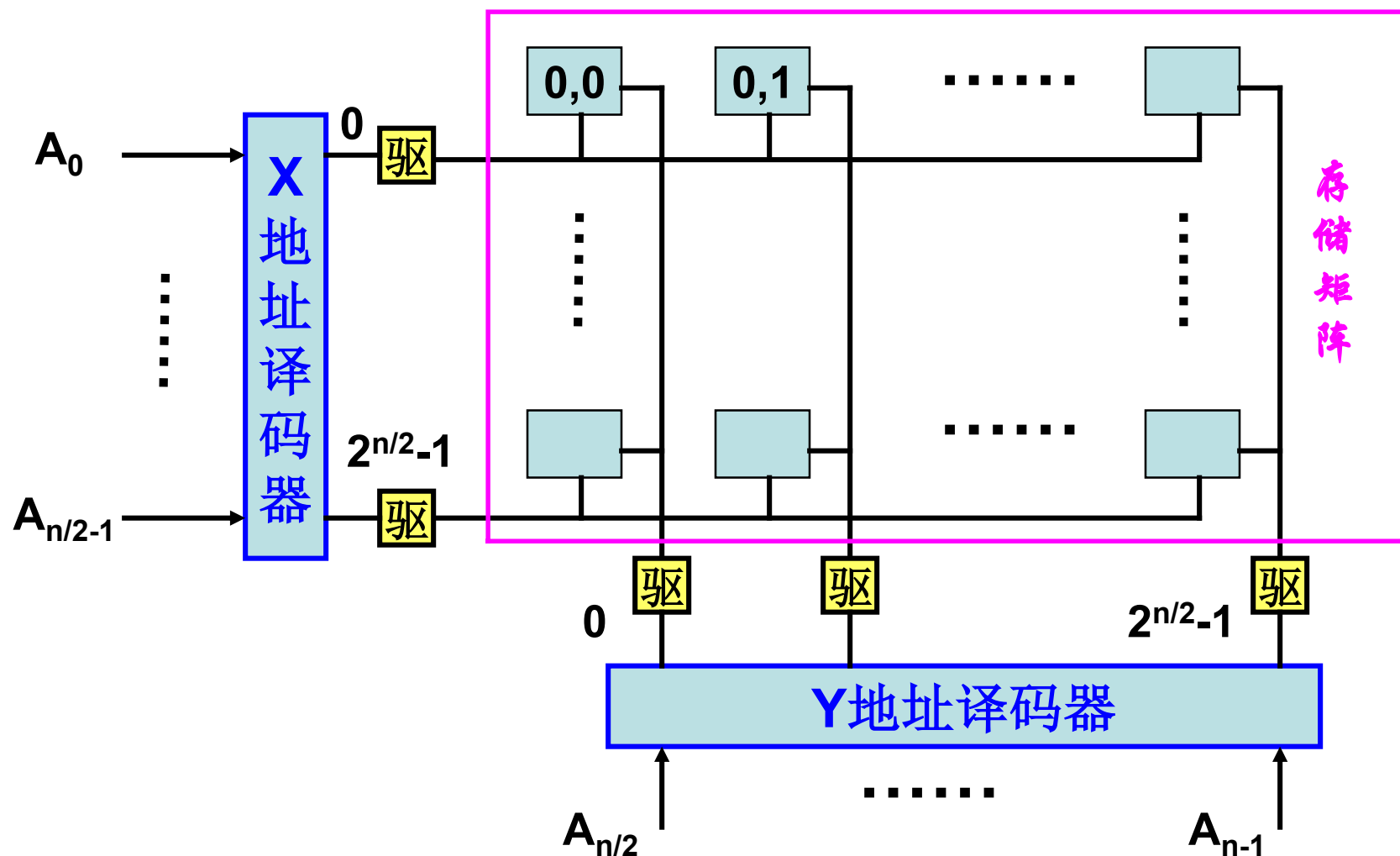
当  $n = 16$ 位时，

重合法需  **$2^8 + 2^8 = 512$** 根译码线，**512**套驱动器

# 重合法译码结构示意图



(图中设容量为 $2^n$ 字, 1位/字)

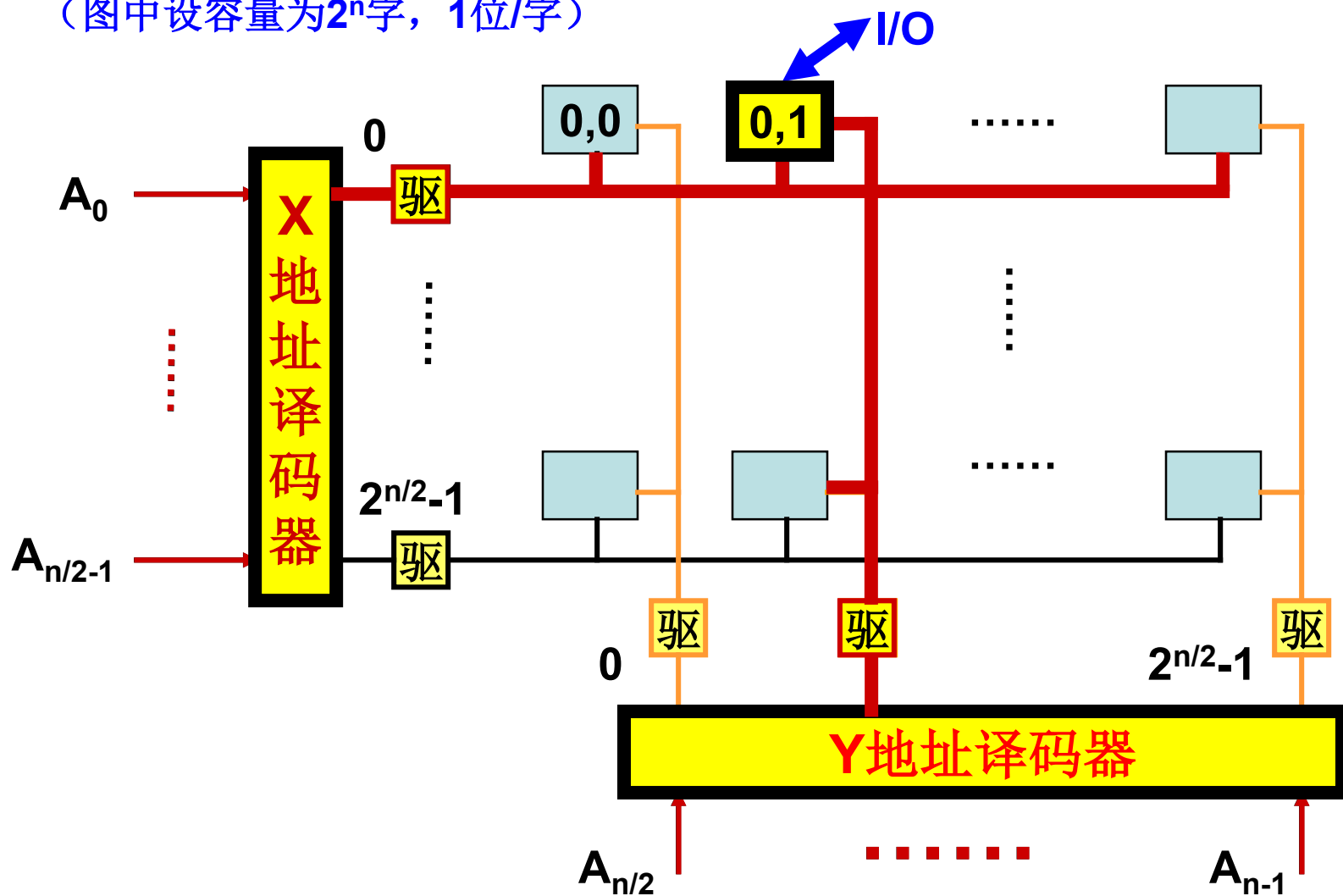




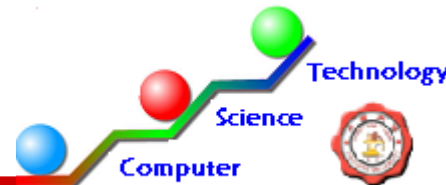
# 重合法译码过程



(图中设容量为 $2^n$ 字, 1位/字)



## 3.2.2 主存的性能指标



□ **存储容量** = 存储单元个数 × 存储字长（按字）  
= 字节数（按字节编址）

某机可达存储容量上限由地址总线位数界定。

□ **存取速度**

**存取时间（Memory Access Time）：**

指启动一次存储器操作到操作完成所需时间。

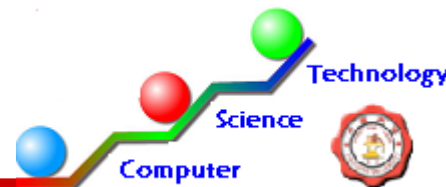
**存取周期（Memory Cycle Time）：**

指存储器连续两次独立操作所需最小时间间隔。

通常，**存取周期** > **存取时间**；即

**存取周期 = 存取时间 + 恢复时间**

## 3.2.2 主存的性能指标（续）



### □ 存储器带宽

指单位时间内存储器存取的信息量，单位为字 / 秒、字节 / 秒或位 / 秒。

此指标决定了一台计算机可以获得的**最快信息传输速度**。

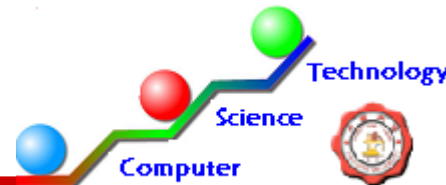
**存储器带宽 = 存取周期的倒数**

例：存取周期**500ns**，字长**16位**，则：

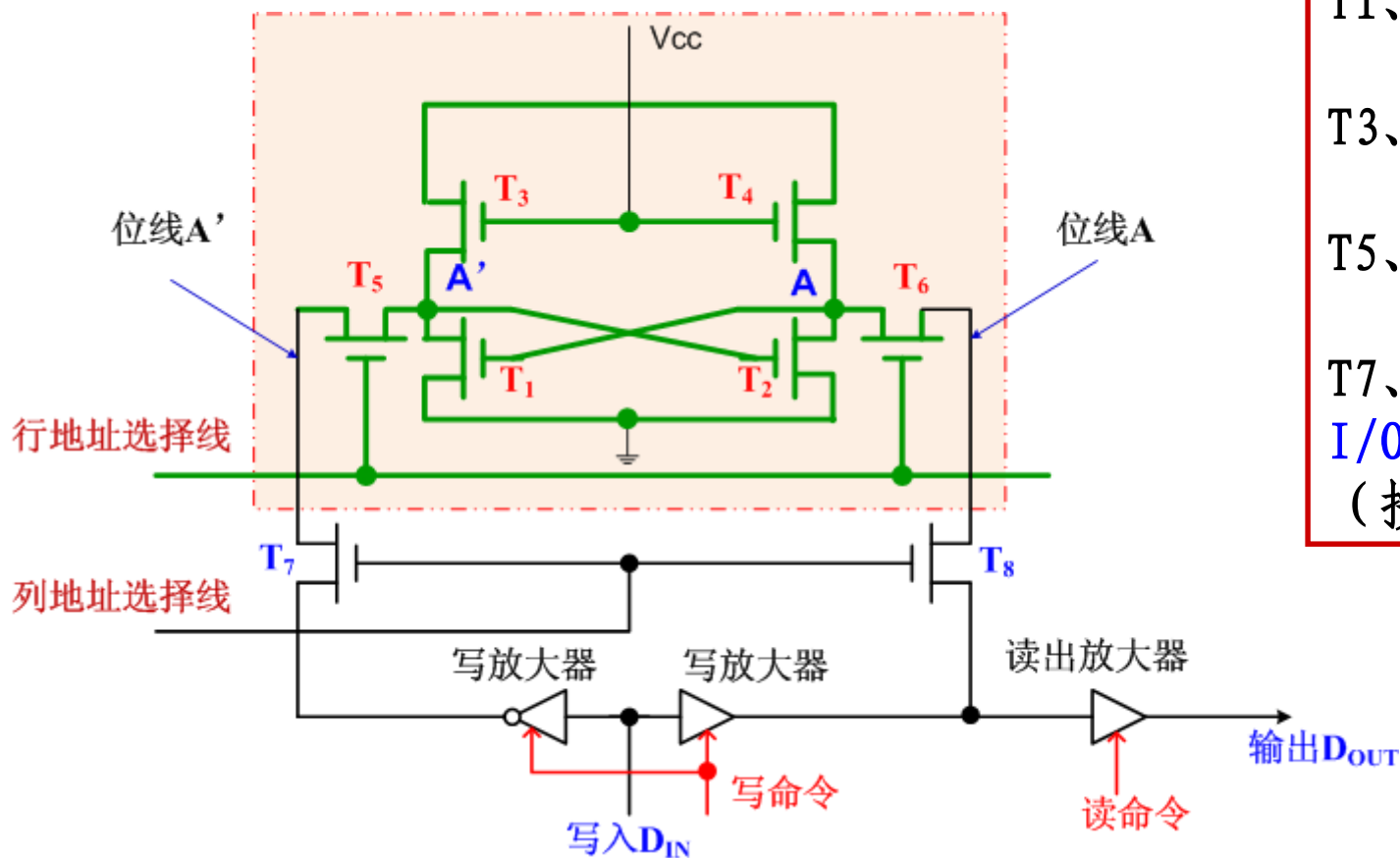
$$\begin{aligned}\text{存储器带宽} &= 1\text{字}/500\text{ns} = 2\text{M字/秒} \\ &= 4\text{M字节/秒} = 32\text{M位/秒}\end{aligned}$$

（注：**M = 10<sup>6</sup>**，时间单位的转换，同一般公制单位。）

## 3.2.3 SRAM存储器

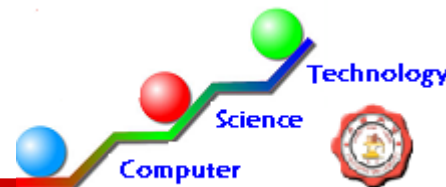


### 六管SRAM存储元



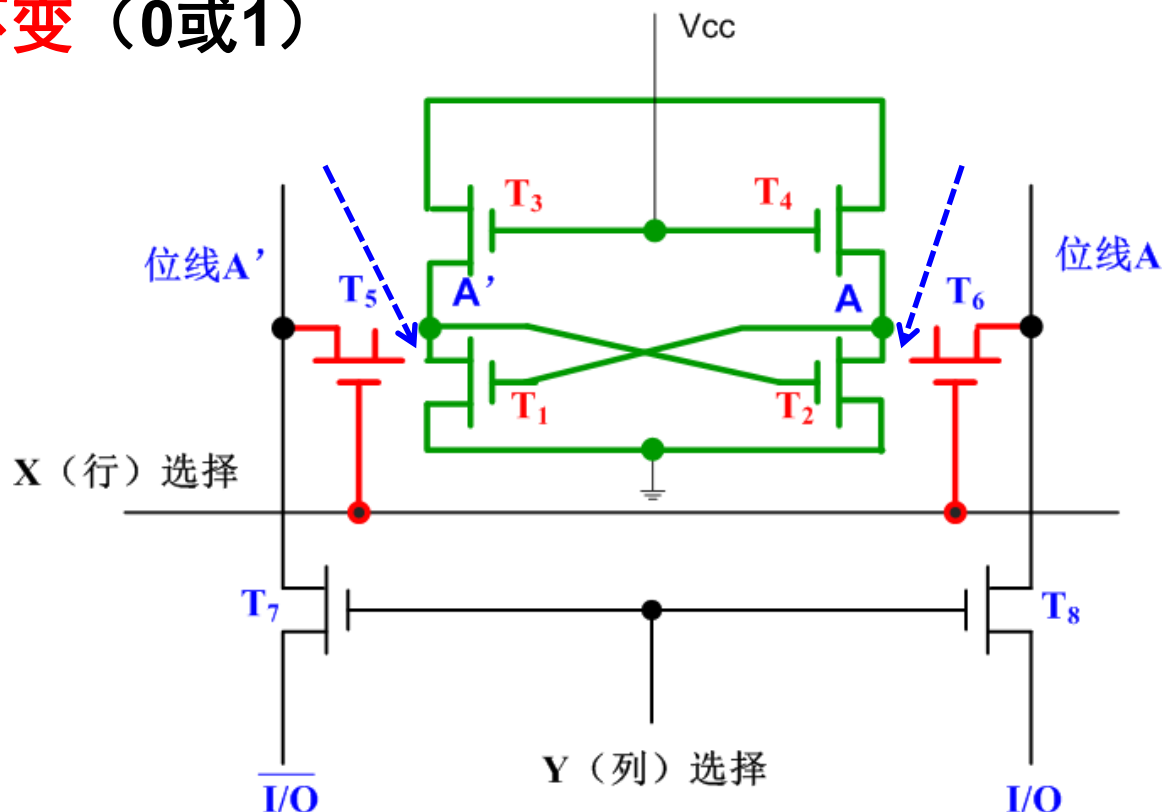
T1、T2:  
工作管  
T3、T4:  
负载管  
T5、T6:  
控制开关  
T7、T8:  
I/O 控制开关  
(按列公用)

# 六管SRAM的三种状态——保持



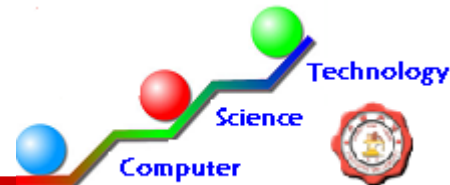
## ○保持

未访问时，行、列地址选择线上无信号（或者仅其一有信号），**T5~T8断开**，存储元与外界隔离，保持现存**状态不变**（0或1）



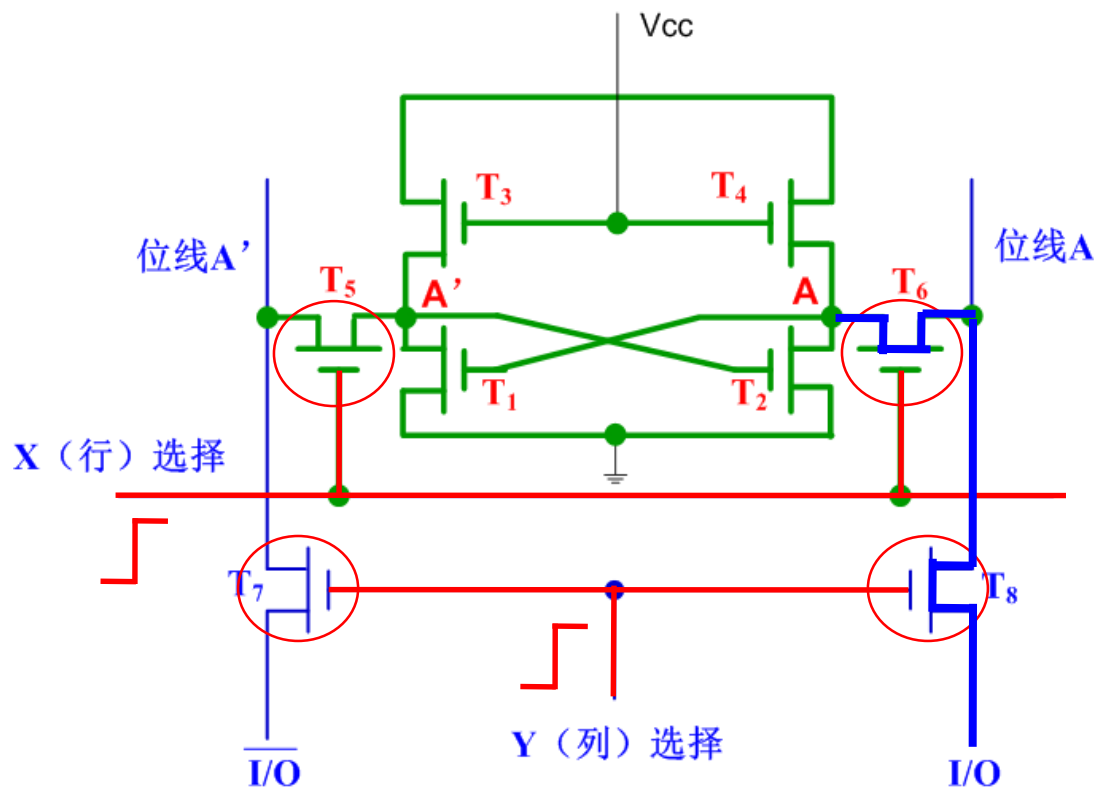
等效电路

# 六管SRAM的三种状态——读出



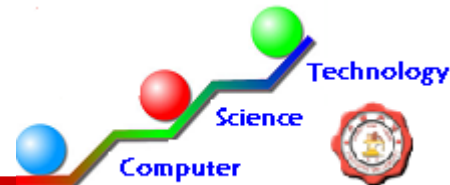
## ○ 读出

行、列地址选择信号**有效**（高），**T5~T8导通**，存储元所存信息经T6、位线A、T8、读放大器输出（0低1高）。



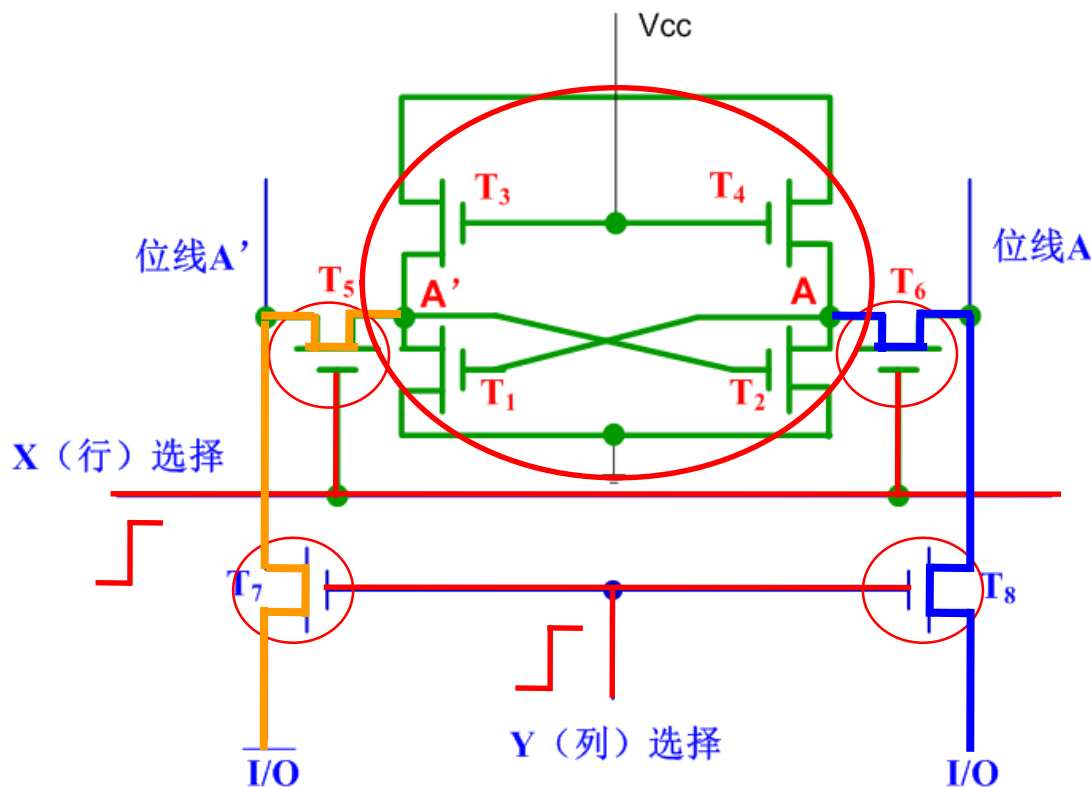
单边工作  
方式

# 六管SRAM的三种状态—写入



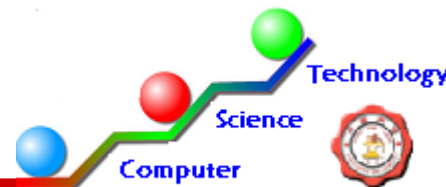
## ○写入

行、列地址选择信号**有效**（高），**T5~T8导通**，写入信息经 $D_{IN}$ 、写放大器、T7/T8、位线、T5/T6到达A'/A点，迫使T1/T2状态按输入信息变化。

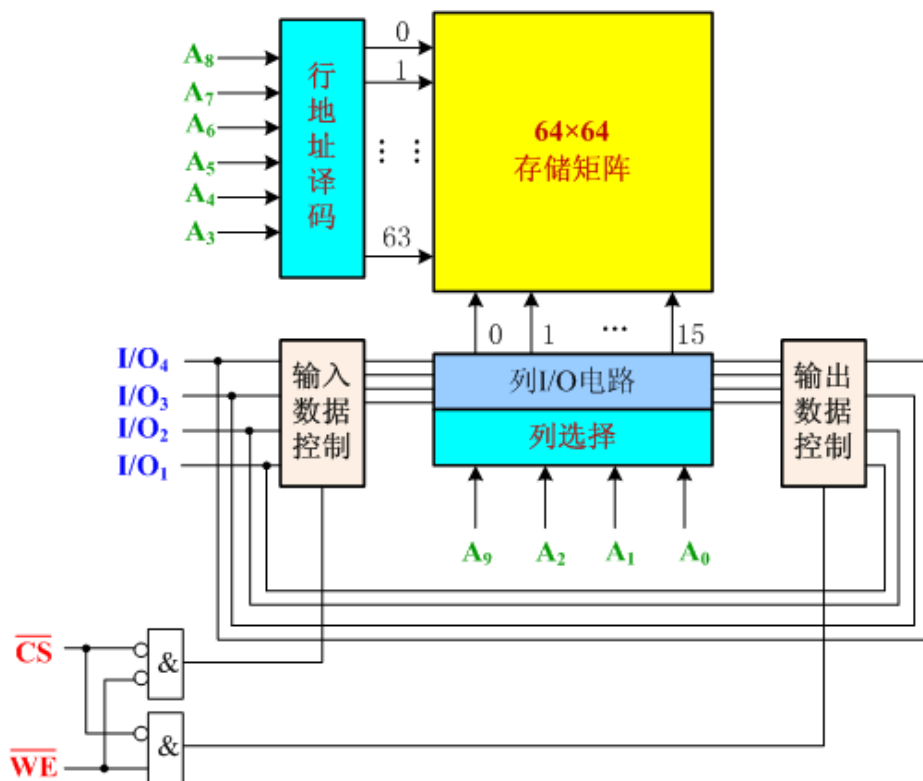


双边工作  
方式

# SRAM芯片举例



Intel 2114 SRAM芯片：容量 $1K \times 4$ 位，存储矩阵 $64 \times 64$



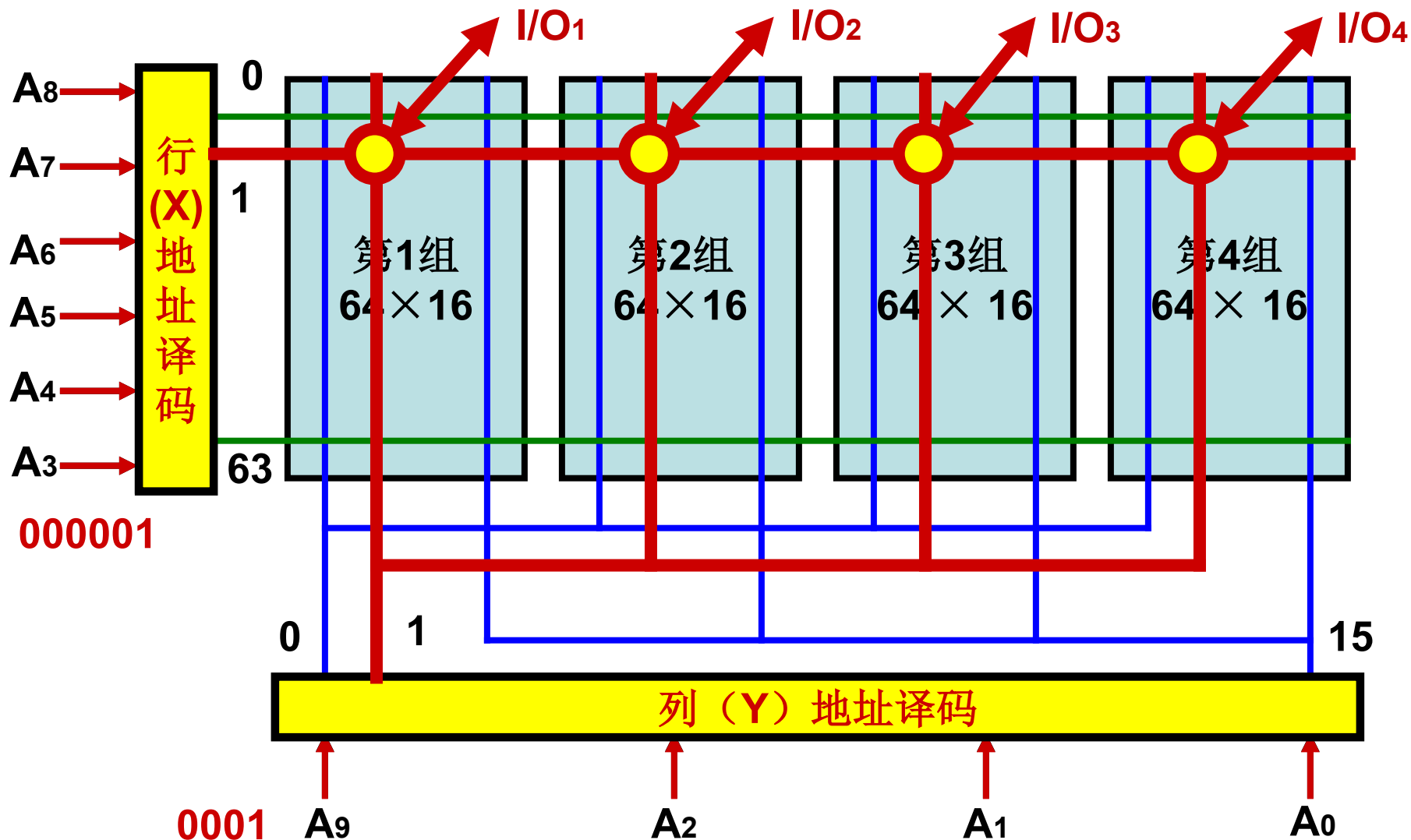
地址译码采用重合法：

A8~A3：行地址

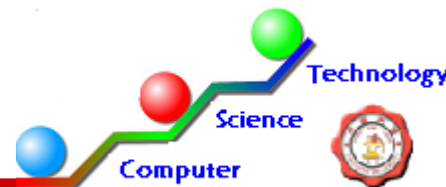
A9、A2~A0：列地址



# 2114 SRAM 内部存储矩阵结构



# SRAM的外特性



## □ 常用逻辑符号方框图表示

- 方框内：标明芯片的型号、片容量、引脚名等
- 方框外：标明芯片的引脚线、信号名等

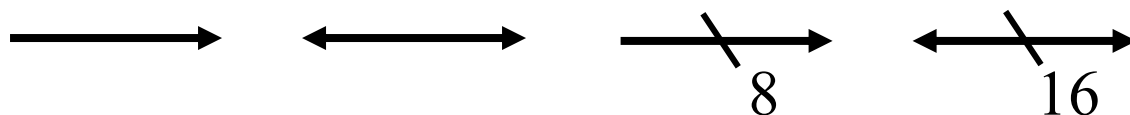
注：引脚名是芯片引脚的逻辑定义，由厂家给出  
信号名为引脚上所加信号的名称；两者不一定一样

## □ 引脚线的表示方法

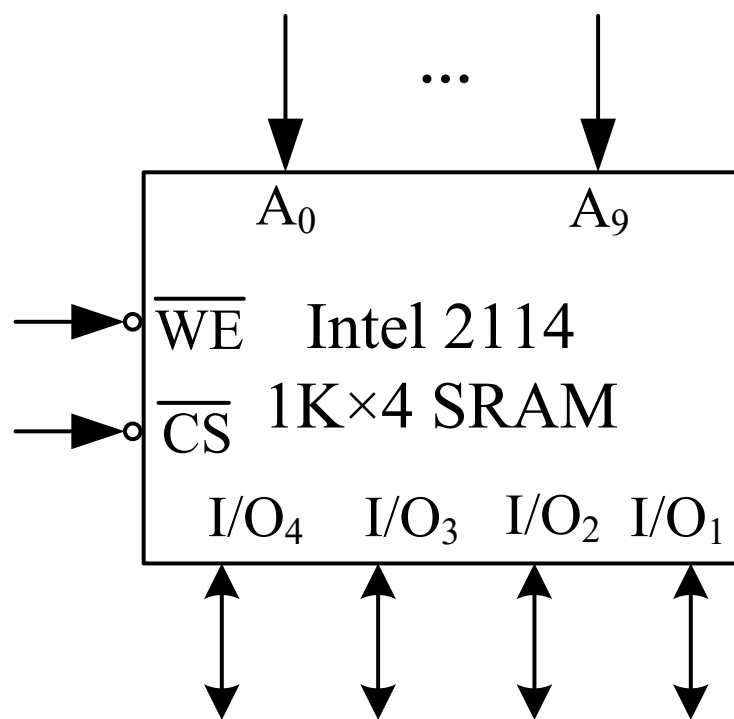
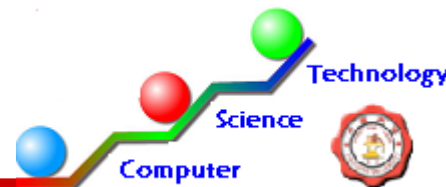
- 电气引脚：电源线、地线等，逻辑符号中可省
- 逻辑引脚：SRAM通常有三类四种

数据线、地址线、控制线（读/写控制、片选控制）

常用线形：



# Intel 2114外特性



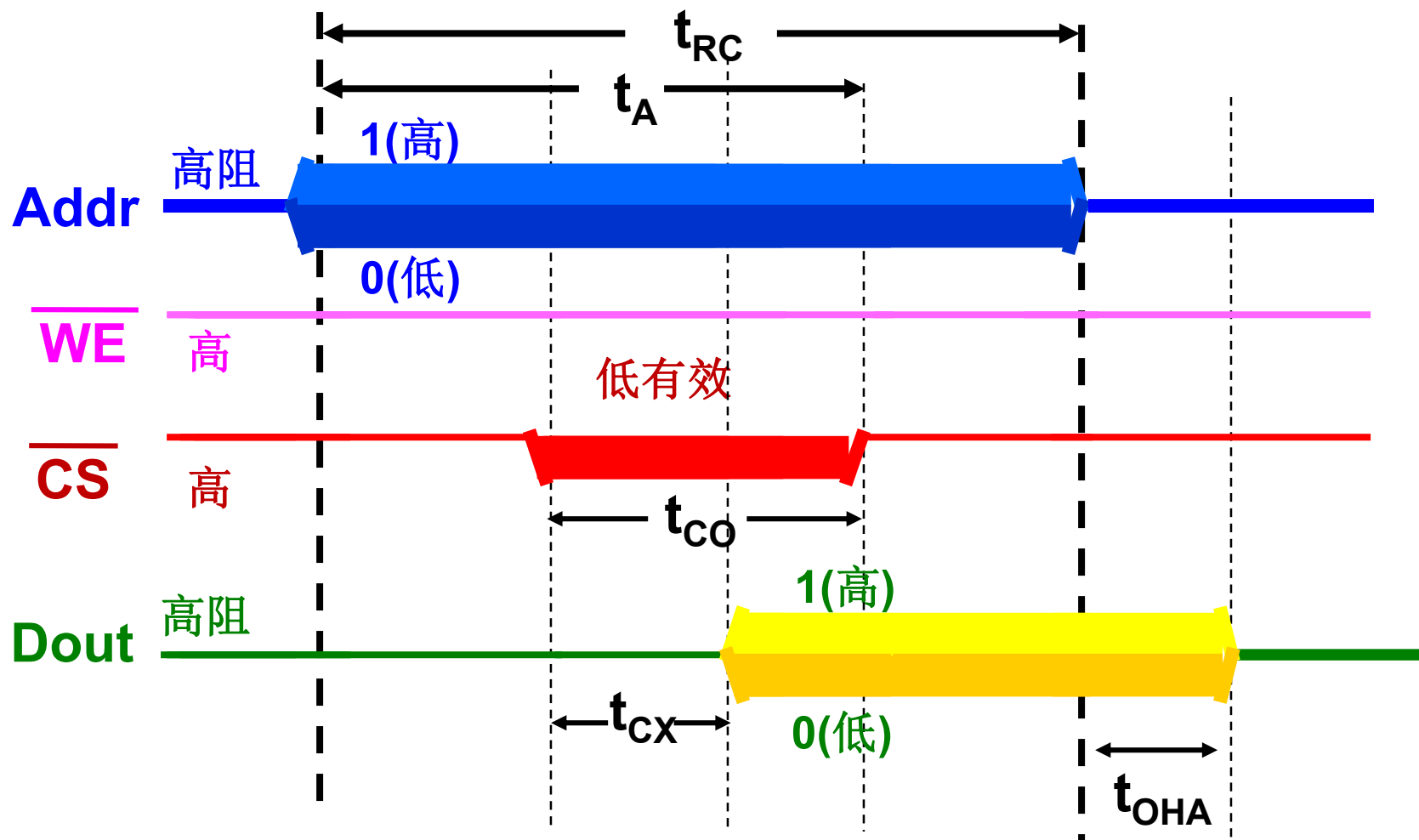
**A9~A0:** 地址线

**I/O<sub>4</sub>~I/O<sub>1</sub>:** 数据线, 双向

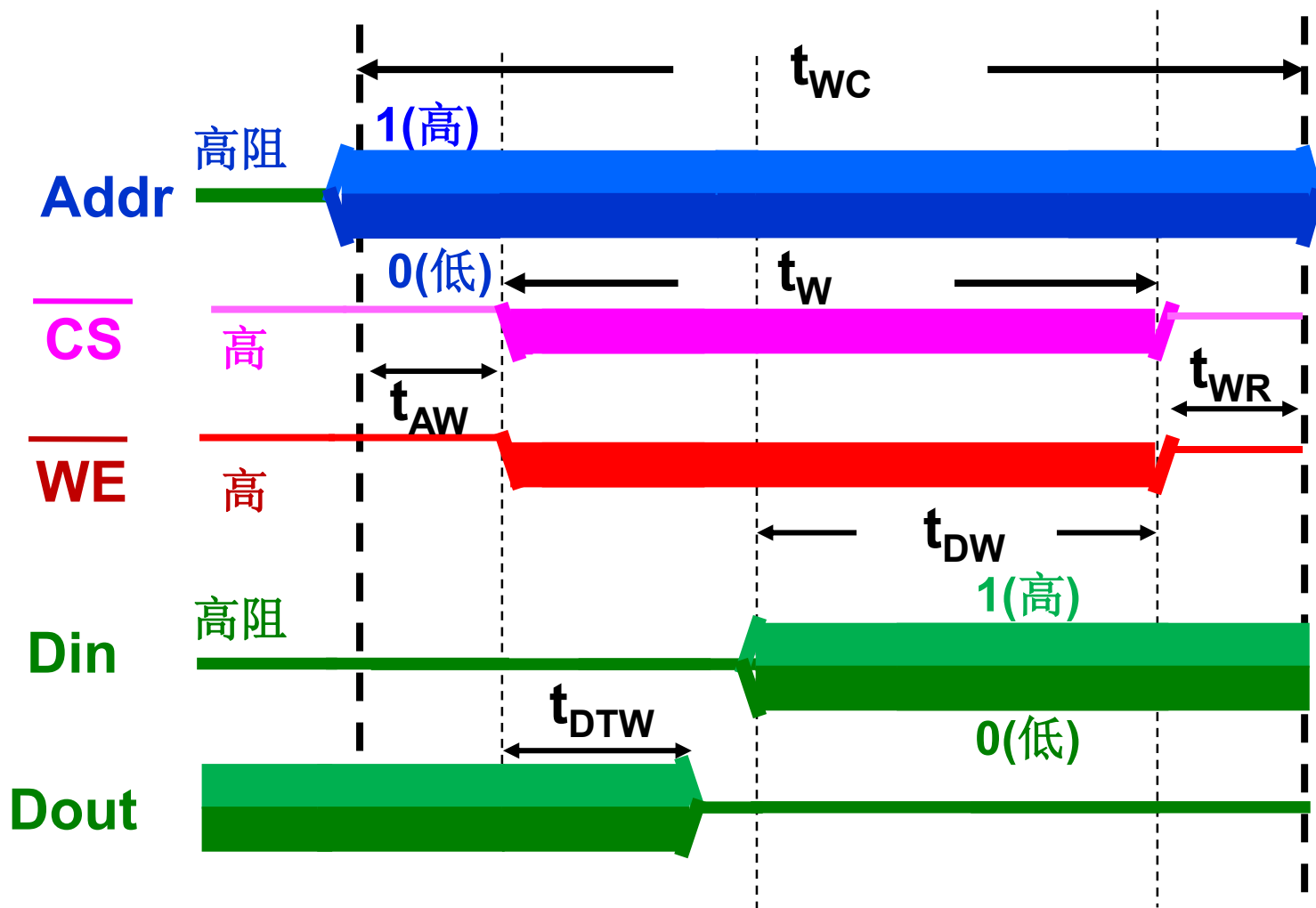
**$\overline{WE}$ :** 读写读令  
= **H**: 读令  
= **L**: 写令

**$\overline{CS}$ :** 片选  
低有效 (选中)

# SRAM读/写时序：读周期时序



# SRAM读/写时序：写周期时序

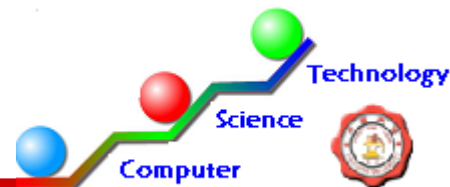


# 本章第1次作业 (总第3次作业)

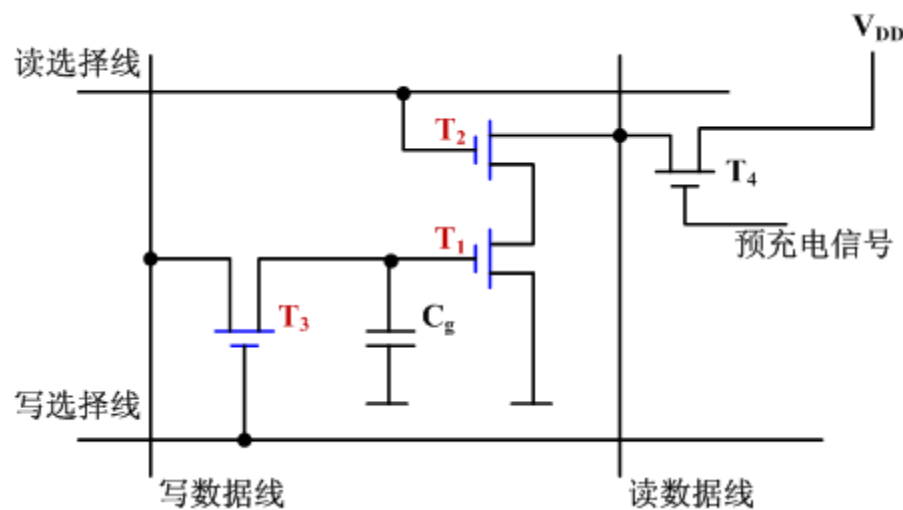


3.6、 3.7、 3.12、 3.19

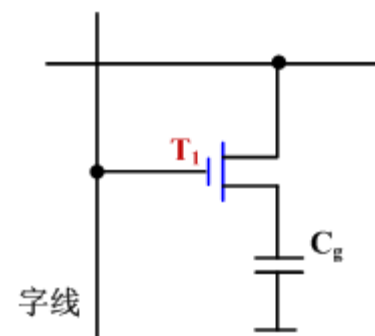
## 3.2.4 DRAM存储器



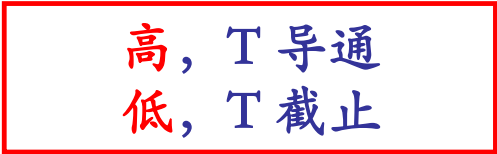
### □ DRAM存储元



三管DRAM存储元



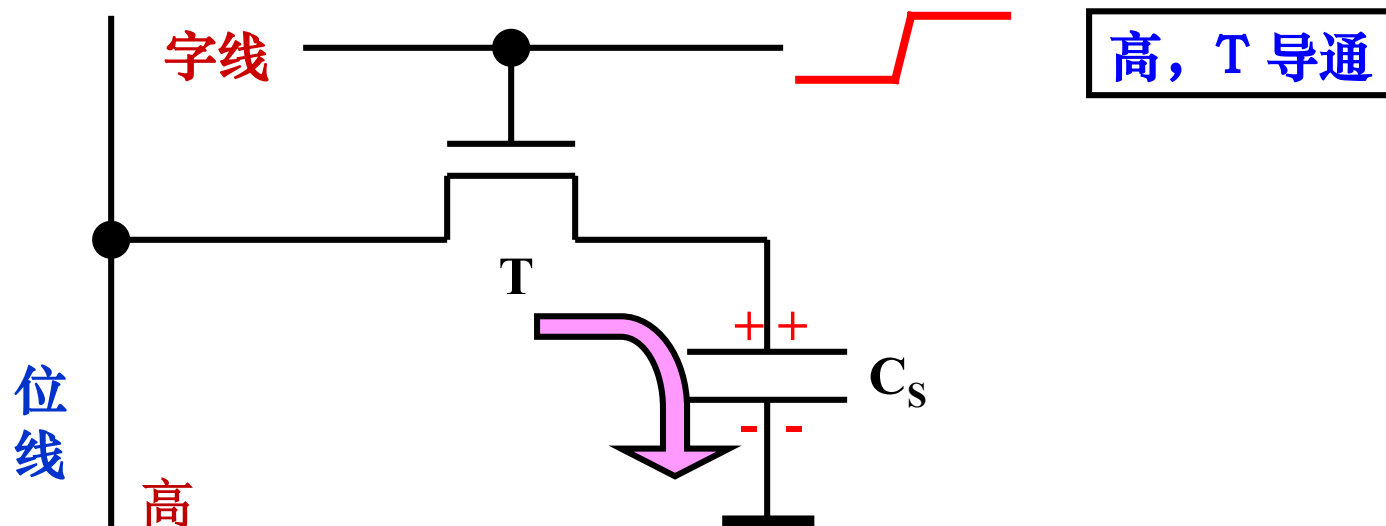
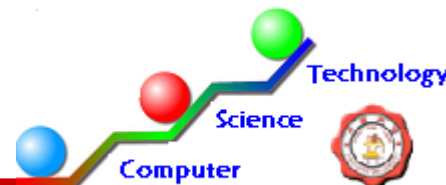
单管DRAM存储元



通过电容 $C_s$ 有无存储电荷来区分信号0、1



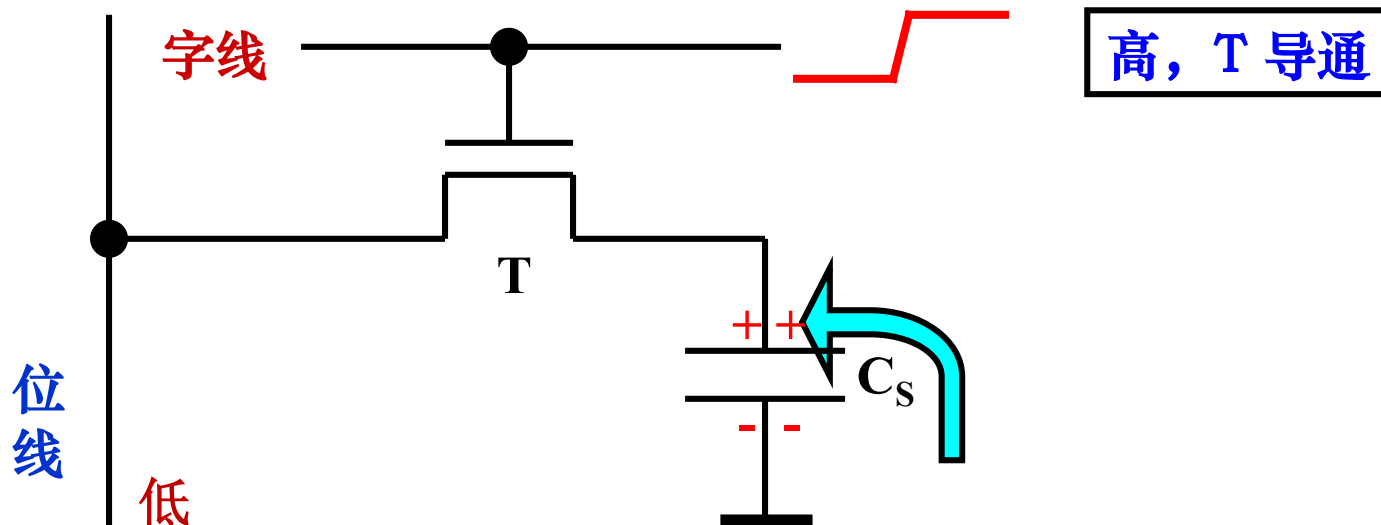
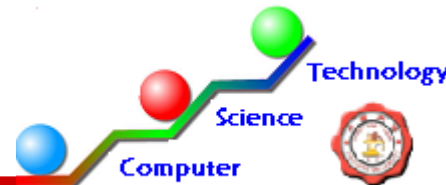
# 单管DRAM存储元的写“1”



**写1：** 当字线来高电平后，T导通；使位线为高电平  
若 $C_s$ 上无电荷，则  $C_s$  通过 T 充电；  
把 1 信号写入了电容  $C_s$  中。

若 $C_s$ 上有电荷，则  $C_s$  无充放电动作，  
保持原记忆的 1 信号不变。

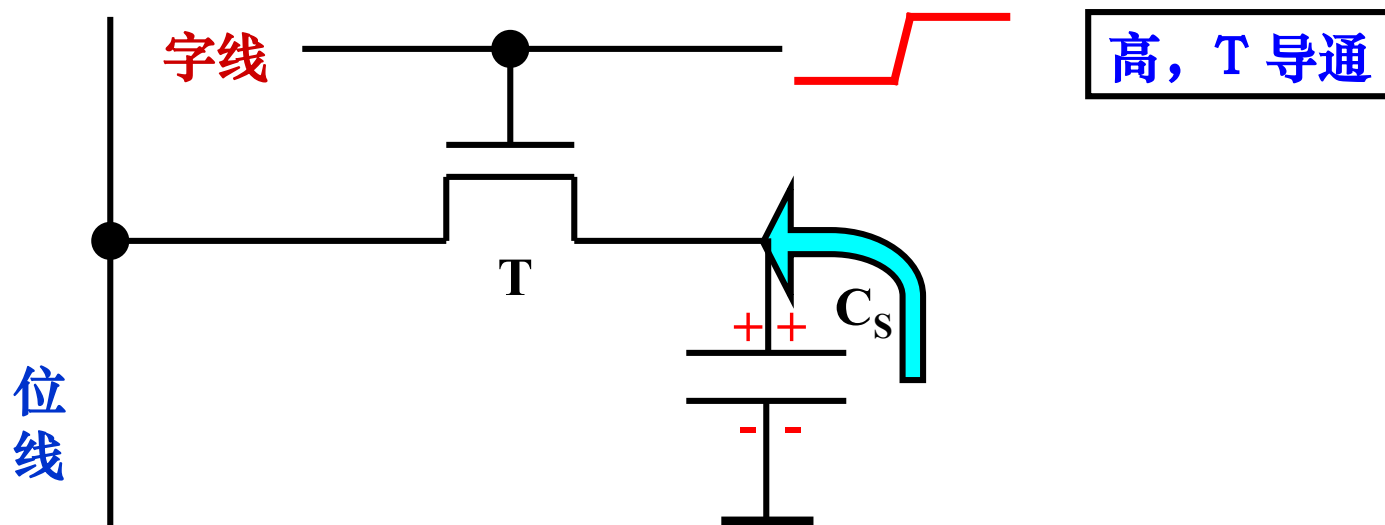
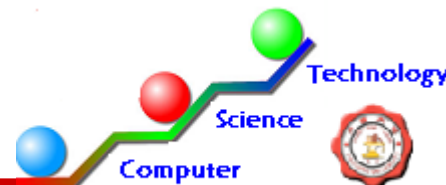
# 单管DRAM存储元的写 '0'



**写 0:** 当字线来高电平后, T导通; 使位线为低电平,  
若 $C_s$ 上有电荷, 则  $C_s$  通过T放电;  
把 0 信号写入了电容  $C_s$  中。

若 $C_s$ 上无电荷, 则  $C_s$  无放电动作,  
保持原记忆的 0 信号不变。

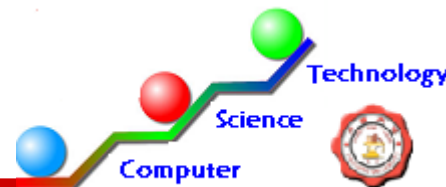
# 单管DRAM存储元的读



**读操作：** 当字线加高电平后，T导通；

- ① 若  $C_s$  上无电荷，则位线上无电流，读出为 0 ；
- ② 若  $C_s$  上有电荷，则会放电，位线上有电流，接在位线上的读出放大器会感知这种变化，读出为 1。

# DRAM的再生

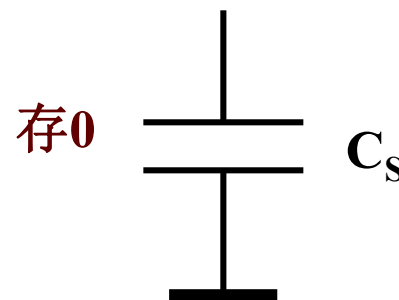
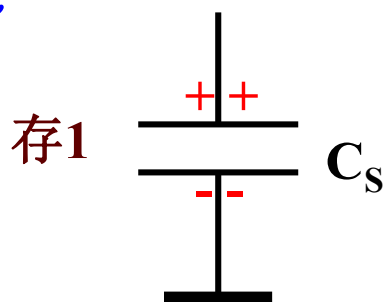


**破坏性读出：**读操作后，被读单元的内容一定被清为零，必须把刚读出的内容立即写回去，通常称其为**再生**。它影响存储器的工作频率，在**再生**结束前不能开始下一次读。

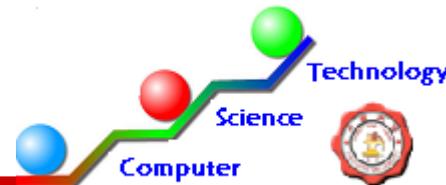
**再生：**读放大器同时又是再生放大器，利用双稳态结构，在读出过程中建立起稳态，然后该稳态再自动写回存储元。

**保持：**当存储元未选中时， $C_s$ 电容与外界隔离，功耗近似为0，保持原电荷状态不变。

其等效电路如下：



# DRAM的定期刷新

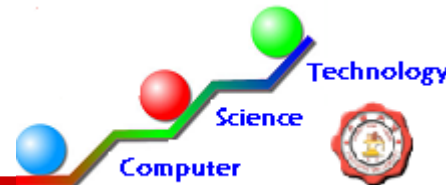


在不进行读/写操作时，DRAM 存储器的各单元虽然处于**断路**状态，但由于**漏电的存在**，保存在电容 $C_s$ 上的电荷会慢慢地泄漏掉，为此必须**定时予以补充**，通常称其为**刷新操作**。刷新最大时间间隔一般为 $2 \sim 8\text{ms}$ 。

**常用的刷新方式：**

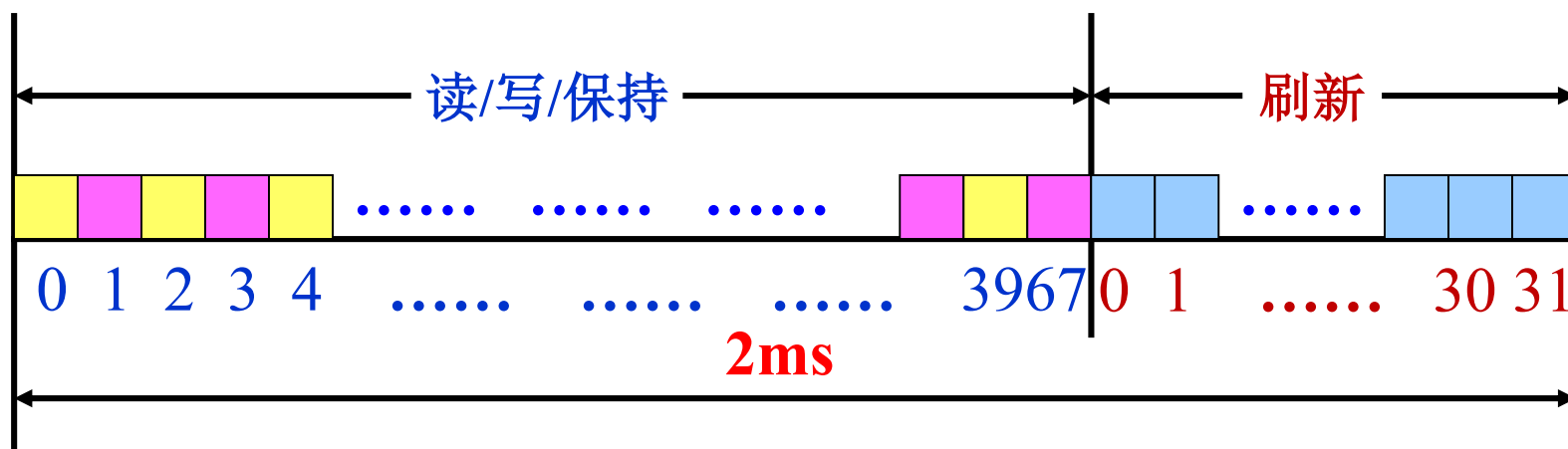
- 1) 集中式刷新
- 2) 分散式刷新
- 3) 异步式刷新

# 集中式刷新

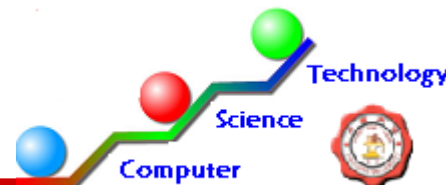


在最大刷新时间间隔内，集中安排一段时间对芯片内全部存储元逐行刷新一遍，刷新期间停止内存正常读/写操作。

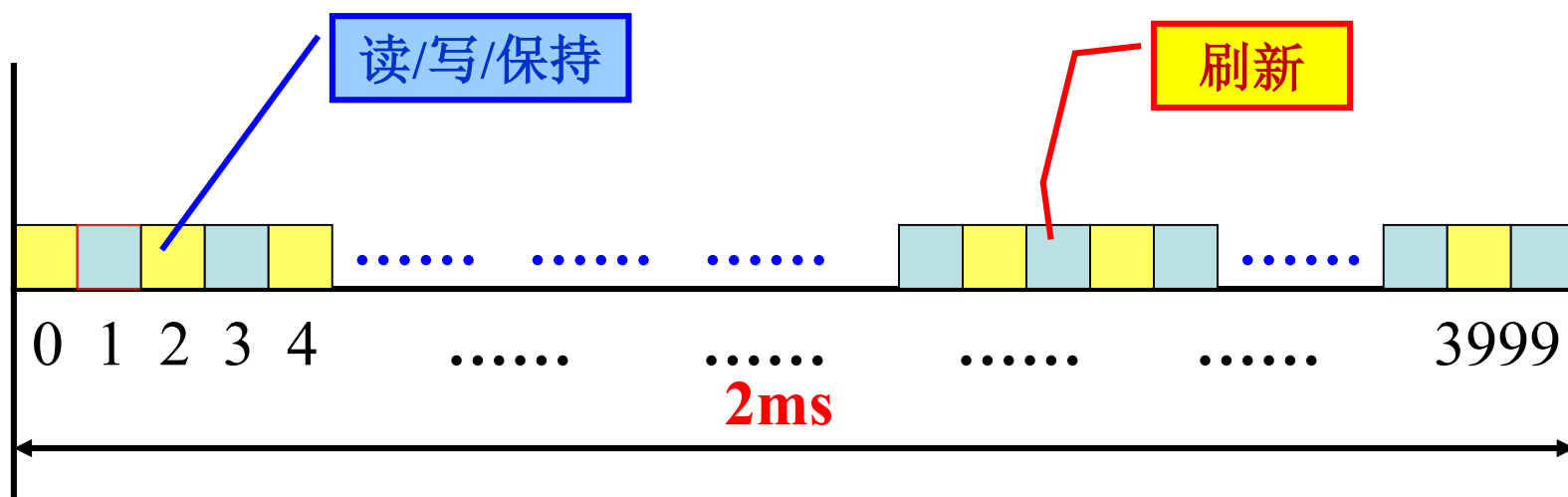
例：Intel 1103 1K×1 DRAM，内部矩阵为32行× 32列，存取周期500ns，最大刷新间隔2ms，则刷新时间分配如下：  
(2ms共含4000个存取周期)



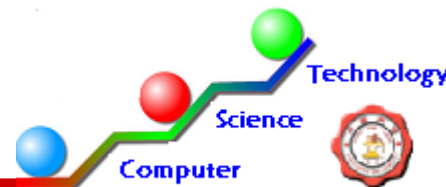
# 分散式刷新



每一个主存读/写周期后，紧接着一个刷新周期，  
对存储矩阵中的一行进行刷新。各行轮流进行刷新。  
仍以 $1K \times 1$ 芯片为例，时间分配图如下：



# 异步式刷新

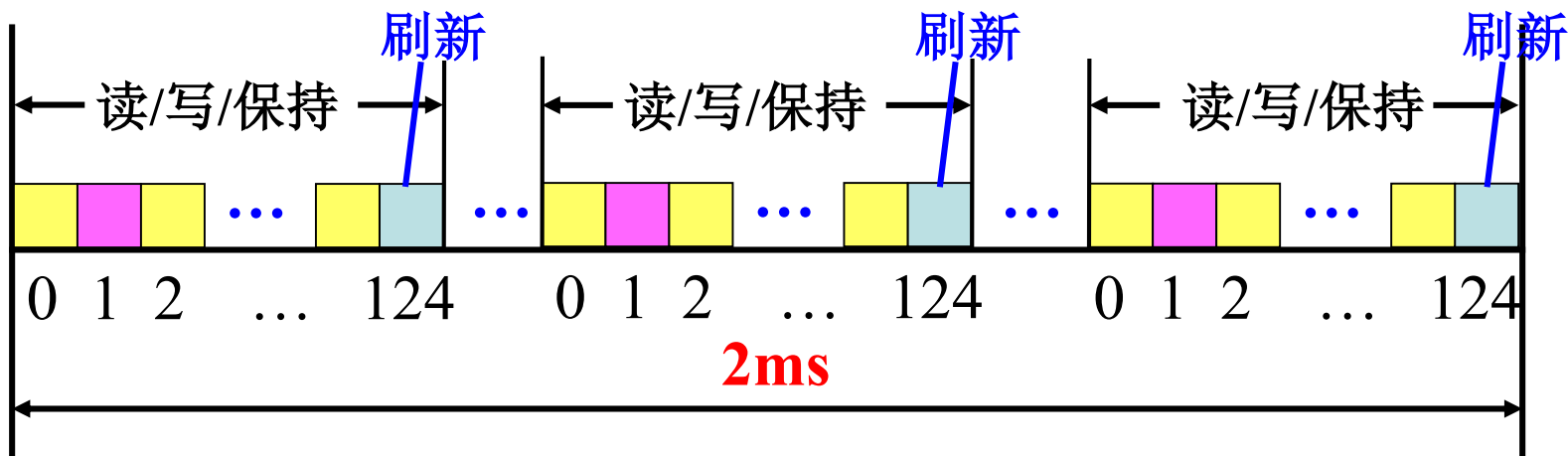


在最大刷新时间间隔内，对芯片内的全部存储元逐行轮流刷新一遍。刷新周期平均分散在最大刷新间隔中。

以1K×1芯片为例，

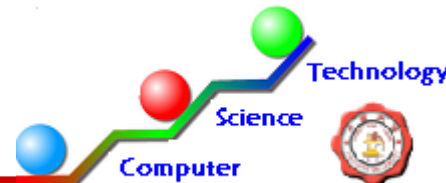
异步刷新周期间隔 =  $2\text{ms}/32\text{行} = 62.5\mu\text{s}$   
(125个存储周期)

时间分配图如下：





# 三种刷新方式比较

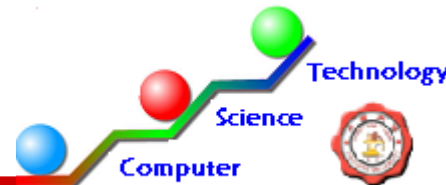


**集中式刷新：**正常工作期间DRAM可达全效率，但刷新期间CPU不能访存（上例中为 $16\mu\text{s}$ ），形成访存“死时间”。

**分散式刷新：**消除了访存死时间，但使CPU访存周期延长一倍（上例中为 $1\mu\text{s}$ ）。另外，存在多余的刷新操作（上例中2ms时间中平均每行多刷了61.5次）。

**异步式刷新：**结合集中、分散式的优点，既克服了死时间，又没有多余的刷新操作，DRAM工作效率达到最高，是一种理想的刷新方式，得到广泛应用。但这种方式控制较复杂，需要较多的存储器外围电路支持（刷新地址计数器、刷新定时器、访存仲裁逻辑等）。

# DRAM存储器结构特点

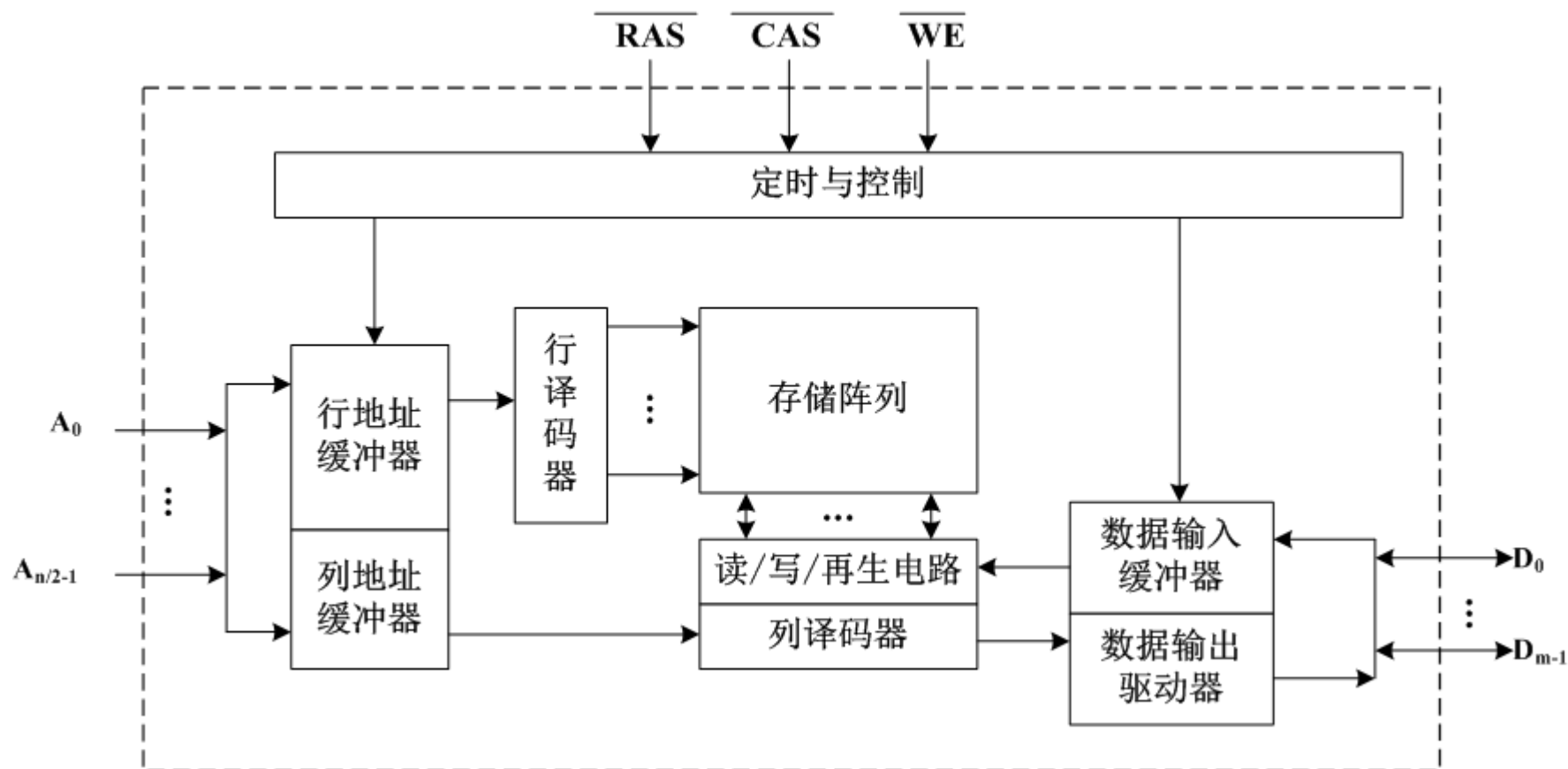


(1) 由于DRAM芯片容量较大，导致地址引脚数大幅度增加，造成制作困难。为此将地址分为行、列地址两部分，分时使用同一组地址引脚输入（输入时间分别由  $\overline{RAS}$ 、 $\overline{CAS}$  信号控制），因此DRAM芯片地址引脚数将减少一半。

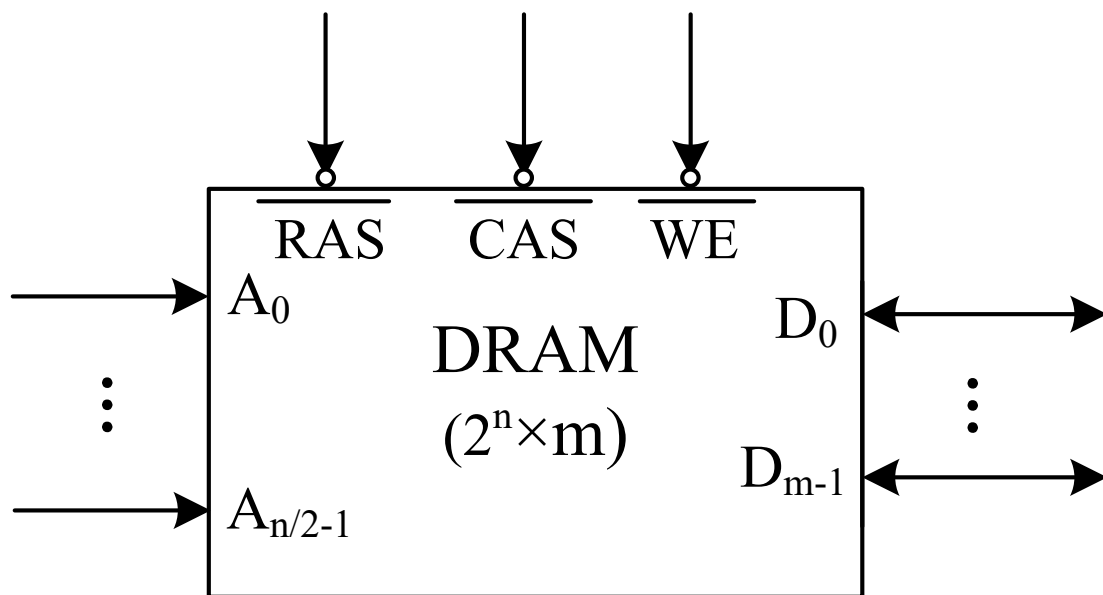
这同样意味着：DRAM芯片每增加一根地址引脚，相当于行、列地址各增加一位（共增加了两位地址），将允许片容量扩大4倍。

(2) 为节省引脚，DRAM芯片通常无  $\overline{CS}$  引脚，此时片选功能由  $\overline{RAS}$  引脚兼任（即  $\overline{RAS}$  信号与片选译码信号复用）。

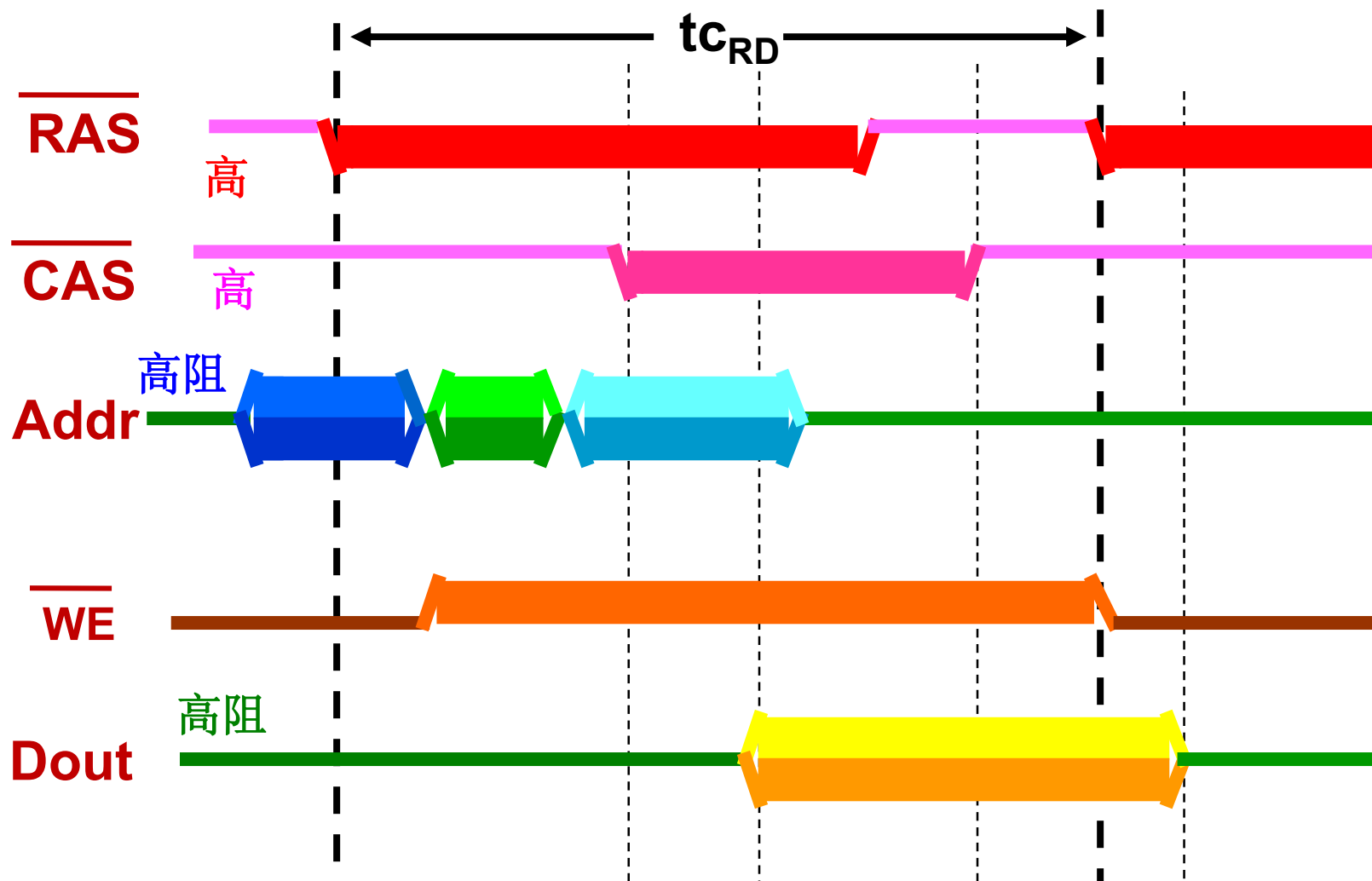
# DRAM存储器的内部结构



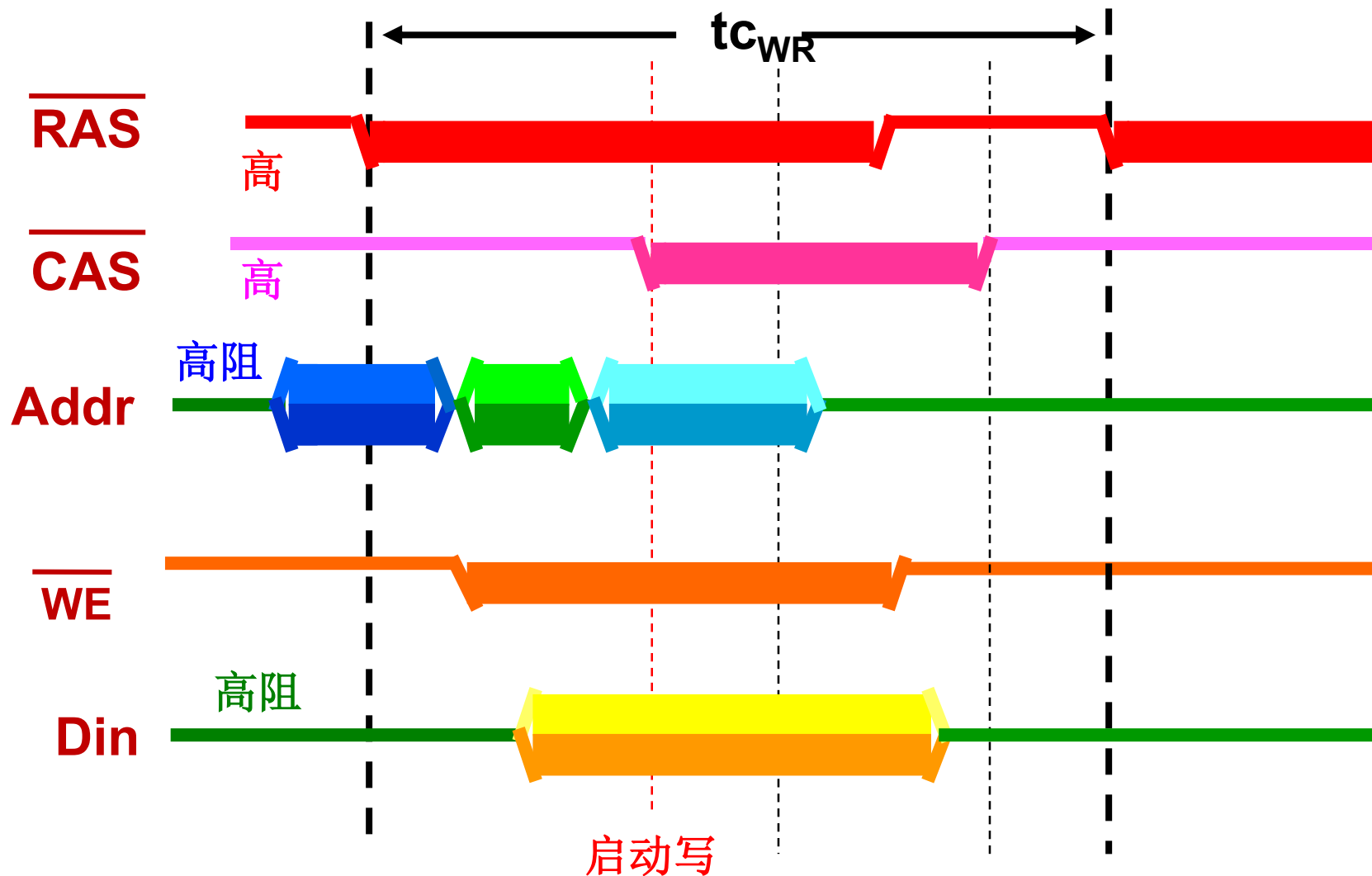
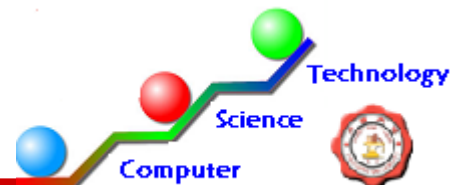
# DRAM 存储器的外特性



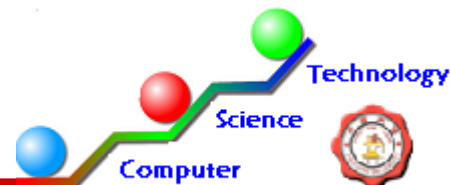
# DRAM读/写时序：读周期时序



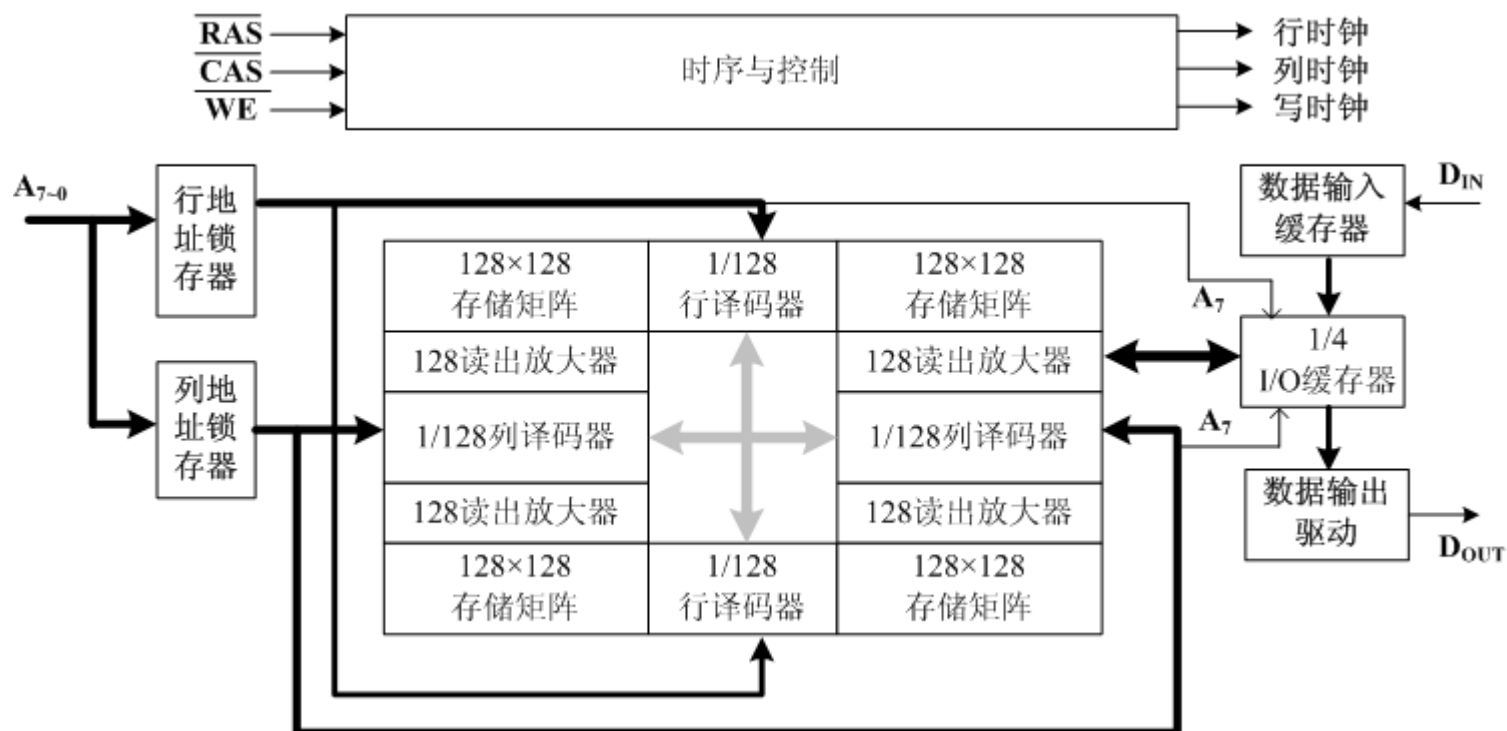
# DRAM读/写时序：写周期时序



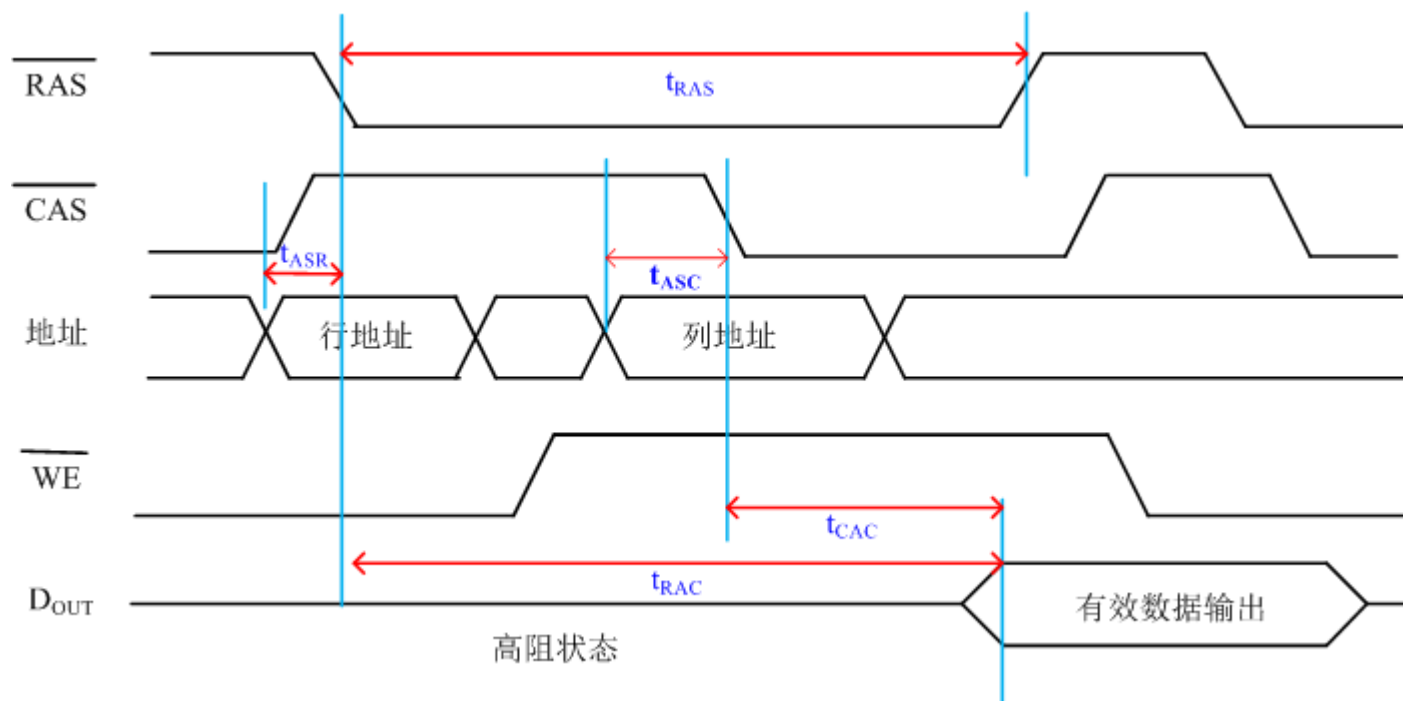
# DRAM存储器举例



## Intel 2164A DRAM (64K × 1位) 芯片的逻辑结构

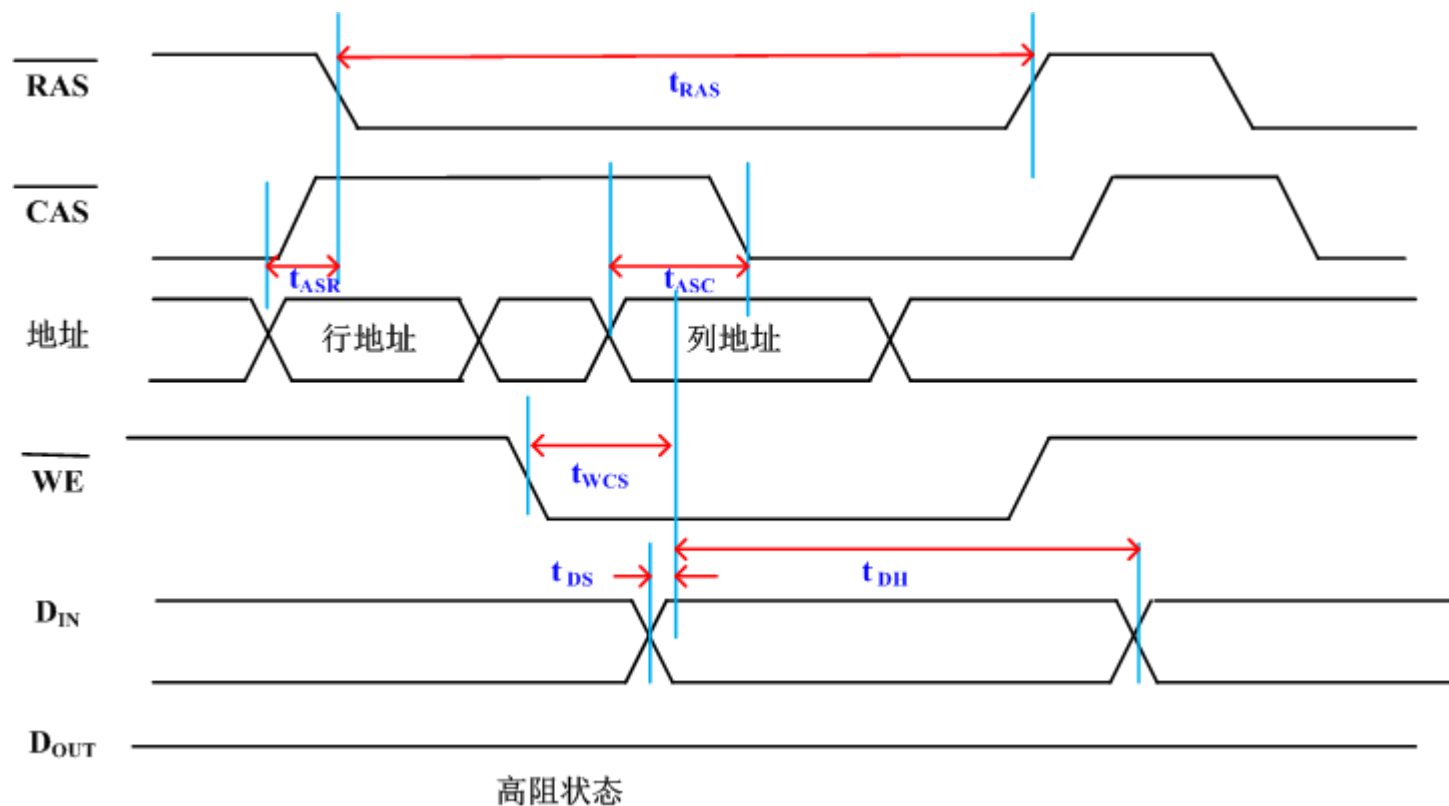


# Intel 2164A 读周期

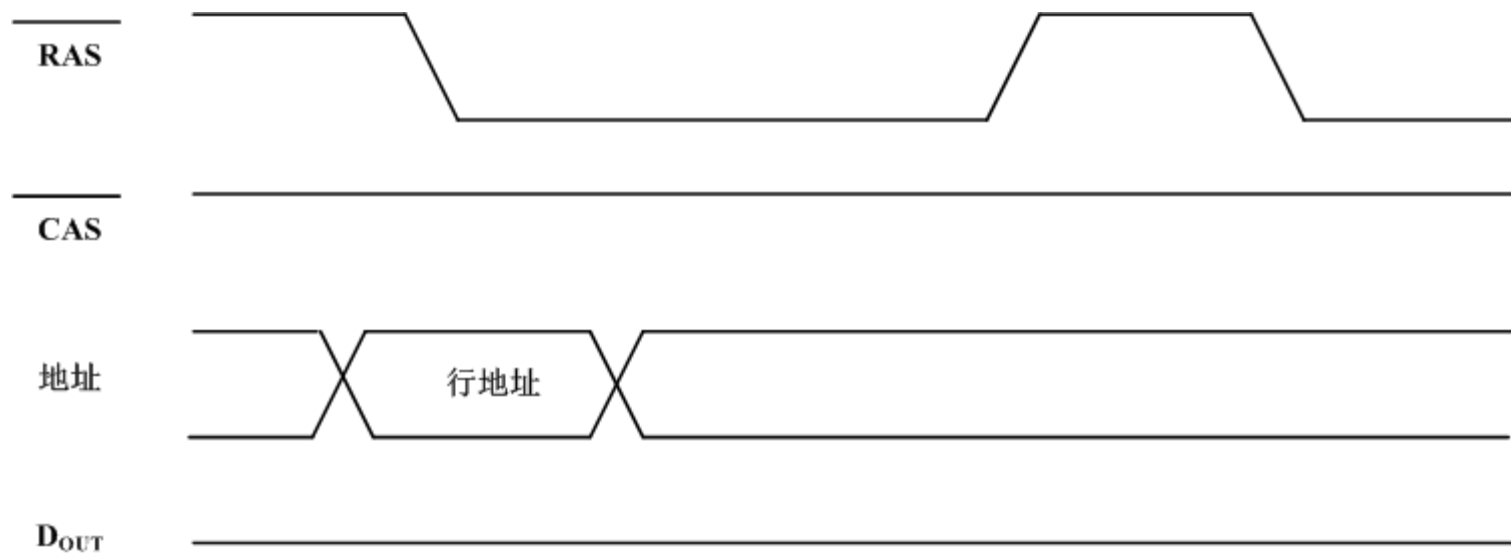




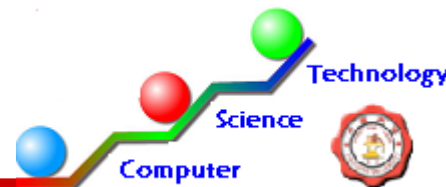
# Intel 2164A 写周期



# Intel 2164A 刷新周期



## 3.2.5 新型DRAM存储器



### ❑ FPM DRAM

- FAST PAGE MODE DRAM, 快速页面模式DRAM

### ❑ EDO DRAM

- Extended Data Out DRAM, 扩展数据输出DRAM

### ❑ SDRAM

- Synchronous DRAM, 同步DRAM

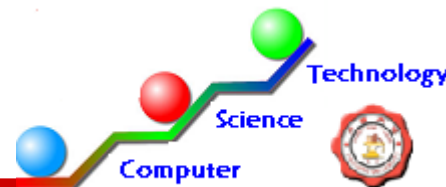
- DDR SDRAM (Double Data Rate SDRAM, 双数据传输率同步DRAM, 简称为DDR)

- DDR2 (Double Data Rate 2)

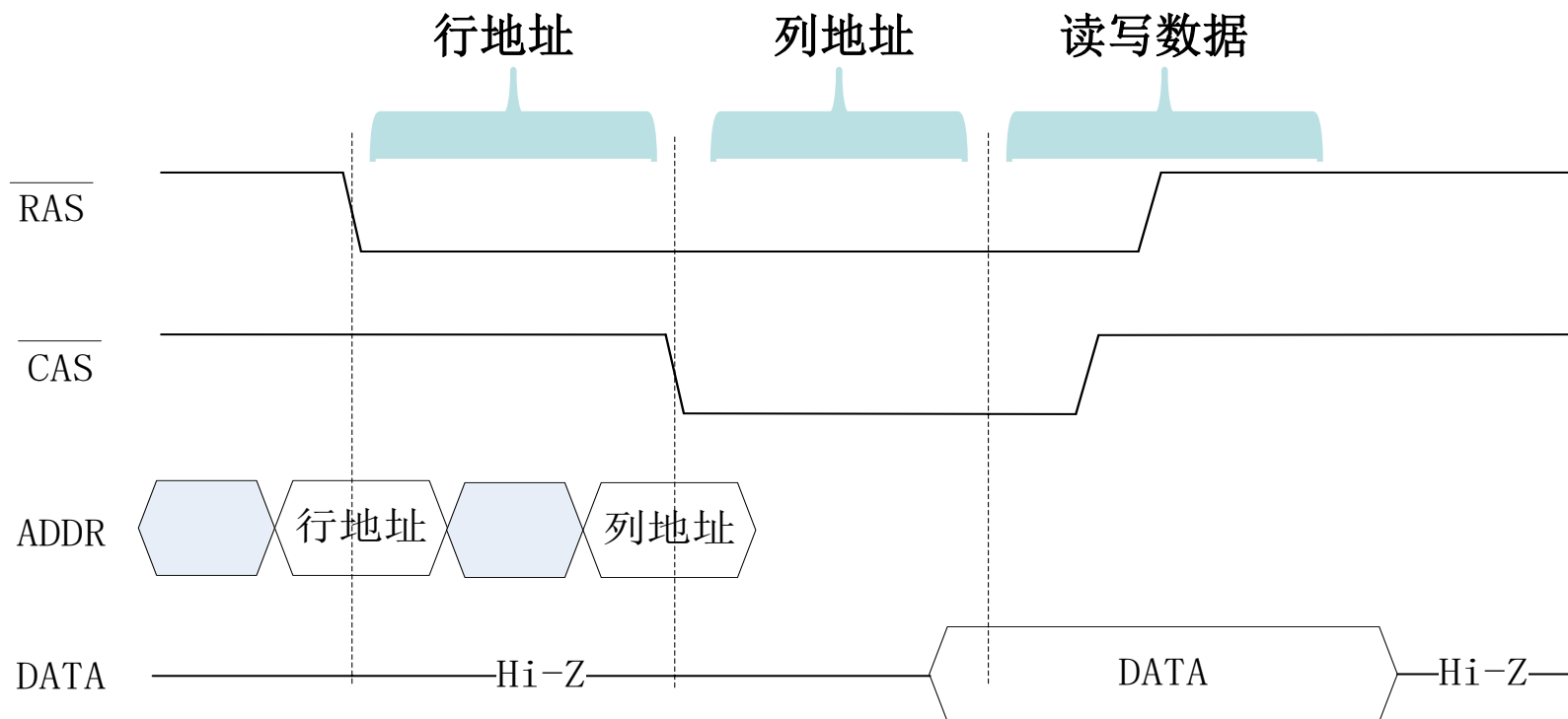
- DDR3 (Double Data Rate 3)

- DDR4 (Double Data Rate 4)

# 新型DRAM



## □ DRAM存取过程（以读为例）

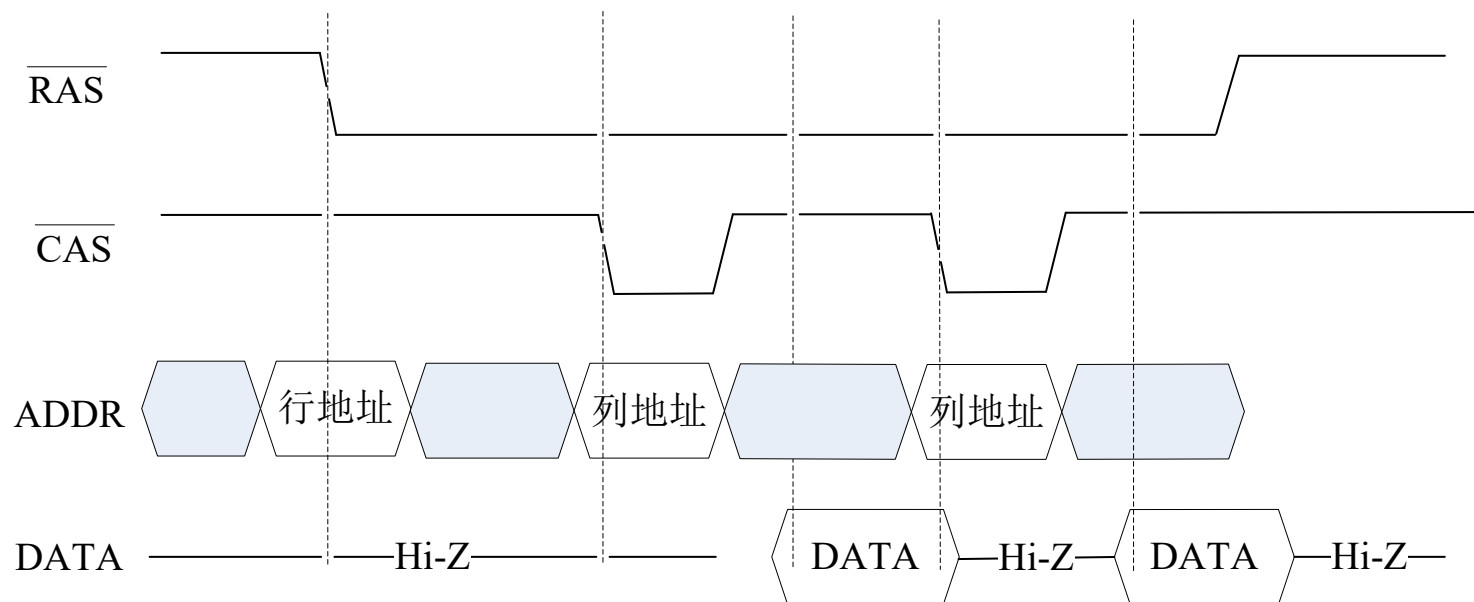


□ 如何对这些过程进行优化以**提高DRAM的存取速度**是新型**DRAM**的最主要目标。

# FPM DRAM



## □ FPM DRAM存取过程（以读为例）

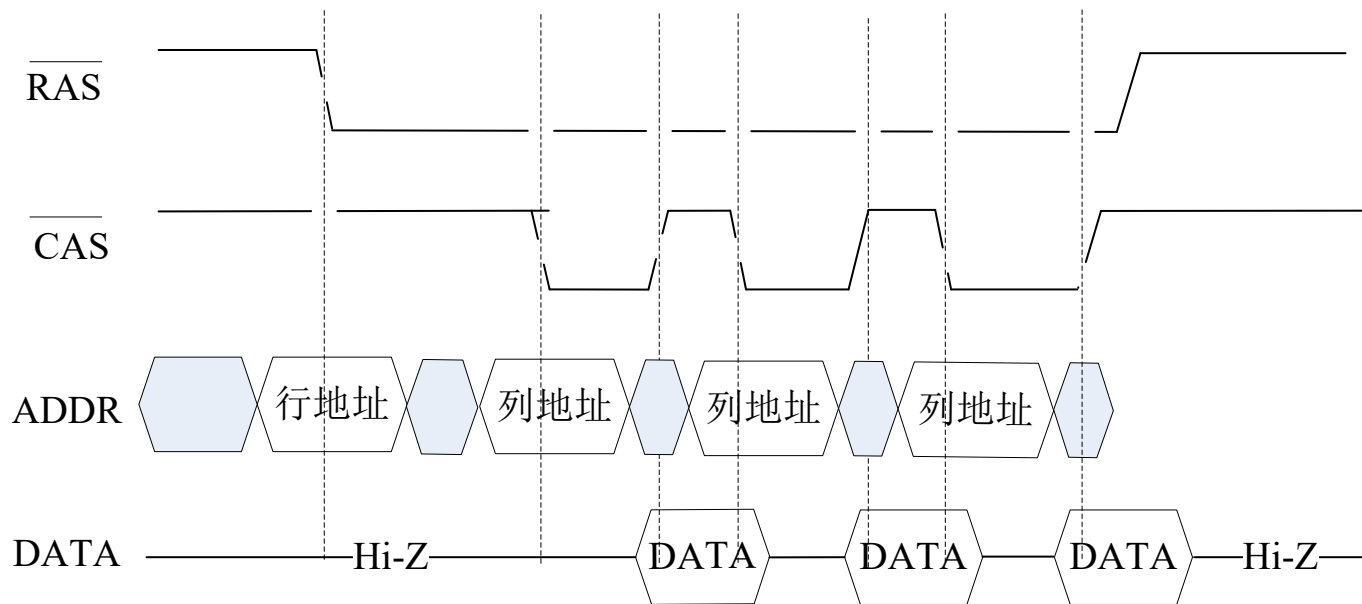


□ 对于连续读取的地址，后续行地址可以省略。

# EDO DRAM

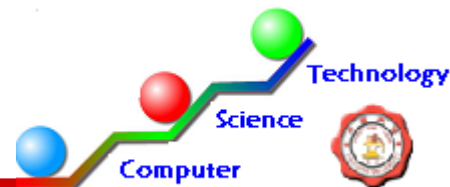


## □ EDO DRAM存取过程（以读为例）

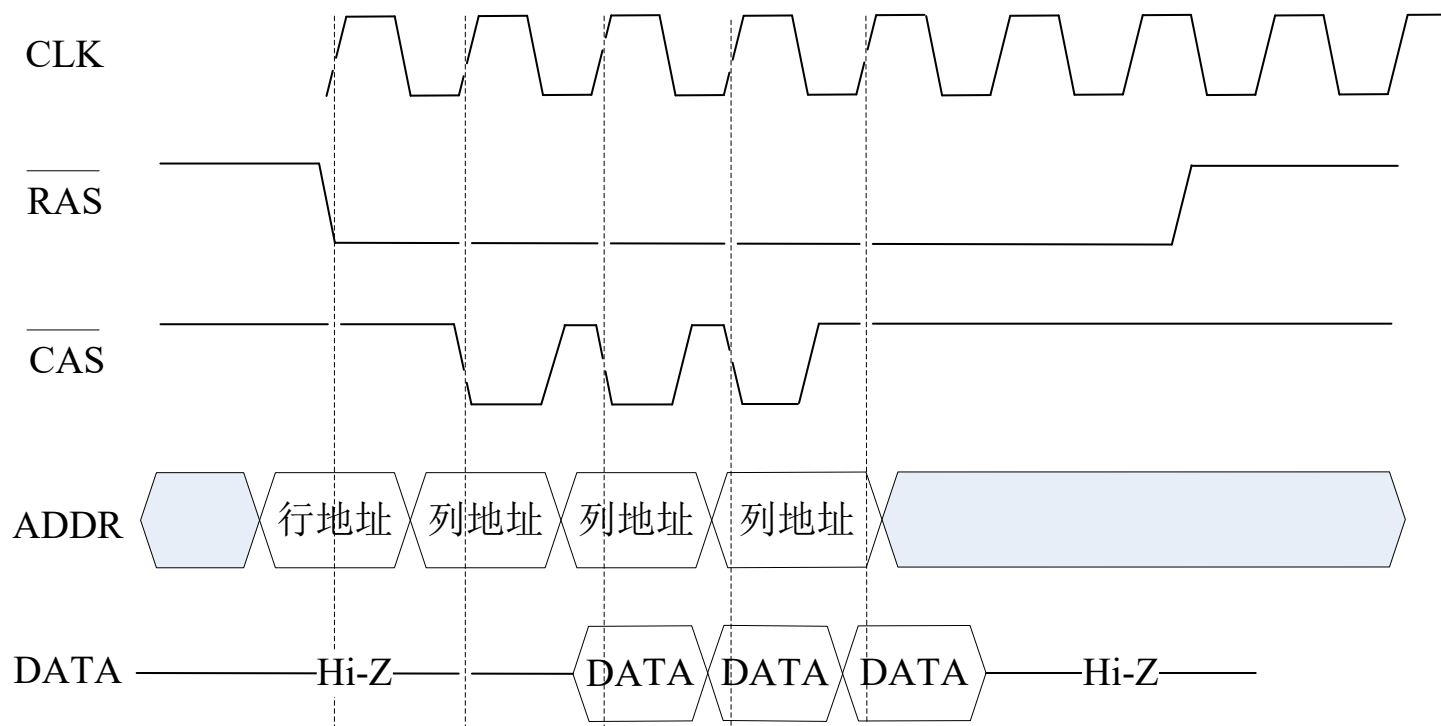


- 在数据总线存取数据的同时在地址总线发送地址，进一步提高**DRAM**的存取速度。
- 在存取速度较高情况下存在的问题？

# SDRAM

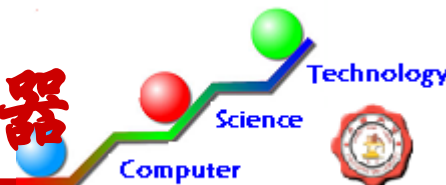


## □ SDRAM存取过程（以读为例）



□ **DRAM**依据**CLK**上升沿在数据总线加载数据，在高速存取过程中防止错误的出现。

## 3.2.6 只读存储器和闪速存储器



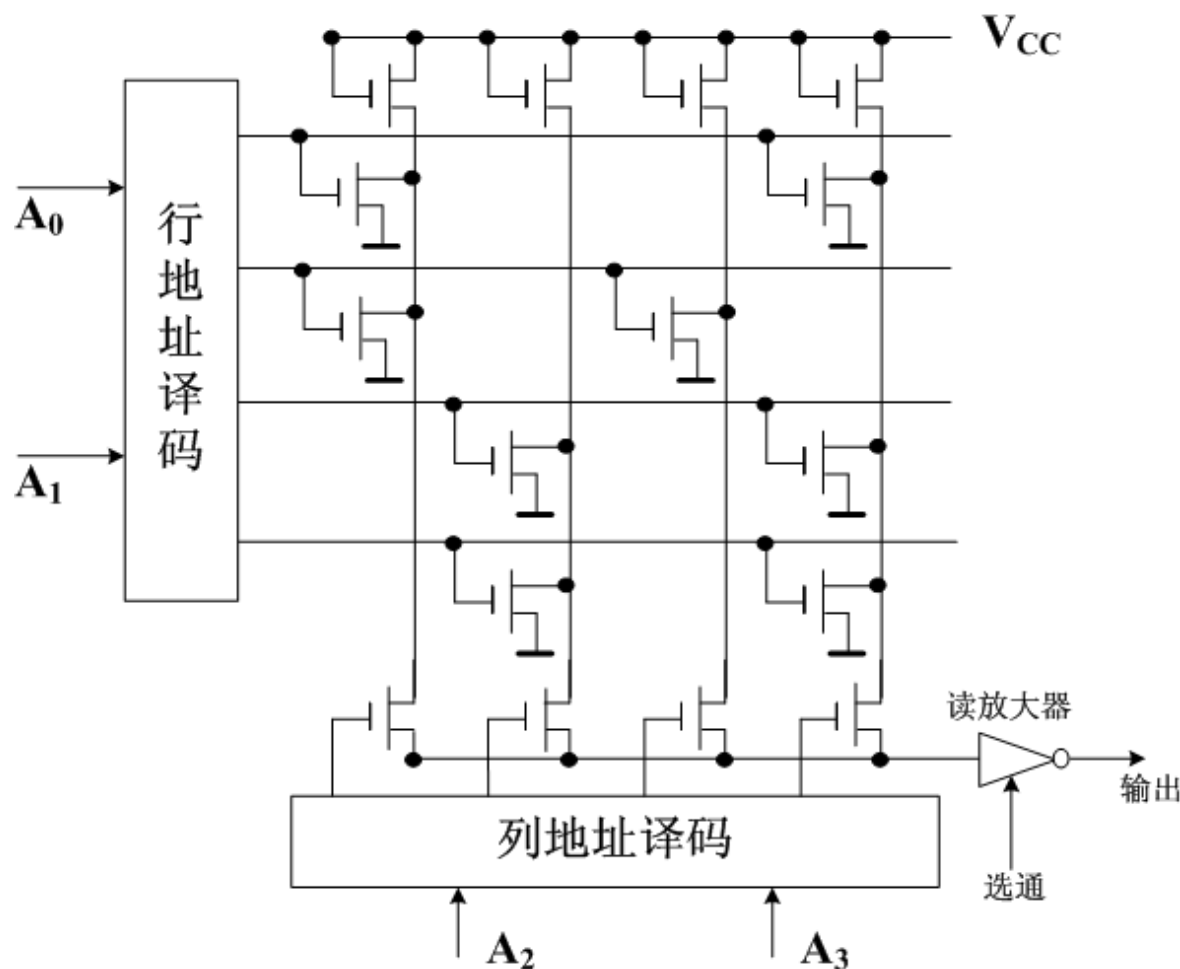
### □ 只读存储器

#### ○ MROM

(Mask ROM,  
掩膜式ROM)

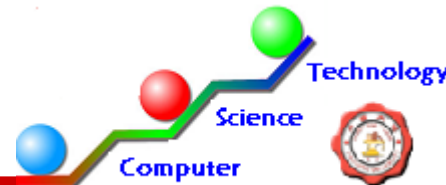
特点:

‘1’、‘0’  
存储元结构不一样。





# PROM (可编程ROM)

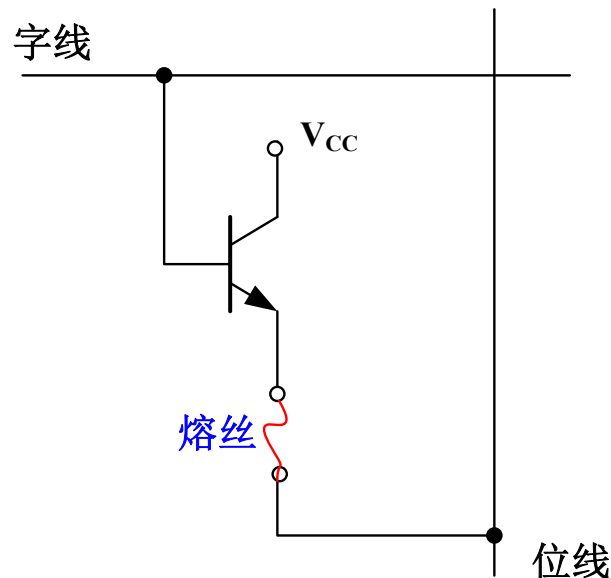


## ○PROM

✧熔丝式

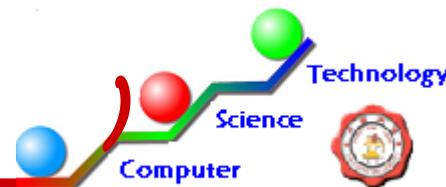
✧反向二极管式

特点：出厂时为通用形式，用户可通过加高压、大电流的方法一次结构性破坏写入信息，写入的内容永久保存。



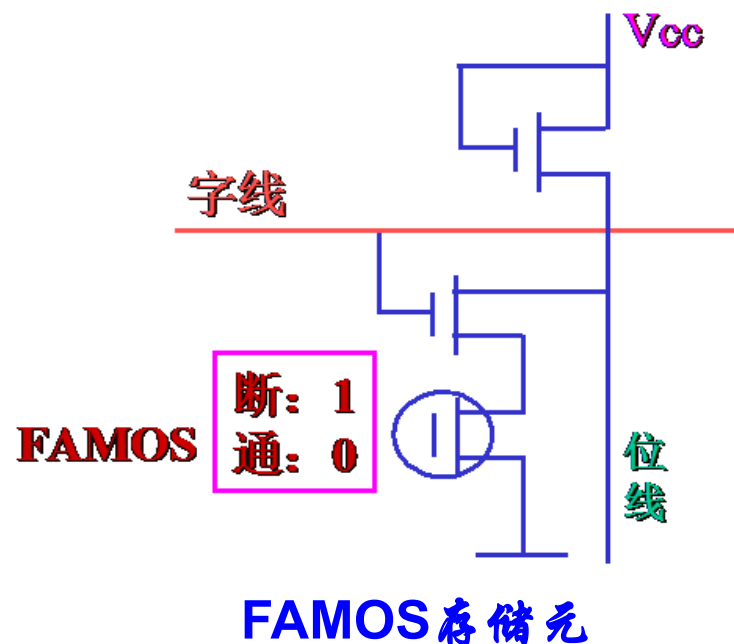
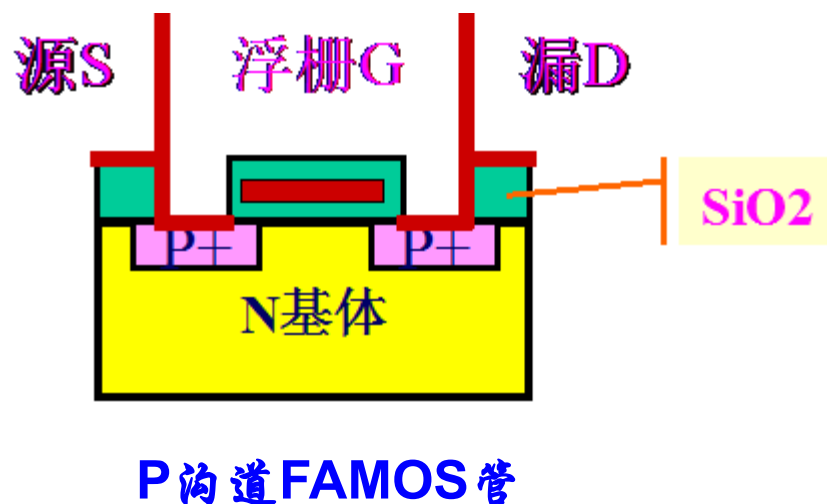
双极型熔丝式PROM的单元电路

# EPROM (可擦除可编程ROM)

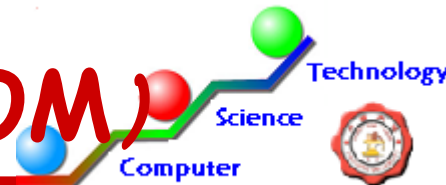


## ○EPROM (Erasable Programmable ROM)

- ✧基本结构：浮动栅雪崩注入型MOS管（FAMOS）电路。
- ✧特点：出厂时为通用形式，用户使用时可多次擦除原存内容，并重新写入新内容。但擦除、写入操作需脱机通过特殊手段进行。



# EEPROM (电可擦除可编程ROM)



## ○EEPROM (Electrically Erasable Programmable ROM, E<sup>2</sup>PROM)

✧基本结构：在浮栅上又增加了一个控制栅。

✧工作方式：

只读不写：为正常工作方式；

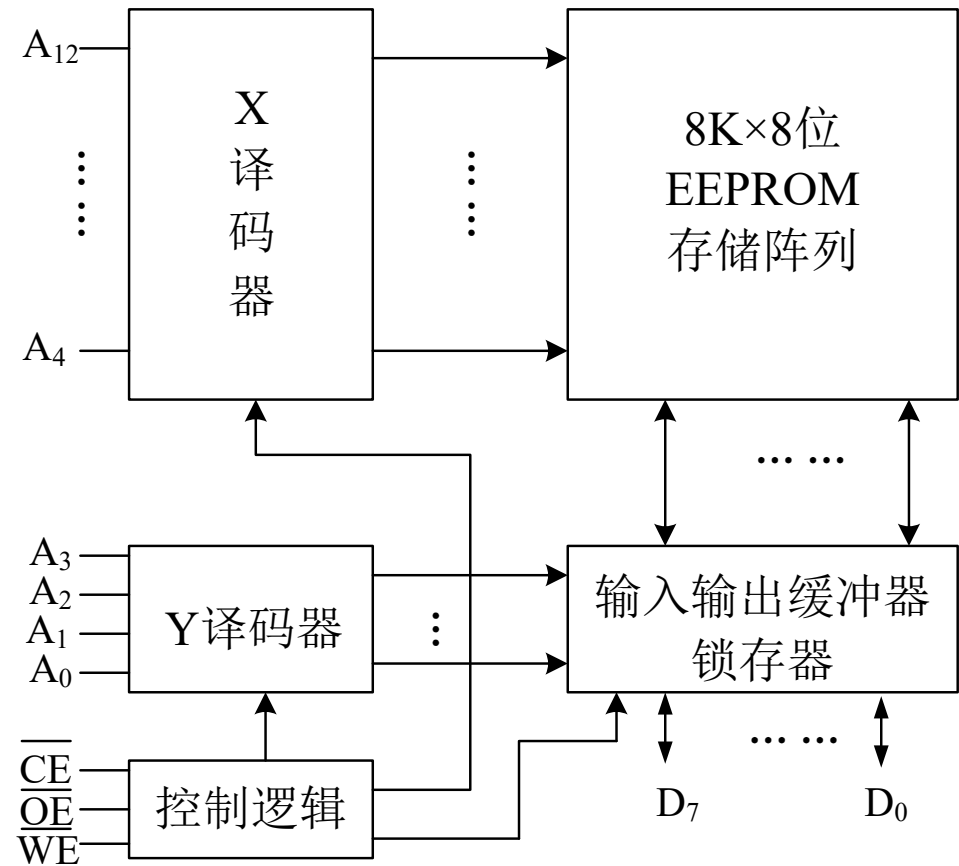
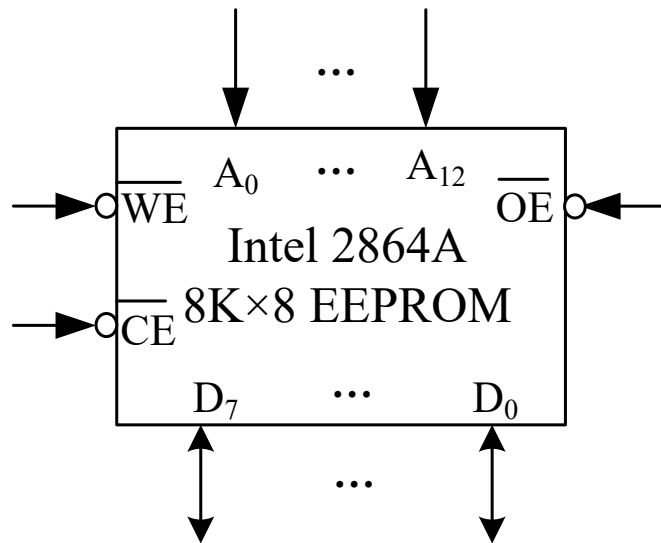
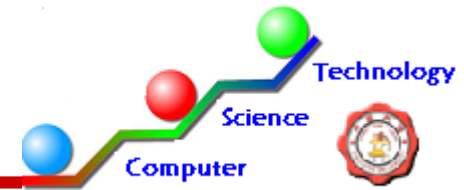
写入：加高压，用专用写入器在线写入；

以上两种工作方式与EPROM类似。

擦除：控制栅接地，源极加正高压，浮栅上的自由电子越过绝缘层进入源极释放。

✧特点：读写操作与SRAM类似，可随机读写；在掉电时不丢失所存信息；可按字或数据块擦除和改写。

# Intel 2864A EEPROM



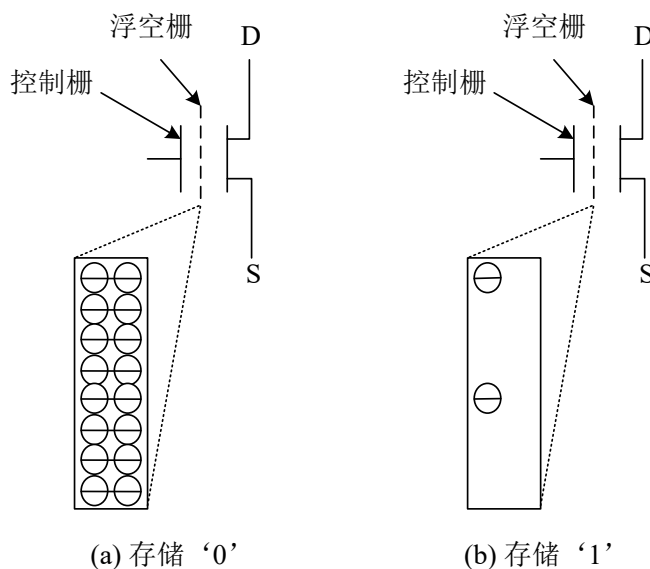
# Intel 2864A 工作方式



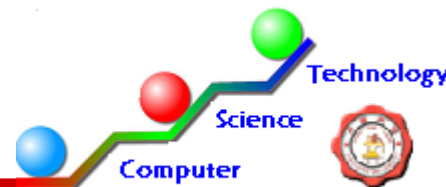
方式	控 制 引 脚			
	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O <sub>0</sub> ~I/O <sub>7</sub>
读出	L	L	H	数据输出
写入	L	H	L	数据输入
不工作	H	X	X	高阻
禁止写	X	L	X	—
禁止写	X	X	H	—

## ○ 闪存存储器

- ✧ **结构**：与E<sup>2</sup>PROM类似，但浮栅的绝缘层更薄。因此，操作速度更快，但耐损耗性稍差。
- ✧ **特点**：擦除和写入速度快。成本低、容量大、功耗低、可在联机状态下进行电擦除和改写。被广泛应用于U盘、存储卡等移动存储设备中。

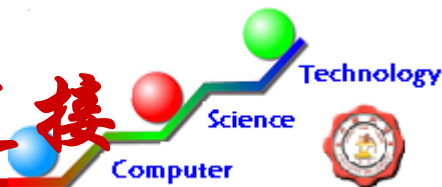


# 半导体存储器的典型应用



半导体存储器	典型应用
SRAM	高速缓存存储器cache
DRAM	主存中的用户程序
ROM	主存中的系统程序、微程序控制存储器
PROM	用户自编程序，用于工业控制机或电器中
EPROM	用户编写并可修改的程序或产品试制阶段的程序
EEPROM	IC卡上存储信息
Flash Memory	固态硬盘，各种存储卡，U盘

## 3.2.7 存储容量扩展及与CPU连接



### □ 存储器容量扩展技术

如何用多片存储芯片组成完整的存储器。

#### ○ 位扩展

特点： 总字数=片字数

适用场合： 在设计存储器时，所用芯片字数够，位数不够，需位向多片组成。

组成方法：

#### ◇ 芯片用量

$$\begin{aligned}\text{片数} &= \text{总容量} / \text{片容量} \\ &= (\text{总字数} \times \text{总字长}) / (\text{片字数} \times \text{片字长}) \\ &= \text{总字长} / \text{片字长}\end{aligned}$$



## ✧ 芯片排列

为清楚起见，一般采用**平面构图**。既芯片沿行向、列向排列成方阵，**无重叠部分**。

位扩展时，芯片按水平方向一维排列。

## ✧ 片间连线

以**SRAM**为例，需要对**四种引脚线**进行连接。位扩展时，**A<sub>i</sub>**（地址）、 **$\overline{WE}$** （读/写控制）、 **$\overline{CS}$** （片选控制）线**同名端并连**；**D<sub>i</sub>**（数据）线**各片按位引出**。

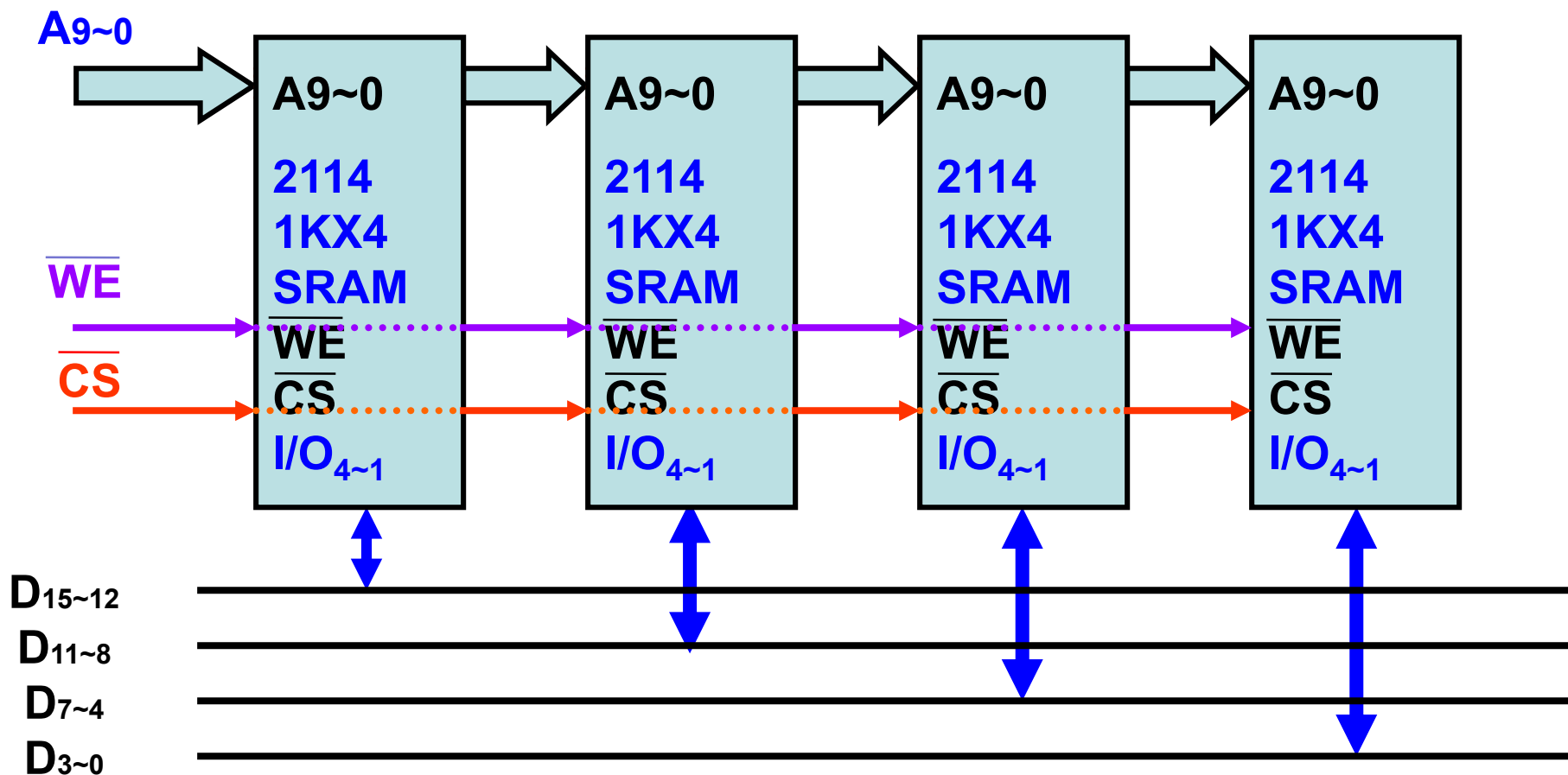
**例.** 多位片的位扩展：

用2114 **1K×4** SRAM芯片组成**1K×16**位存储器。

解：**片数 = 16位 / 4位 = 4片**

# 位扩展 (续)

连线



## ○字扩展

**特点：**总字长=片字长

**适用场合：**在设计存储器时，所用芯片**位数够**，**字数不够**，需字向多片组成。

**组成方法：**

### ◇芯片用量

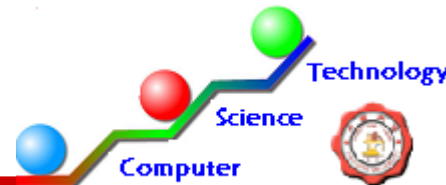
$$\begin{aligned}\text{片数} &= \text{总容量} / \text{片容量} \\ &= \text{总字数} / \text{片字数}\end{aligned}$$

### ◇芯片排列

**平面构图，无重叠部分。**

**字扩展时，芯片按水平（垂直）方向一维排列。**

# 字扩展 (续)



## ✧ 片间连线

以SRAM为例，对四种引脚线进行连接。字扩展时，  
WE（读/写控制线）、Di（数据）线同名端并连；

Ai（地址）线分两部分：

低位地址部分与各芯片同名端并连；

设片选地址译码器；

高位地址部分接片选地址译码器输入端；

CS（片选控制）线：

各片的片选线分别接片选地址译码器的各输出端。

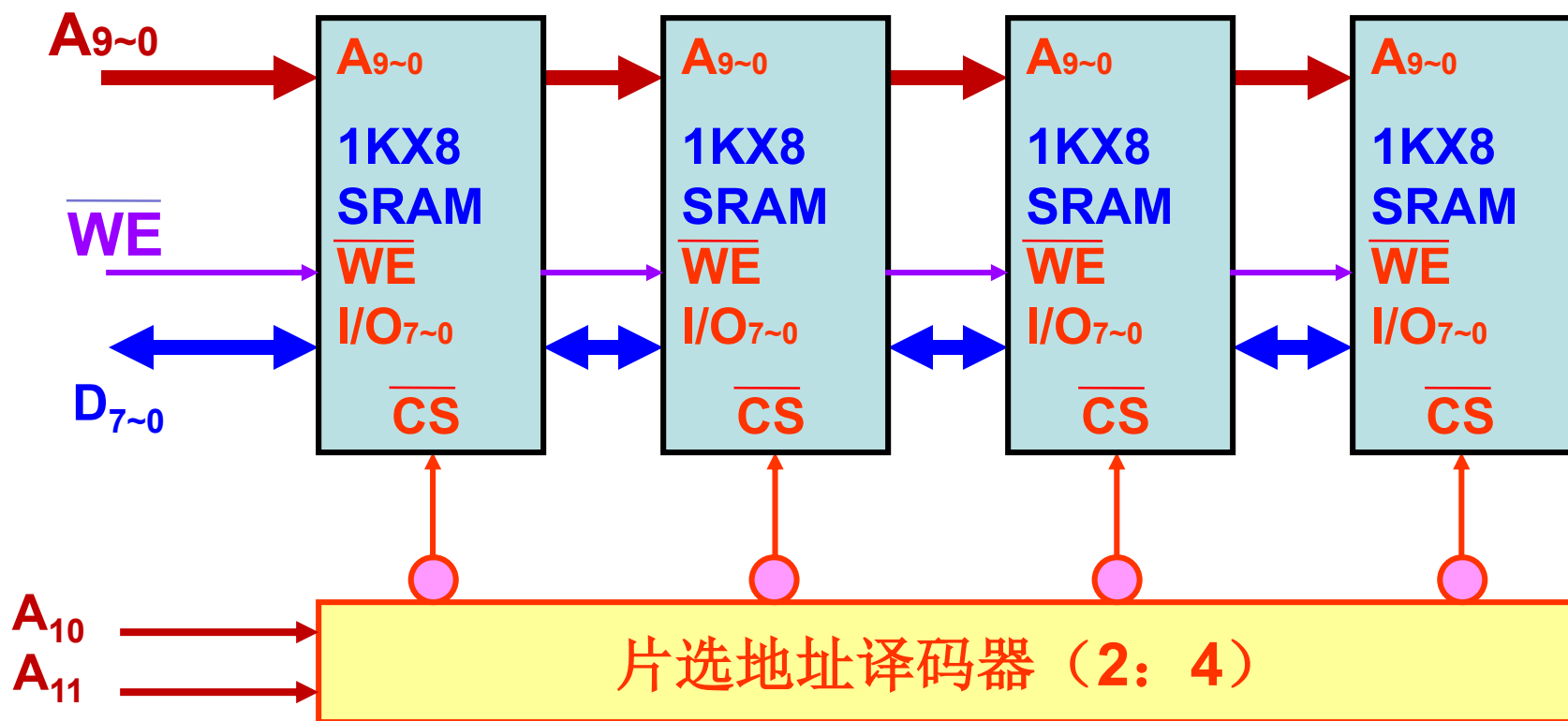
例. 用  $1K \times 8$  SRAM芯片组成  $4K \times 8$  位存储器。

解：片数 =  $4K / 1K = 4$  片

# 字扩展 (续)



## 连线方法



## ○字位扩展

**适用场合：**在设计存储器时，所用芯片字、位数都不够，需字、位向同时多片组成。

**组成方法：**

### ✧芯片用量

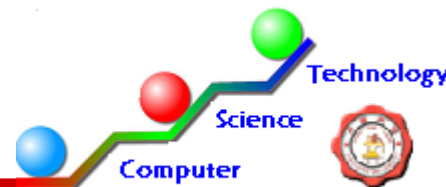
片数 = 总容量 / 片容量

### ✧芯片排列

平面构图，无重叠部分。

字、位扩展时，芯片为二维矩阵排列。

# 字位扩展 (续)



## ✧ 片间连线

以SRAM为例，对四种引脚线进行连接。

WE（读/写控制）线同名端并连；

Di（数据）线沿位向同名端并连引出；

Ai（地址）线仍分两部分：

低位地址部分与各芯片同名端并连；

设片选地址译码器；

高位地址部分接片选地址译码器输入端；

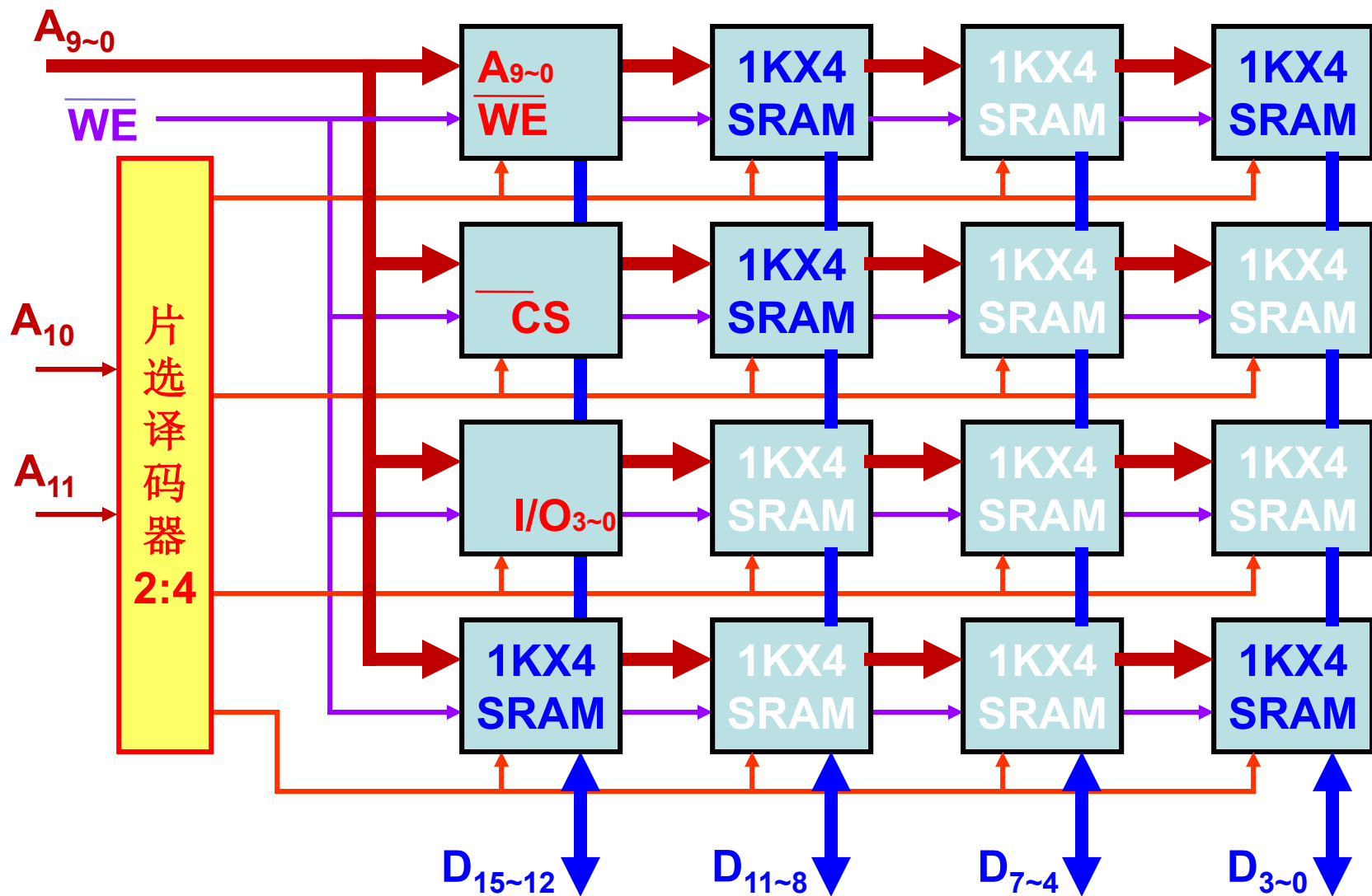
CS（片选控制）线沿字向同名端并连引出，  
分别接片选地址译码器的各输出端。

注：Di、-CS线引出方向垂直。

例. 用  $1K \times 4$  SRAM芯片组成  $4K \times 16$  位存储器。

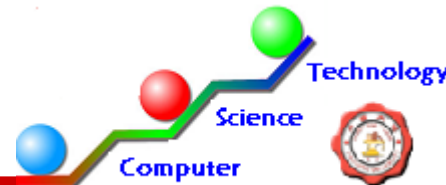
解：片数 =  $4K \times 16 / 1K \times 4 = 4 \times 4 = 16$  片

# 字位扩展 (续)





# DRAM存储容量扩展

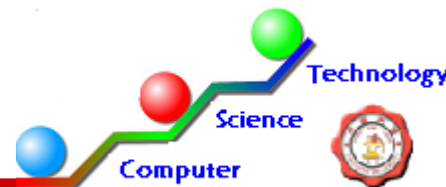


## □ DRAM存储容量

DRAM存储器的字、位扩展基本思想与SRAM一样，但地址线和片选信号的连接需要作特殊处理。

- $A_i$ （地址）线需分行、列两组经地址多路选择器分时送到各芯片地址端；
- 片选译码器输入需加  $\overline{RAS}$  信号，以使片选译码输出的时间与  $\overline{RAS}$  一致；
- 为节省刷新时间，片选译码器输入还需加刷新定时信号（REF），以便在刷新时，强制使译码输出全部有效（即同时对所有芯片内部存储矩阵的同一行进行刷新）；
- 采用唯  $\overline{RAS}$  有效刷新时， $\overline{CAS}$  可简单地按片并联。

# DRAM存储容量扩展 (续)

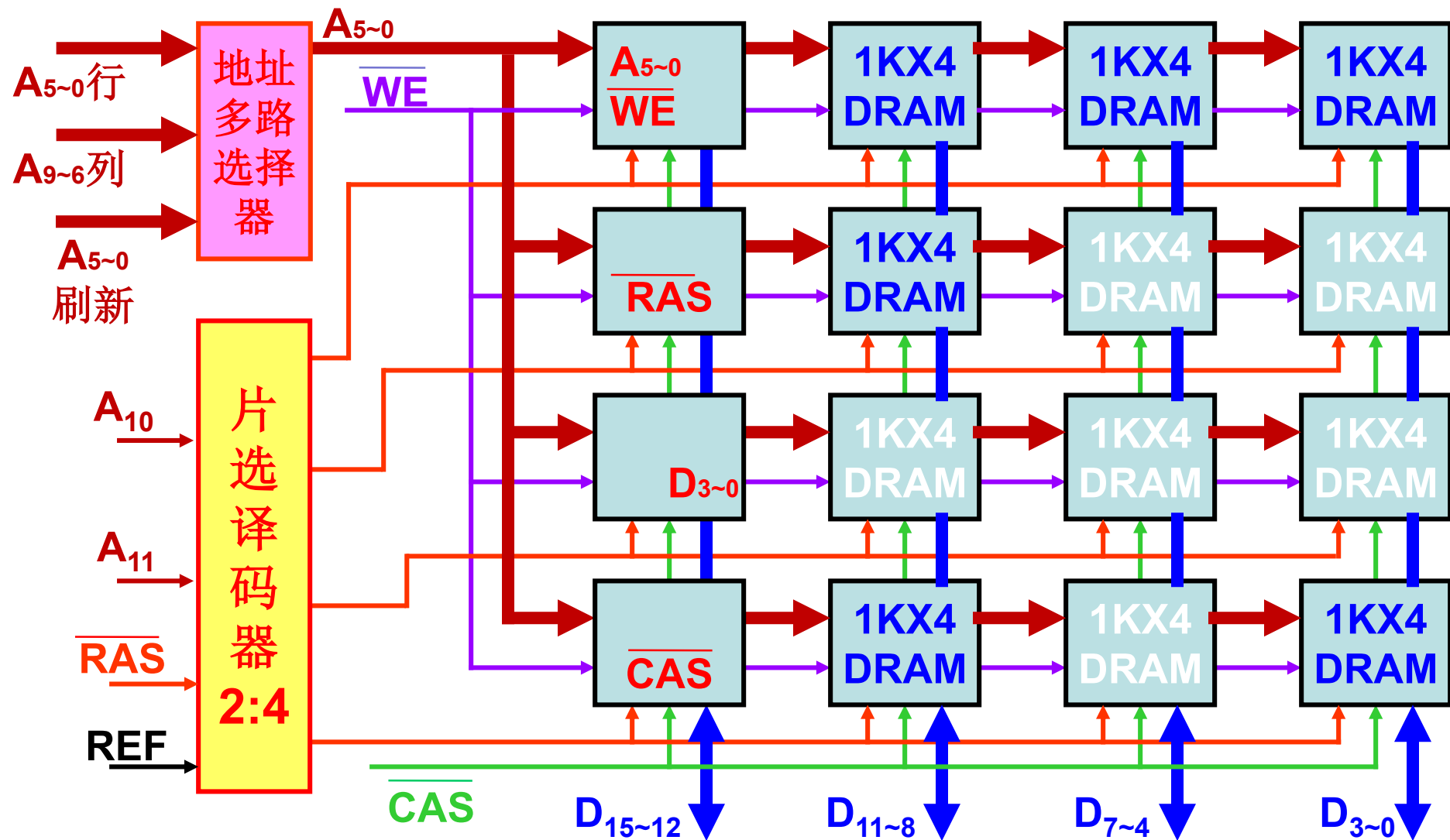


例. 用  $1K \times 4$  DRAM芯片组成  $4K \times 16$  位存储器，设芯片内部为  $64 \times 64$  存储矩阵。

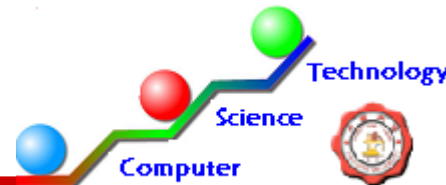
解：片数 =  $4K \times 16 / 1K \times 4 = 4 \times 4 = 16$  片

注：该芯片内部为  $64 \times 64$  存储矩阵，意味着行、列地址位数不相等，即行地址6位，列地址4位。

# DRAM 存储容量扩展 (续)



# ROM容量扩展



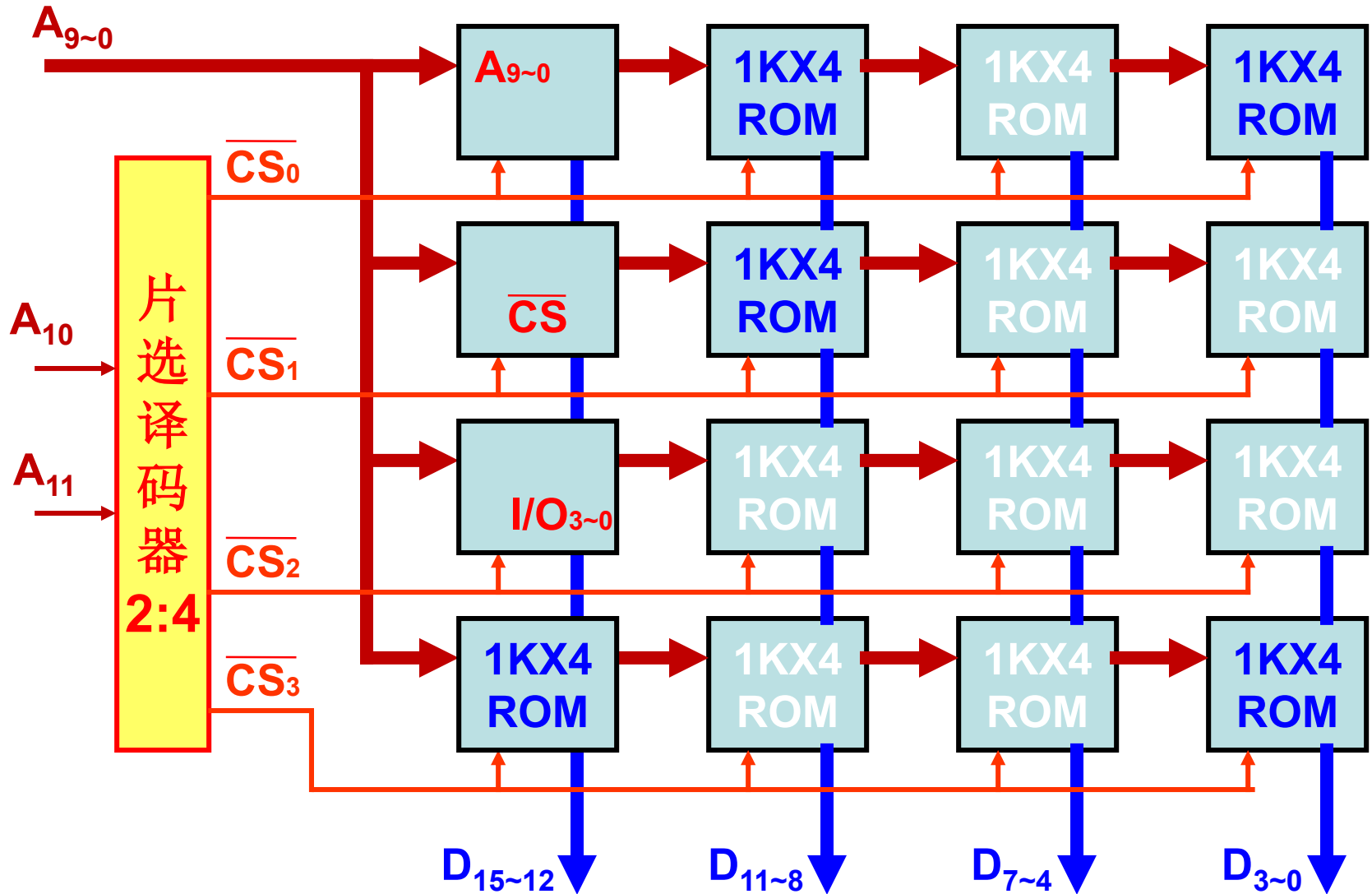
ROM的逻辑引脚大部分和SRAM一样，只是少一根-WE引脚，因此扩展方法也基本和SRAM一样，只要少连一根线即可，很容易与SRAM一起组成主存储器。

例. 用  $1K \times 4$  ROM 芯片组成  $4K \times 16$  位存储器。

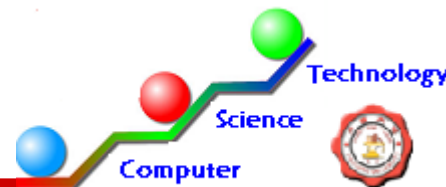
解：

$$\text{片数} = 4K \times 16 / 1K \times 4 = 4 \times 4 = 16 \text{片}$$

## ROM容量扩展 (续)



# 存储器与CPU连接

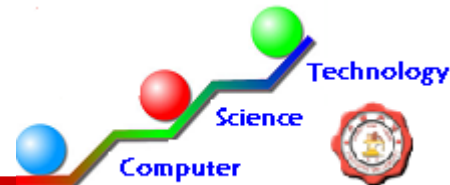


MM与CPU一般通过**总线**相连。

## ○SRAM连接方法

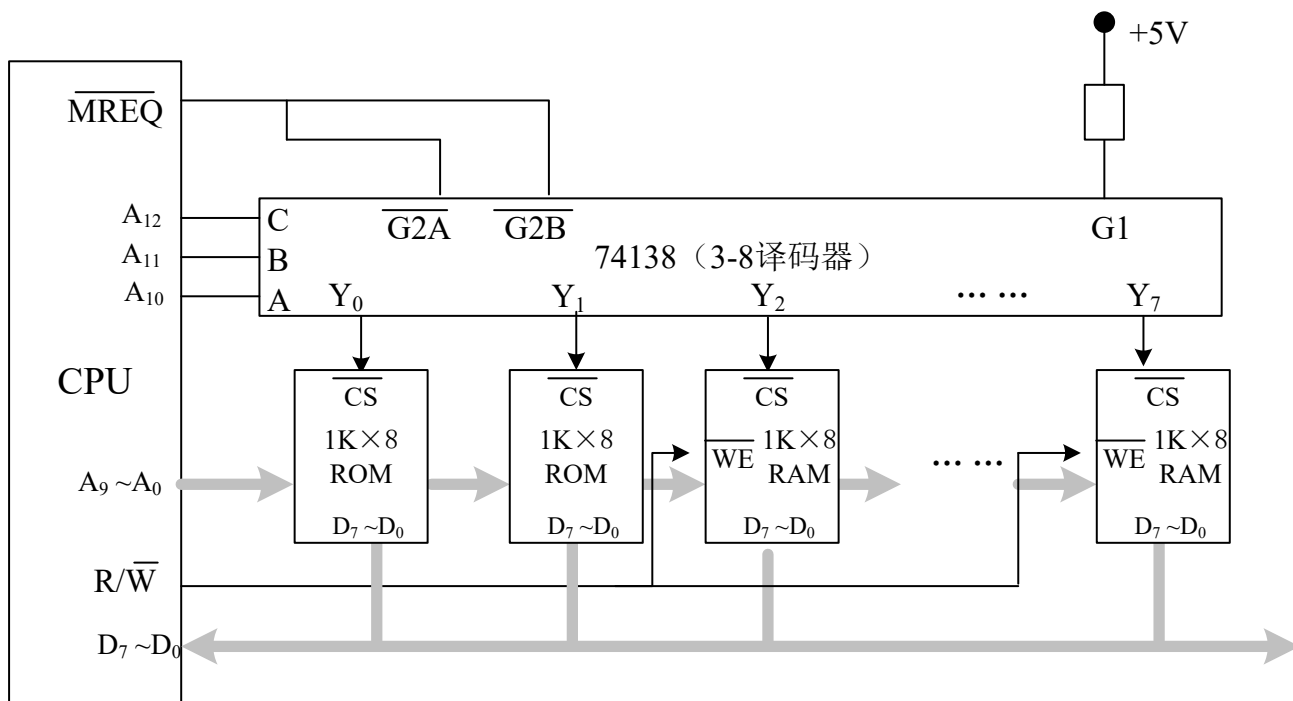
- ✧**地址线**：CPU通过地址总线向存储器发送地址，理论上**地址总线的低位**可直接与各存储芯片的地址引脚相连，**高位**与片选译码器输入端相连。
- ✧**数据线**：CPU通过数据总线与存储器交换数据，因此**存储器的数据引出线与数据总线按位连通**即可；
- ✧**读/写控制线**：CPU通过控制总线中的相应信号线向存储器发读/写令，则存储器的  $\overline{WE}$  线与控制总线中的读/写命令线连通即可。
- ✧**片选时间控制**：CPU控制总线中的  $\overline{MREQ}$ （访存请求）信号与片选译码器使能输入端相连即可。

# 存储器与CPU连接 (续)



## ○ROM连接方法

与SRAM基本相同，但读/写控制线不连。  
(普通ROM无 $\overline{WE}$ 端)。



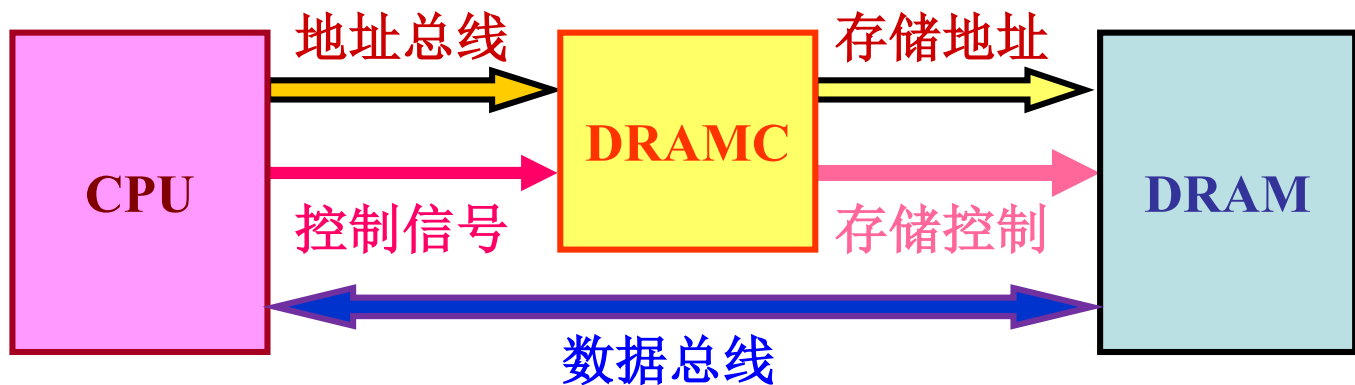
# 存储器与CPU连接（续）



## ○DRAM连接方法

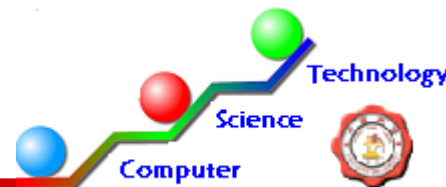
DRAM需要一些特殊的外围控制电路和特殊的控制信号。

✧DRAM芯片通常不直接和CPU总线相连，而是通过DRAM控制器芯片（DRAMC）与CPU总线连接。





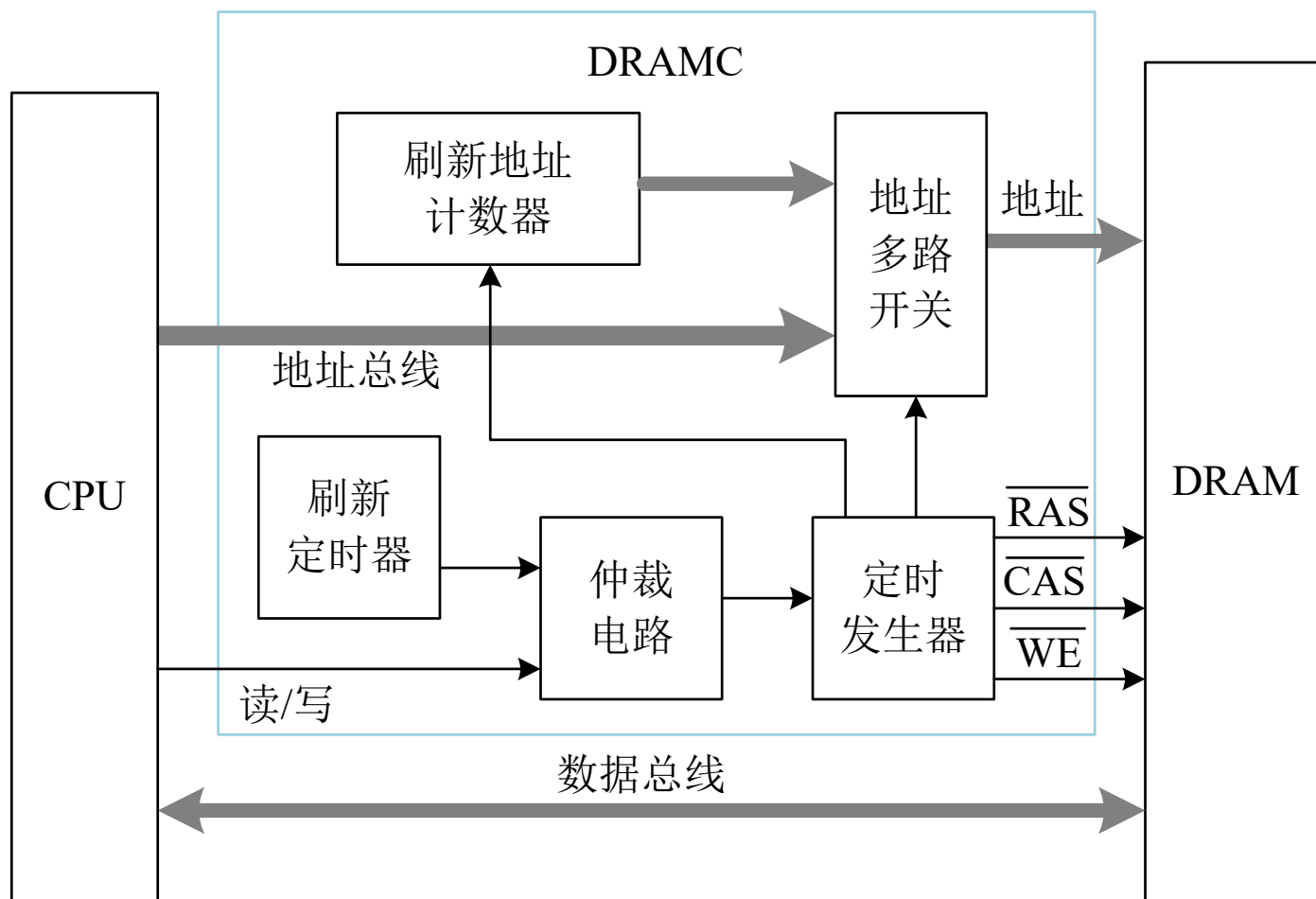
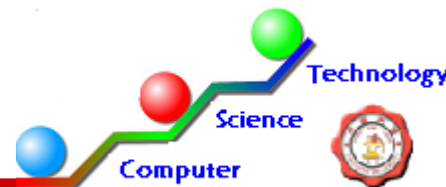
# DRAMC简介



基本的DRAMC内部由**五大部分**组成：

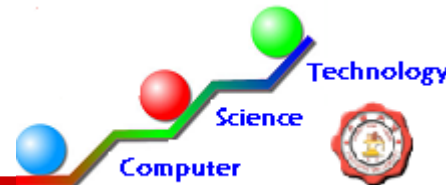
- ✧ **刷新地址计数器**：刷新时向 DRAM 提供刷新行地址，并自动顺序计数到下一行地址；
- ✧ **地址多路选择器**：在行、列、刷新地址三者间选一路送给DRAM；
- ✧ **刷新定时器**：根据所选用的刷新定时方式控制刷新时间，当需要刷新时及时发出刷新请求信号；
- ✧ **仲裁电路**：在 CPU（I/O）访存请求、刷新请求中裁决出一种执行访存操作；
- ✧ **定时发生器**：产生一系列 DRAM 工作时所需的时间控制信号（ $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$  等）。

# DRAMC内部结构



**DRAM**容量扩展时还需要片选译码器，可以独立在**DRAMC**之外。

# 存储器与CPU连接举例



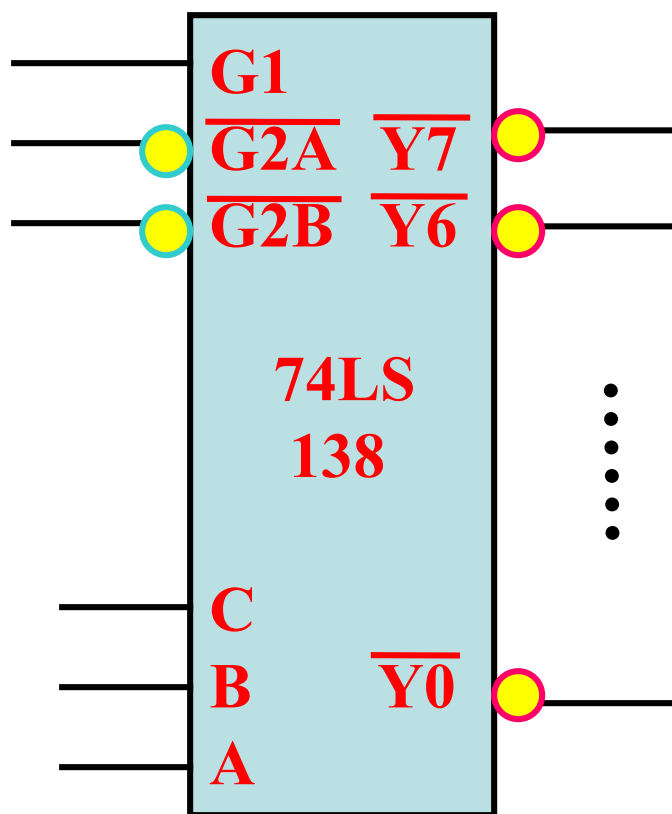
**例.** 设CPU有16根地址线，8根数据线，并用  $\overline{MREQ}$  作访存控制信号，用  $R/\overline{W}$  作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：ROM（ $2K \times 8$ 位， $4K \times 4$ 位， $8K \times 8$ 位），RAM（ $1K \times 4$ 位， $2K \times 8$ 位， $4K \times 8$ 位）；及74LS138译码器和其它门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU与存储器的连接图，要求：

- （1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区和数据区；
- （2）指出选用的存储芯片类型及数量；
- （3）详细画出片选逻辑。

# 存储器与CPU连接举例 (续)



## 74LS138逻辑符号



$\overline{G1}$ 、 $\overline{G2A}$ 、 $\overline{G2B}$ :  
使能控制端;  
 $C$ 、 $B$ 、 $A$ : 编码输入端;  
 $\overline{Y7} \sim \overline{Y0}$ : 译码输出端。

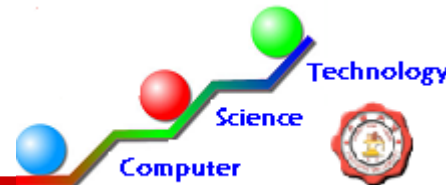
# 存储器与CPU连接举例（续）



0 ~ 4095	4K (ROM)
4096 ~ 8191	4K (SRAM)
8192 ~ 12287	4K (SRAM)
12288 ~ 16383	4K (SRAM)
...	...
65535	

地址分配

# 存储器与CPU连接举例（续）



在进行芯片选择时，应注意以下问题：

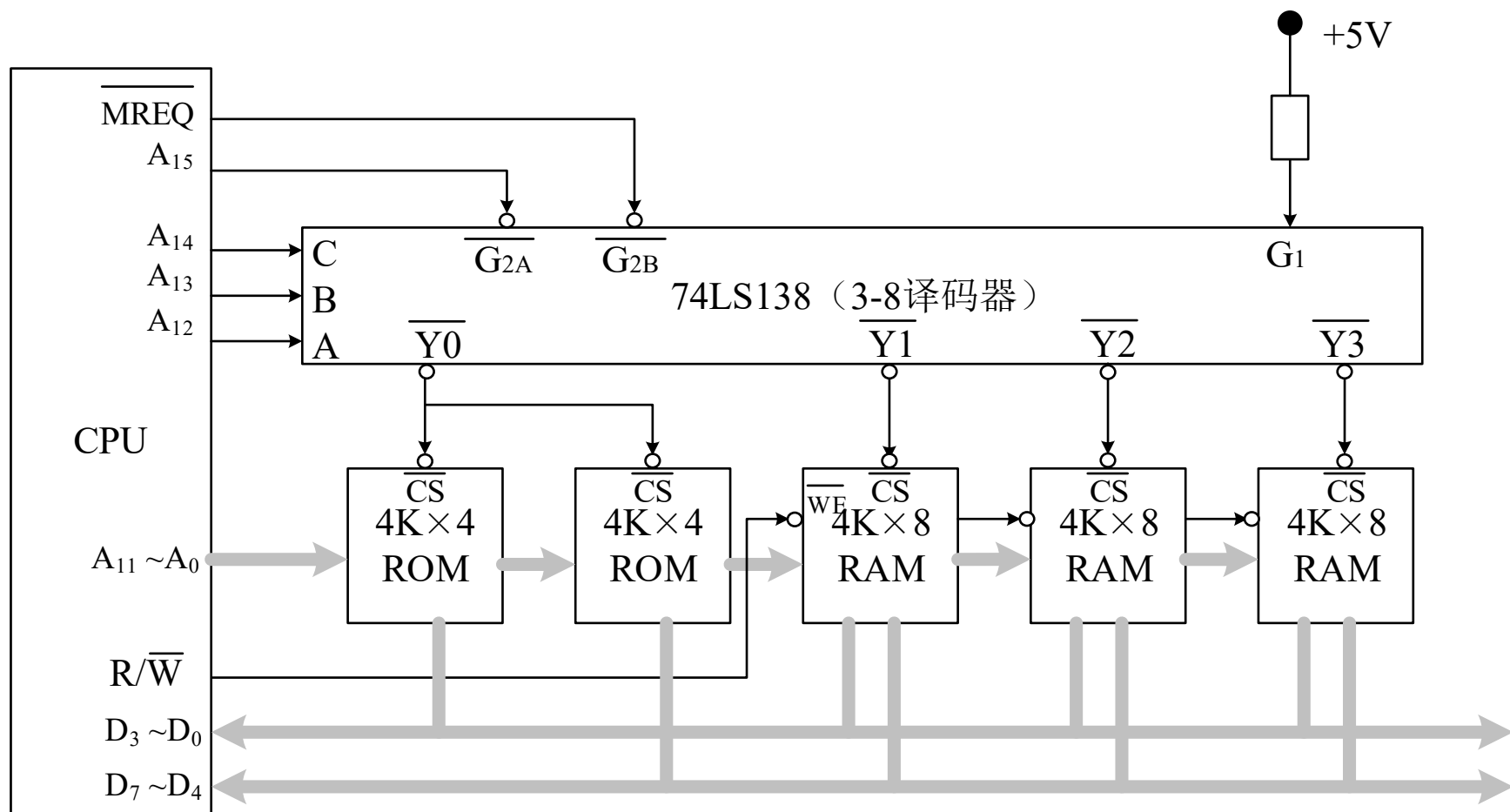
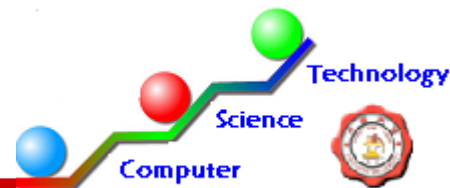
- 当采用字扩展和位扩展所用芯片一样多时，**选位扩展**。因为字扩展需设计片选译码，较麻烦，而位扩展只需将数据线按位引出即可。例如，本题如果选用 $2K \times 8$  ROM，片选要采用二级译码，实现比较麻烦。
- 当需要RAM、ROM等多种芯片混用时，**应尽量选容量等外特性较为一致的芯片**，以便于简化连线。
- **应尽可能避免使用二级译码**，以使设计简练。但要注意在需要二级译码时如果不使用，会使选片产生二义性。

基于以上原则，芯片选择如下：

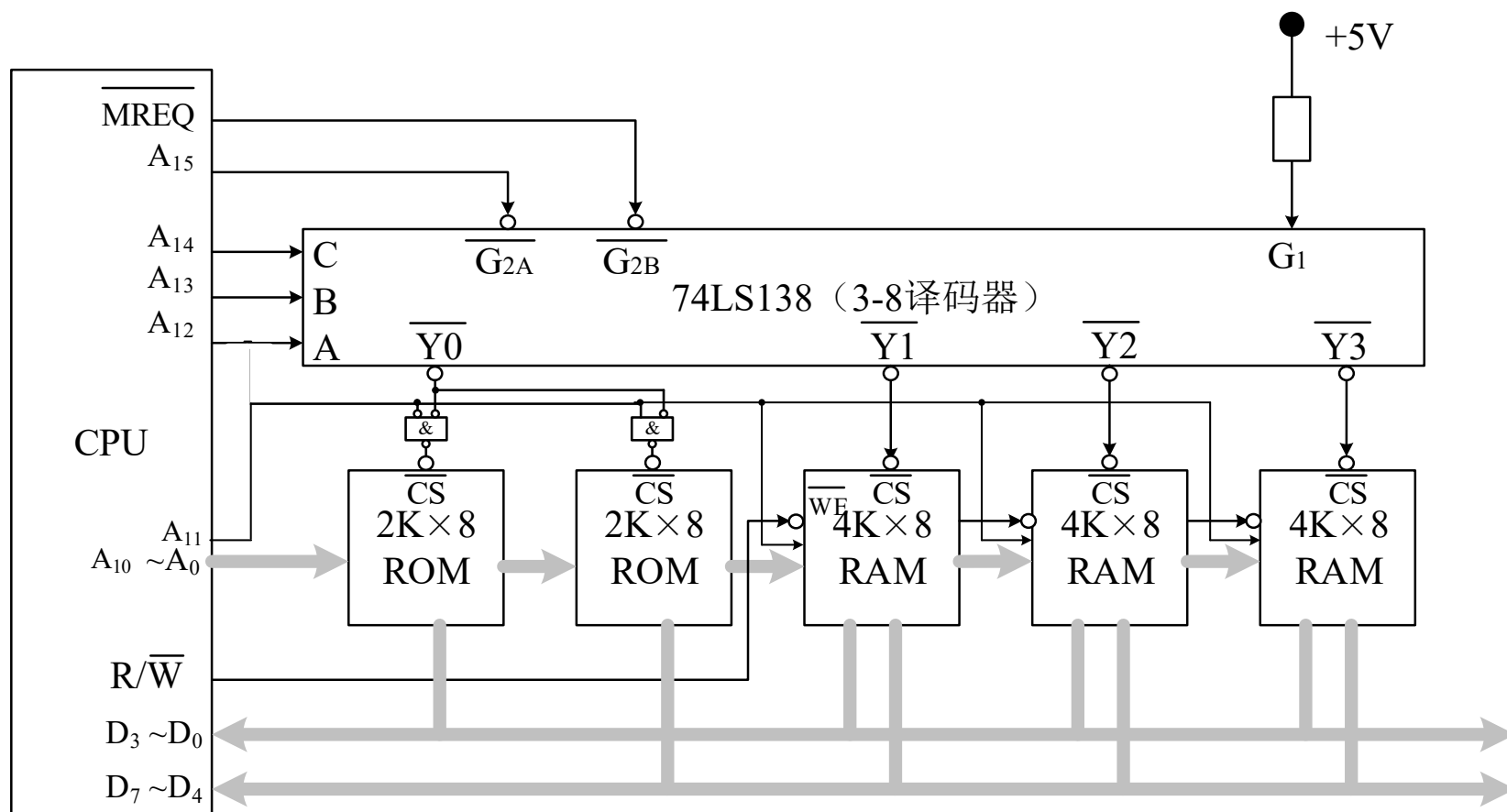
ROM:  $4K \times 4$ 位: 2片

RAM:  $4K \times 8$ 位: 3片

# 存储器与CPU连接举例（续）

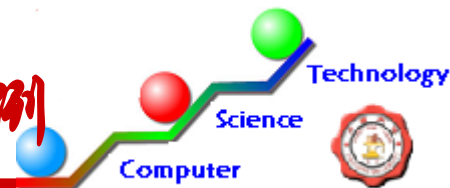


# 存储器与CPU连接举例（续）





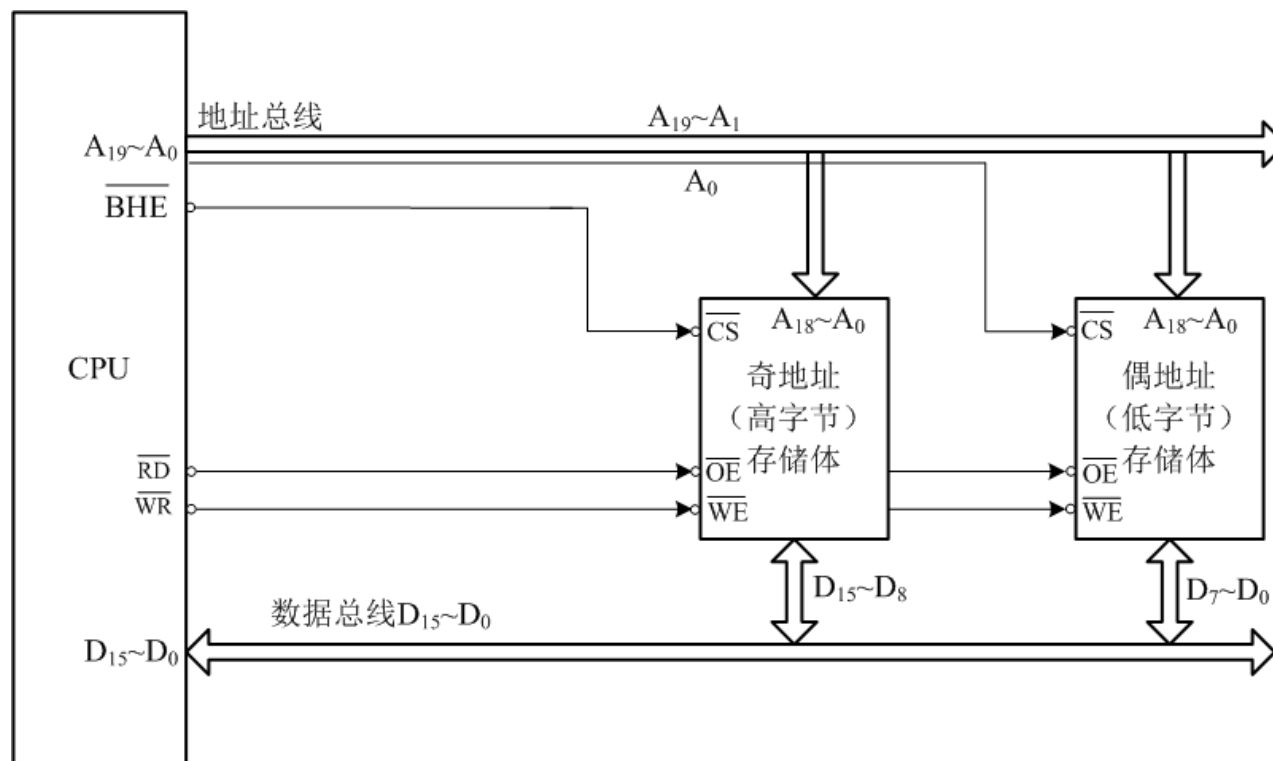
## 3.2.8 微处理器与存储器连接举例



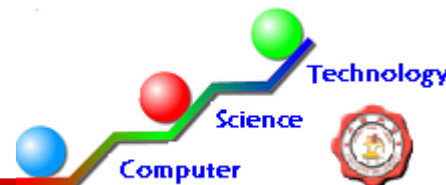
### □ 16位微处理器8086

○地址总线20位，数据总线16位

○主存按字节编址，1MB空间分成2个512KB的存储体



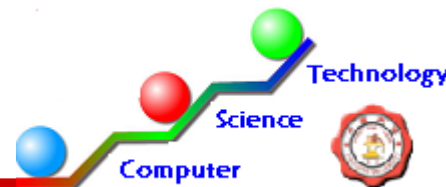
# 8086对存储器的访问



- 在8086中，主存采用小端方式编址，可以按字节、字访问。具体访问方式由  $\overline{\text{BHE}}$  和  $\text{A}_0$  两个信号决定。

$\overline{\text{BHE}}$	$\text{A}_0$	含义
0	0	全字传输（两个存储体同时被选中）
0	1	在数据总线的高8位上进行字节传输（选中奇地址存储体）
1	0	在数据总线的低8位上进行字节传输（选中偶地址存储体）
1	1	备用

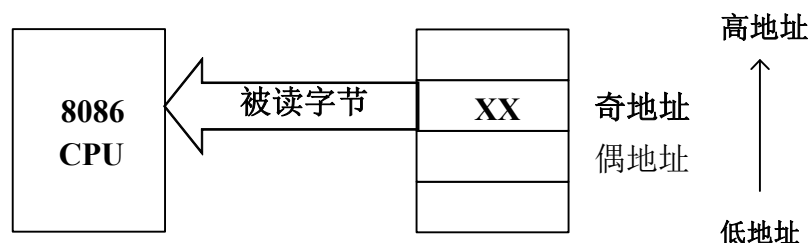
# 8086对存储器的读取



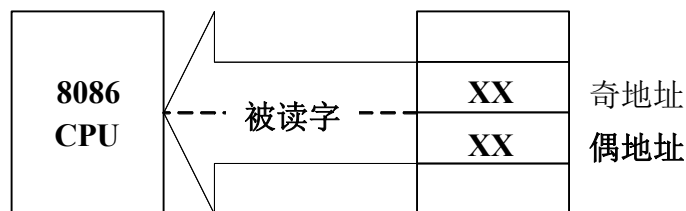
□ 在8086中，主存采用小端方式编址，可以按字节、字及双字访问，最小的字节地址是该字或者双字的地址。



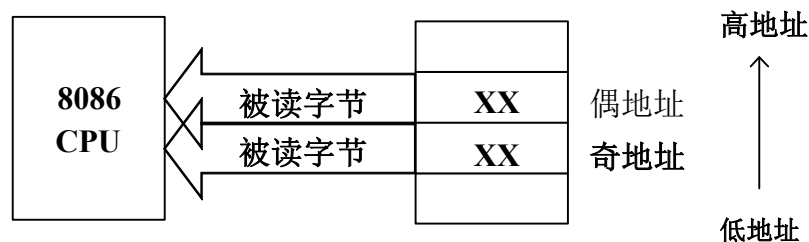
(a) 读偶地址单元中的字节



(b) 读奇地址单元中的字节



(c) 读偶地址单元中的字

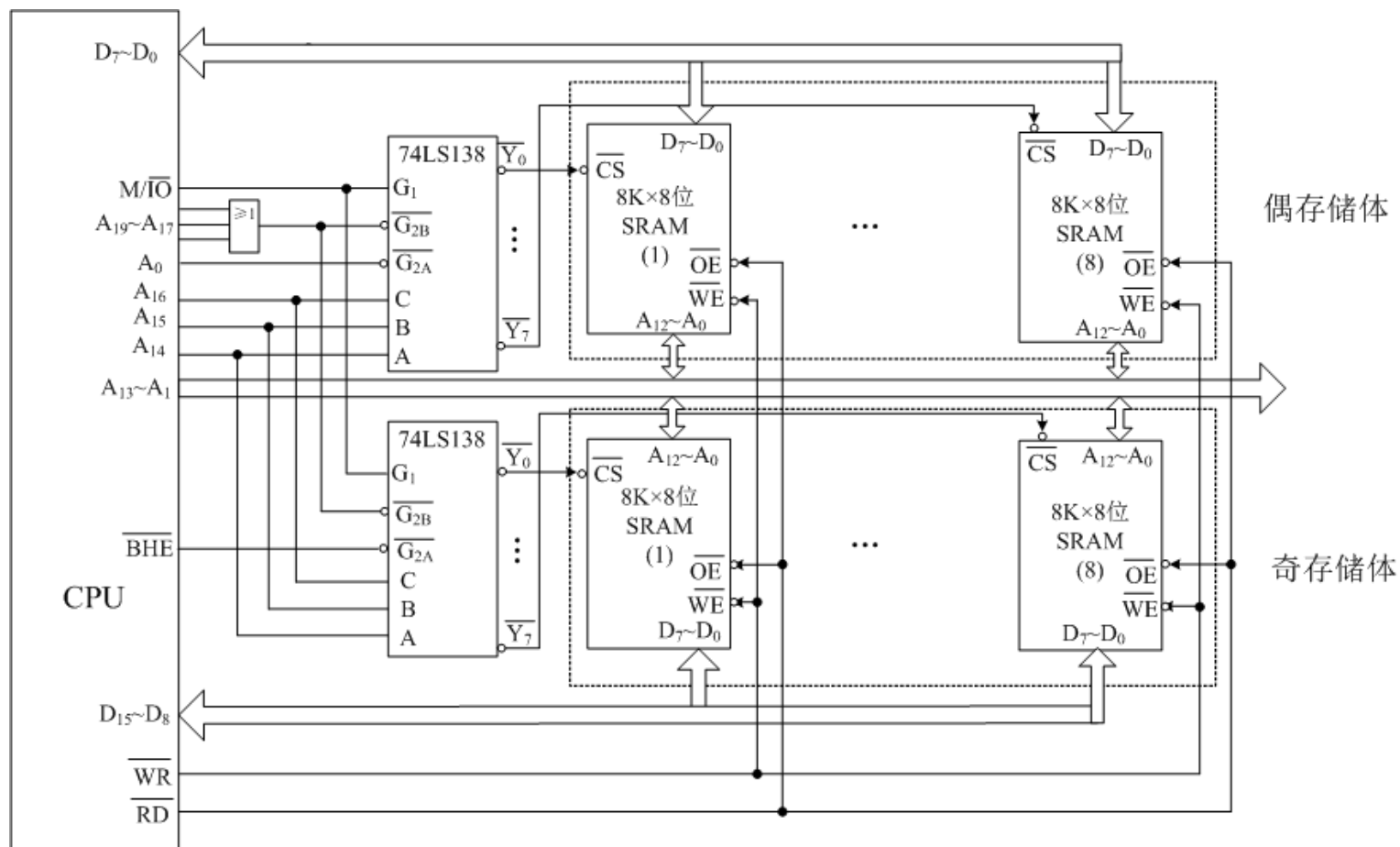


(d) 读奇地址单元中的字

(c) 采用边界对齐的存储方式，需要一次存储器读操作和一次总线转送操作

(d) 采用边界不对齐的存储方式，需要二次存储器读操作和二次总线转送操作

# 8086微机系统的小型存储器



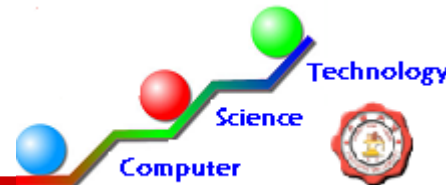
地址范围：00000H~1FFFFH

# 本章第2次作业（总第4次作业）



3.14、3.15、3.16

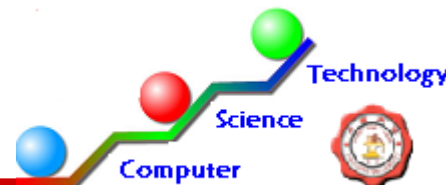
# 选择题



用 $1\text{M} \times 1$ 位的DRAM芯片构成该 $1\text{M} \times 16$ 位的主存储器，芯片内部存储元排列成正方形阵列，其最大刷新闻隔时间为 $5\text{ms}$ 。则采用异步刷新时，两次刷新操作应相隔\_\_\_\_\_。

- A.  $4\mu\text{s}$
- B.  $5\mu\text{s}$
- C.  $4\text{ms}$
- D.  $5\text{ms}$

# 考研题 (I)



- (2/150分) 某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用 $2K \times 8$ 位的ROM芯片和 $4K \times 4$ 位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是：
- A. 1、15                      B. 2、15  
C. 1、30                      D. 2、30

(2009年全国硕士研究生入学考试计算机统考试题)

## 考研题 (2)

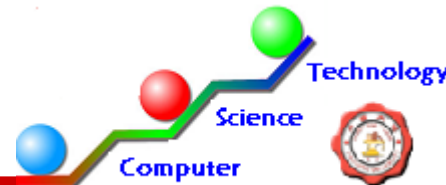


- (2/150分) 假定用若干个 $2k \times 4$ 位芯片组成一个 $8K \times 8$ 位存储器，则地址0B1FH所在芯片的最小地址是：
- A. 0000H    B. 0600H  
C. 0700H    D. 0800H

**(2010年全国硕士研究生入学考试计算机统考试题)**



# 考研题 (3)

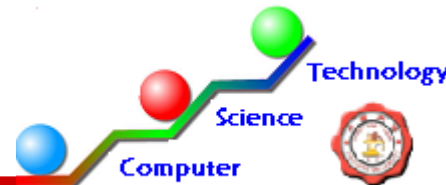


■ (2/150分) 下列有关RAM和ROM的叙述中，正确的是：

- I、 RAM是易失性存储器，ROM是非易失性存储器
  - II、 RAM和ROM都是采用随机存取的方式进行信息访问
  - III、 RAM和ROM都可用作Cache
  - IV、 RAM和ROM都需要进行刷新
- A. 仅I和II      B. 仅II和III  
C. 仅I,II, III      D. 仅II, III, IV

**(2010年全国硕士研究生入学考试计算机统考试题)**

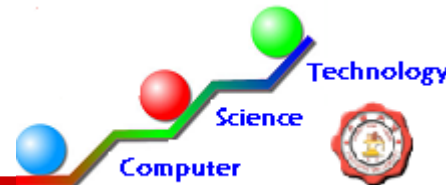
# 考研题 (4)



- (2/150分) 下列各类存储器中，不采用随机存取方式的是
- |          |          |
|----------|----------|
| A. EPROM | B. CDROM |
| C. DRAM  | D. SRAM  |

(2011年全国硕士研究生入学考试计算机统考试题)

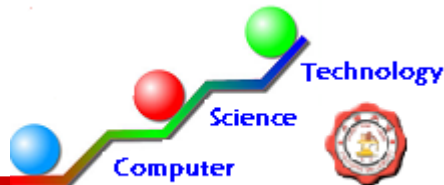
# 考研题 (5)



- (2/150分) 某计算机存储器按字节编址，主存地址空间大小为 64MB，现用 $4\text{M} \times 8$  位的RAM 芯片组成 32 MB 的主存储器，则存储器地址寄存器MAR 的位数至少是
- A . 22 位                      B . 23 位  
C . 25 位                      D . 26 位

**(2011年全国硕士研究生入学考试计算机统考试题)**

# 考研题 (6)



某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 `int` 型和 `short` 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

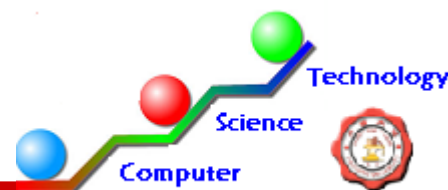
```
struct{  
    int    a;  
    char   b;  
    short  c;  
} record;  
record.a=273;
```

若 `record` 变量的首地址为 `0Xc008`，则低至 `0Xc008` 中内容及 `record.c` 的地址是

- |  |  |
|--|--|
| A. <code>0x00</code> 、 <code>0xC00D</code> | B. <code>0x00</code> 、 <code>0xC00E</code> |
| C. <code>0x11</code> 、 <code>0xC00D</code> | D. <code>0x11</code> 、 <code>0xC00E</code> |

**(2012年全国硕士研究生入学考试计算机统考试题)**

# 考研题 (7)



下列关于闪存（Flash Memory）的叙述中，错误的是

- A. 信息可读可写，并且读、写速度一样快
- B. 存储元由 MOS 管组成，是一种半导体存储器
- C. 掉电后信息不丢失，是一种非易失性存储器
- D. 采用随机访问方式，可替代计算机外部存储器

**(2012年全国硕士研究生入学考试计算机统考试题)**