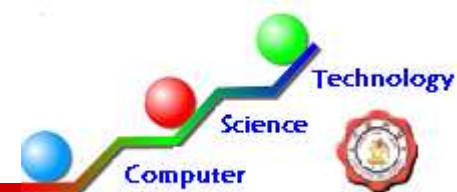
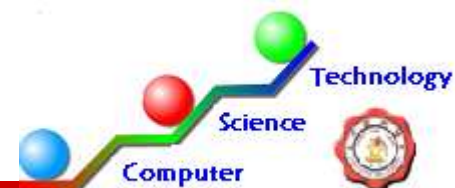


计算机组成原理习题解答



第四章题解

4.1



□ 4.1 什么是总线主模块？什么是总线从模块？试说明下列情况中谁是主模块、谁是从模块？

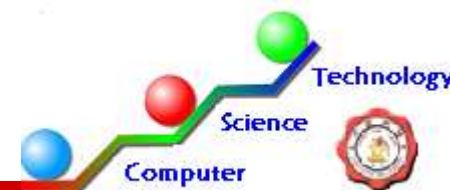
- (1) CPU执行程序；
- (2) CPU与I/O设备交换数据；
- (3) 高速I/O设备与主存交换数据。

□ 题解：

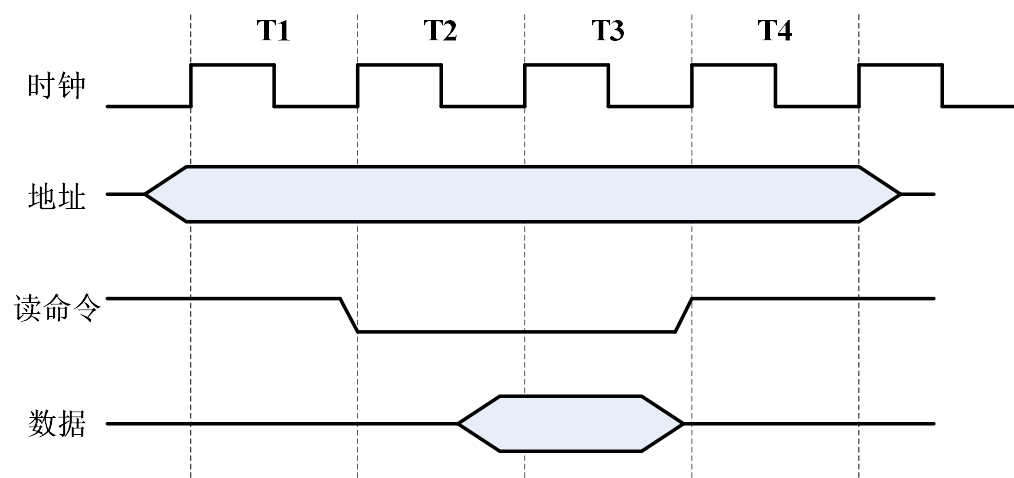
主模块指对总线具有控制能力的模块；而从模块是指只能被动地响应主模块发来的总线命令的模块，从模块对总线没有控制权。

- (1) CPU是主模块，存储器是从模块；
- (2) CPU是主模块，I/O设备是从模块；
- (3) 高速I/O设备是主模块，主存是从模块。

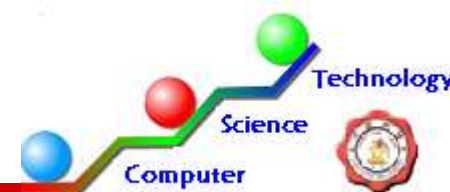
4.2



- 4.2 总线的一次信息传送过程大致分哪几个阶段？若采用同步通信方式，请画出CPU通过总线从主存读数据过程中各类信号的时序关系图。
- 题解：总线的一次信息传送过程大致分**申请分配、寻址、传送、结束**四个阶段，其中申请分配阶段是在进入总线周期之前完成的。
- 同步通信时CPU通过总线从主存读数据的**时序关系图**如下（以1个总线周期包含4个时钟为例，见教材图5-7）：



4.3



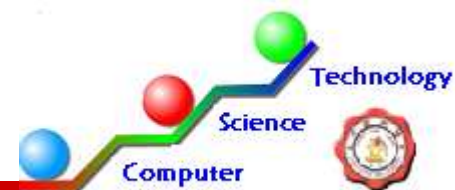
- 4.3 某总线在一个总线周期中并行传送8个字节的信息，假设一个总线周期等于一个总线时钟周期，总线频率为70MHz，求总线带宽和数据传输率各是多少？

题解：

$$\text{总线带宽} = 70\text{MHz} \times 8\text{B} = \mathbf{560\text{MBps}}$$

$$\text{总线数据传输率} = \mathbf{560\text{MBps}}$$

4.4



□ 4.4 请计算总线性能参数：

(1) 对于某32位总线，如果总线时钟频率为33MHz，若一个总线周期等于3个总线时钟周期，那么总线带宽和数据传输率各是多少？

(2) 如果总线时钟频率升至66MHz，总线宽度扩展为64位，总线周期缩短为2个总线时钟周期，那么总线带宽和数据传输率又各是多少？

题解：

(1) 总线宽度 = 32位 / 8 = 4B

总线带宽 = $33\text{MHz} \times 4\text{B} = 132\text{MBps}$

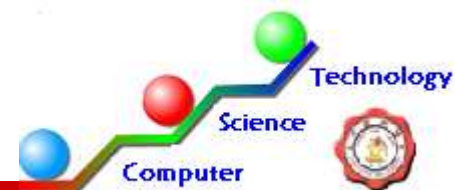
总线数据传输率 = $33\text{MHz} \times 4\text{B} / 3 = 44\text{MBps}$

(2) 总线宽度 = 64位 / 8 = 8B

总线带宽 = $66\text{MHz} \times 8\text{B} = 528\text{MBps}$

总线数据传输率 = $66\text{MHz} \times 8\text{B} / 2 = 264\text{MBps}$

4.5



□ 4.5 异步通信方式和同步通信方式的实质性区别是什么？

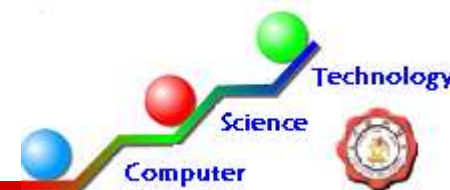
对于采用异步通信方式的总线来说，发送者和接收者按照各自的速度处理数据传送，那么它们之间是否需要进行时间上的协调？为什么？

答：

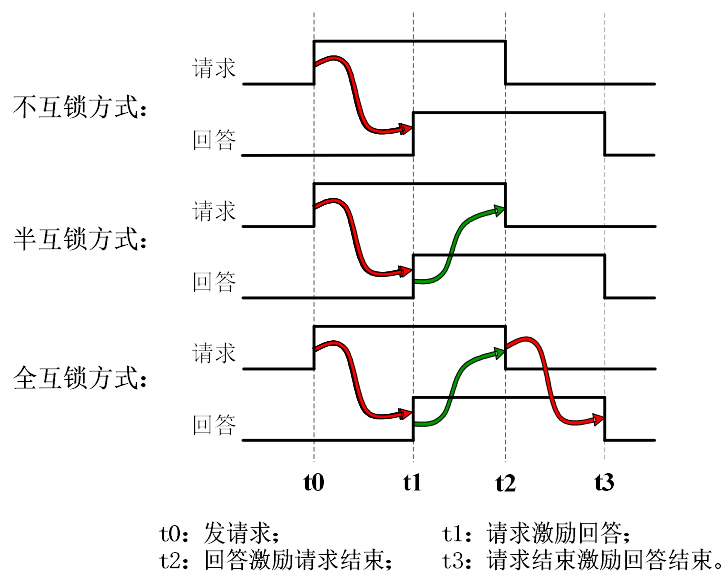
异步通信和同步通信的实质性区别在于是否采用统一的时标进行控制。

对于采用异步通信方式的总线来说，发送者和接收者按照各自的速度处理数据传送，它们之间需要进行时间上的协调，可以采用约定时间或采用应答方式进行协调，否则无法配合完成操作。

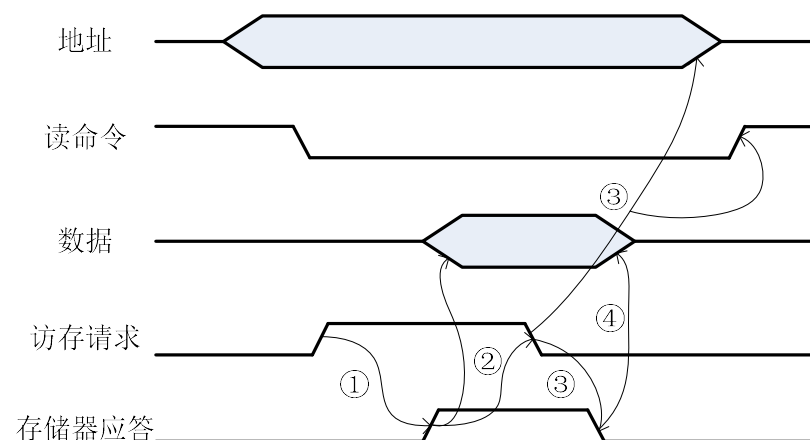
4.6



- 4.6 画图说明异步通信中请求与回答有哪几种互锁关系？试举例说明一次全互锁异步应答的通信情况。
- 题解：
- 异步通信中请求与回答有**不互锁**、**半互锁**、**全互锁**三种关系，如教材图5-9所示。一次全互锁异步应答的通信情况举例见教材图5-10。

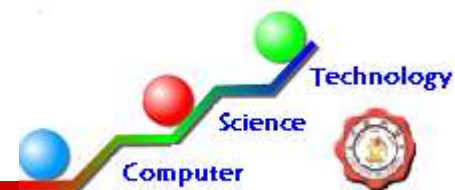


三种互锁关系示意图



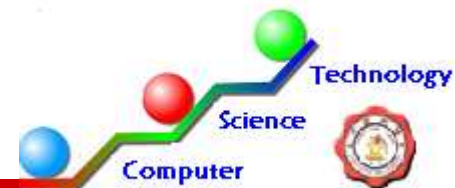
CPU读主存的全互锁异步应答示意

4.7



- ❑ 4.7 何谓半同步通信？它是如何实现通信双方在时间上的协调的？
- ❑ 题解：半同步通信是一种同步和异步结合的通信方式。它以同步通信为基础，既能像同步通信那样由统一时钟控制，又能像异步通信那样允许传输时间不一致，因此既保留了同步通信控制简单的优点，又具有异步通信的灵活性，效率介于两者之间。
- ❑ 半同步通信在正常总线周期通信双方的时间协调方式与同步通信相同。但对于少数特慢的设备，增加一条‘等待’状态信号线（/WAIT）来控制是否进入等待状态，并根据需要插入若干个‘等待’时钟，以使正常总线周期得到延长。通过监测“等待”信号的有无，决定进入或者退出等待时钟，实现通信双方在时间上的协调。

4.8



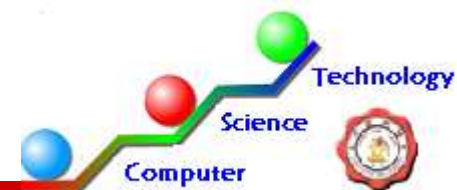
□ 4.8 为什么要设立总线仲裁机构？集中式总线控制常用哪几种方法？对总线请求的响应速度哪一种最快？需要的控制线数哪一种最少？哪一种对电路故障最敏感？哪一种可方便地改变响应顺序？

□ 题解：

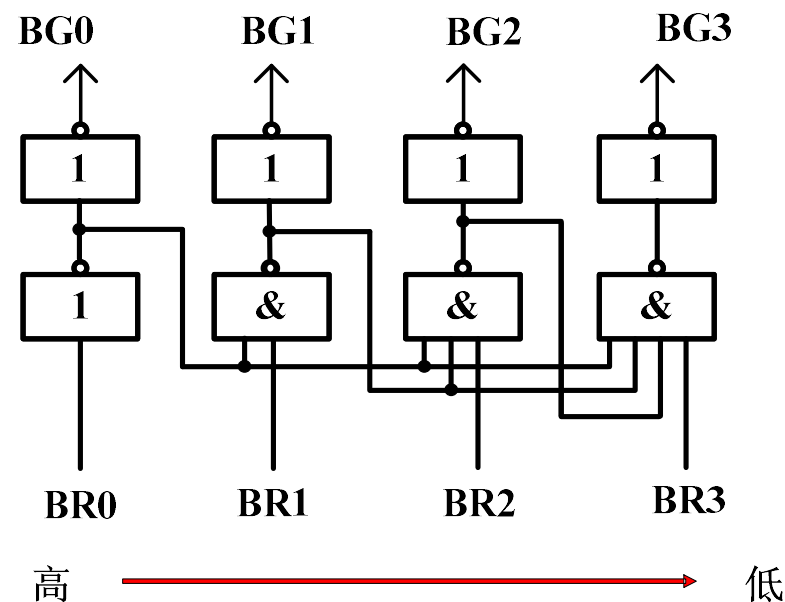
某一时间总线只能被一个主模块使用，当有多个主模块试图同时使用总线时，需要总线仲裁机构对这些主模块的总线请求信号进行仲裁，依据一定优先级判定哪个模块可以使用总线。

常见的集中式仲裁机制分为链式查询、计数器定时查询和独立请求三种方式。独立请求方式响应速度最快；链式查询方式控制线最少；链式查询方式对电路故障最敏感；计数器定时查询方式可方便改变响应顺序。

4.9

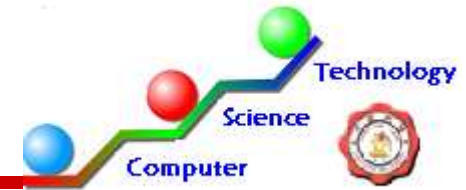


- 4.9 画出总线独立请求方式的优先级判决逻辑电路图。
- 题解:假设以4级排队为例, 且高电平有效则:



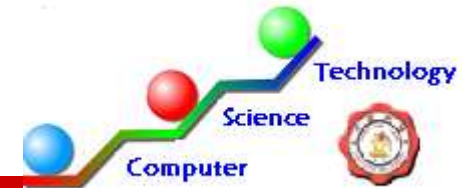
注: 实际的总线允许信号BG的输出时间还受总线时序信号的制约。

4.10



- 4.10 有一编码键盘，其键阵列为8行×16列，分别对应128种ASCII码字符，采用硬件扫描方式确认按键信号，问：
- (1) 扫描计数器应为多少位？
 - (2) ROM容量为多大？
 - (3) 若行、列号均从0开始编排，则当第5行第7列的键表示字母“F”时，CPU从键盘读入的二进制编码应为多少（设采用奇校验）？
 - (4) 参考教材图5-21，画出该键盘的原理性逻辑框图；
 - (5) 如果不考虑校验技术，此时ROM是否可省？

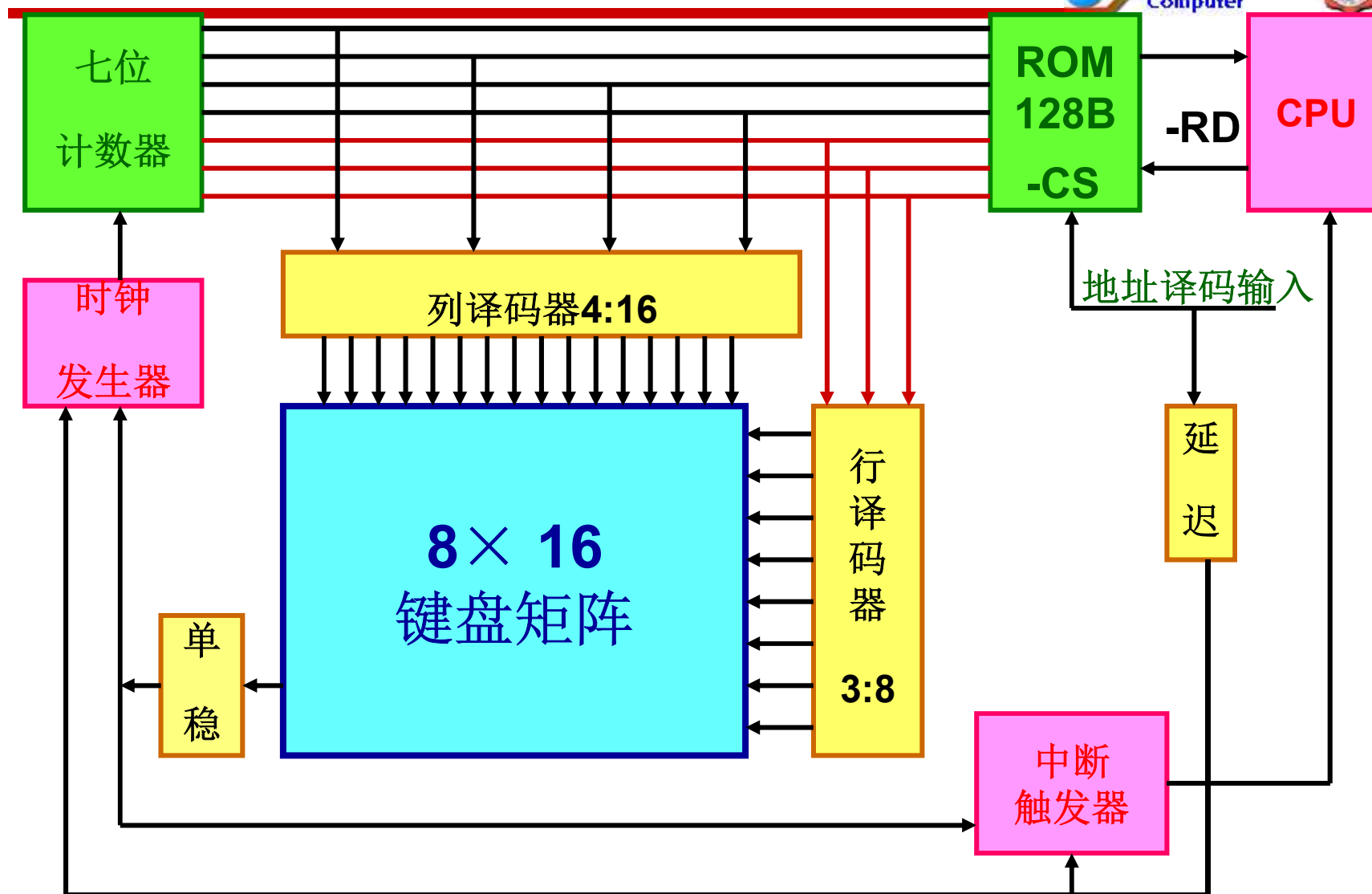
4.10



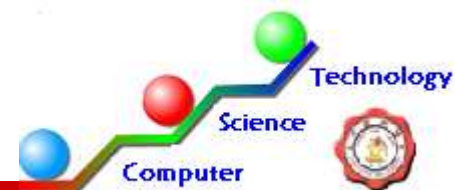
□ 题解:

- 1) 扫描计数器 = 7位 (与键的个数有关)
- 2) ROM容量 = $128 \times 8\text{bit} = 128\text{B}$ (与字符集大小有关)
- 3) CPU从键盘读入的应为字符“F”的ASCII码 = 01000110 (46H), 其中最高位为奇校验位 (注: 不是位置码)。
- 4) 该键盘的原理性逻辑框图见下页。
- 5) 如果不考虑校验技术, 并按ASCII码位序设计键阵列 (注意), 则ROM编码表可省, 此时7位计数器输出值 (扫描码或键位置码) 即为ASCII码。

4.10



4.11

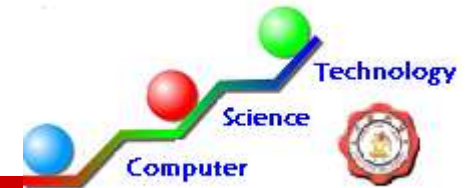


□ 4.11 某CRT显示器可显示64种ASCII字符，每帧可显示72字×24排；每个字符字形采用7×8点阵，即横向7点，字间间隔1点，纵向8点，排间间隔6点；帧频50Hz，采取逐行扫描方式。假设不考虑屏幕四边的失真问题，且行回扫和帧回扫均占扫描时间的20%，问：

- (1) 显存容量至少有多大？
- (2) 字符发生器 (ROM) 容量至少有多大？
- (3) 显存中存放的是那种信息？
- (4) 显存地址与屏幕显示位置如何对应？
- (5) 设置哪些计数器以控制显存访问与屏幕扫描之间的同步？它们的模各是多少？
- (6) 点时钟频率为多少？

□ 题解：

4.11



- 1) 显存最小容量= $72 \times 24 \times 8\text{bit}$
= 1728B
- 2) ROM最小容量= $64 \times 8\text{行} \times 8\text{列}$
= 512B (含字间隔1点)
- 3) 显存中存放的是ASCII码信息。
- 4) 显存每个地址对应一个字符显示位置，显示位置自左至右，从上到下，分别对应缓存地址由低到高。
- 5) 设置点计数器、字计数器、行计数器、排计数器控制显存访问与屏幕扫描之间的同步。

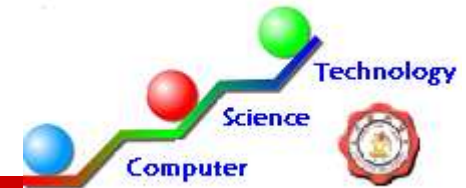
它们的模计算如下：

$$\text{点计数器模} = 7 + 1 = 8$$

$$\text{行计数器模} = 8 + 6 = 14$$

字、排计数器的模不仅与扫描正程时间有关，而且与扫描逆程时间有关，因此计算较为复杂。

4.11



列方程： $(72+x) \times 0.8 = 72$

$(24+y) \times 0.8 = 24$

解方程得： $x = 18$, $y = 6$, 则：

字计数器模 = $72 + 18 = 90$ (72/80%)

排计数器模 = $24 + 6 = 30$ (24/80%)

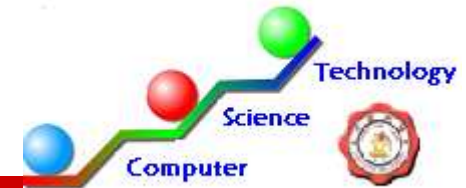
6) 点频

= $50\text{Hz} \times 30\text{排} \times 14\text{行} \times 90\text{字} \times 8\text{点}$

= $15\ 120\ 000\text{Hz}$

= 15.12MHz

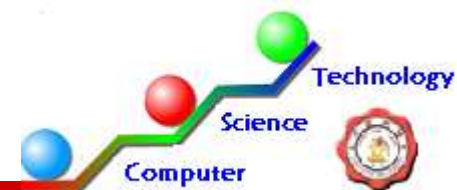
4.11



讨论:

- 1、VRAM、ROM容量应以字或字节为单位，不能以位为单位；
- 2、字模点阵在ROM中按行存放，一行占一个存储单元；
- 3、显存中存放的是ASCII码而不是像素点；
- 4、计算计数器的模及点频时应考虑回扫时间。

4.12



4.12 一针式打印机采用7列×9行点阵打印字符，每行可打印132个字符，共有96种可打印字符，用带偶校验位的ASCII码表示。问：

- (1) 打印缓存容量至少有多大？
- (2) 字符发生器容量至少有多大？
- (3) 列计数器应有多少位？
- (4) 缓存地址计数器应有多少位？

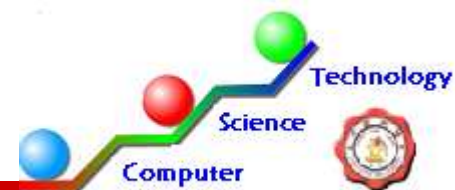
题解：

- (1) 打印缓存最小容量 = $132 \times 8 = 132\text{B}$ （考虑偶校验位）
- (2) ROM最小容量 = $96 \times 7\text{列} \times 9\text{行} = 672 \times 9\text{位}$
- (3) 列计数器 = 3位 （7列向上取2的幂）
- (4) 缓存地址计数器 = 8位 （132向上取2的幂）

讨论：

- 1、由于针打是按列打印，所以ROM一个存储单元中存一列的9个点，则容量为 $672 \times 9\text{位}$ ；
- 2、列计数器是对列号进行计数，所以模=7，3位（模不等于 2^3 ）；
- 3、同样缓存地址计数器模=132，8位。

4.13

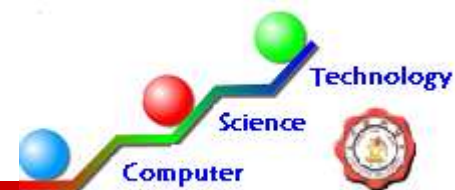


□ 4.13 异步串行通信中，为什么要在数据格式中设置“起始位”和“停止位”？

□ 题解：

异步串行通信时，对于像字符或字节这样的数据组织，是**首尾相接**按位传送的。如果不加特殊标记，无法区分相邻的位属于前一个数据单位还是后一个数据单位。因此采用在帧格式中设置“**起始位**”和“**停止位**”的方法，对一帧数据的“头”和“尾”进行标记，以实现**帧同步**。

4.14



□ 4.14 在串行传输系统中，假设波特率为1200波特。请问：

(1) 若采用同步通信，字符格式规定包含1个字节的同步字符和512个字节的数据块，试计算比特率。

(2) 若采用异步通信，字符格式规定包含1个起始位、7个数据位、1个奇偶校验位、1个终止位，试计算比特率。

题解：

(1) 比特率 $= 1200 \text{ 波特} \times (512/513) = 1197.66 \text{ bps}$

(2) 帧格式 $= 1 + 7 + 1 + 1 = 10 \text{ 位}$

比特率 $= 1200 \text{ 波特} \times (7/10) = 840 \text{ bps}$

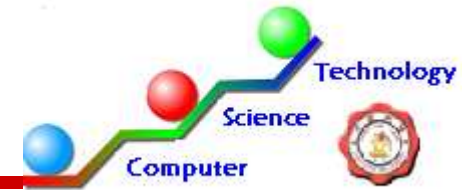
4.15



□ 4.15 用串行方式传送字符'D'和'3'，字符格式为10位，其中数据位7位，偶校验1位，起始位1位，停止位1位，要求：

- (1) 分别画出上述字符的传送波形图；
- (2) 假设数据传送速率为240字符/秒，则传送波特率是多少？
- (3) 每个信息位占用的时间是多少？

4.15

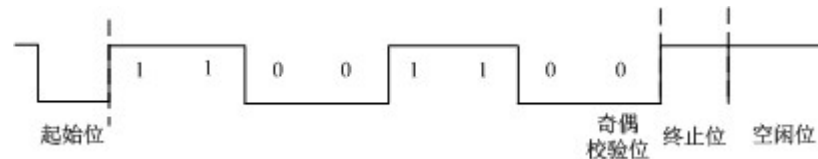


□ 题解：

□ (1) 字符'D'的ASCII码为1000100，偶检验位为0



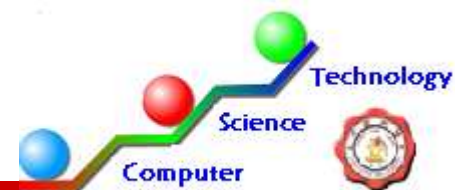
字符'3'的ASCII码为0110011，偶检验位为0



□ (2) 2400Baud

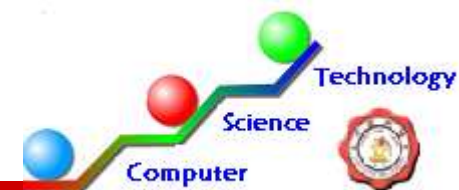
□ (3) $1 / 2400\text{bps} = 416\mu\text{s}$

4.16

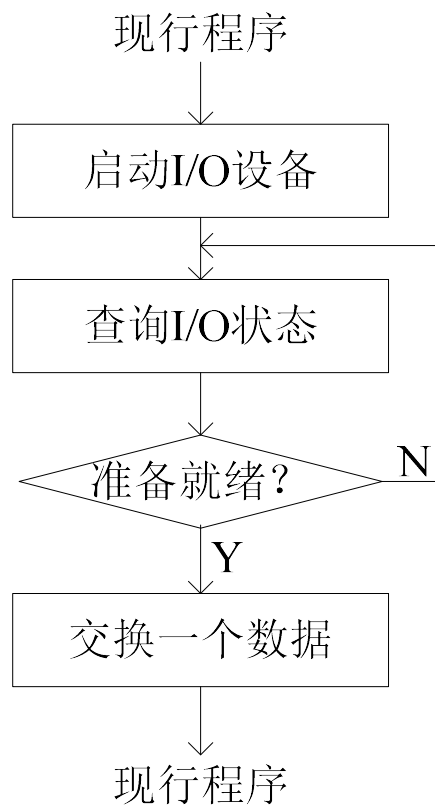


- ❑ 4.16 什么叫“踏步等待”？“踏步等待”对CPU的工作效率有何影响？画出采用程序查询方式进行单个数据的I/O交换时CPU执行现程序的流程图。
- ❑ 题解：
- ❑ 采用程序查询方式进行I/O交换时，CPU需要不停地查询I/O设备的状态，这段时间CPU不能做任何其他事情，只能等待I/O就绪，称“踏步等待”。
- ❑ “踏步等待”使CPU的工作效率下降，此时CPU与I/O只能串行工作。
- ❑ 采用程序查询方式进行单个数据的I/O交换时CPU执行现程序的流程图如下：

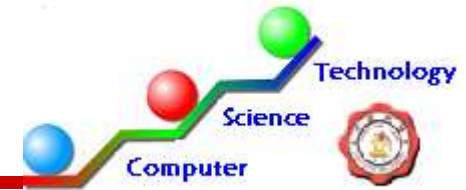
4.16



- 程序查询进行单个数据I/O交换时CPU现行程序流程图：
- 见教材图5-46



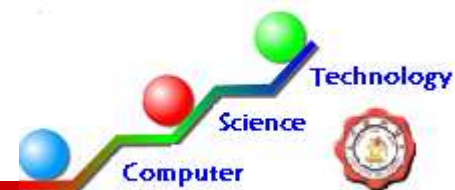
4.17



□ 4.17 回答下列有关程序中断的问题：

- (1) 在什么条件下，I/O设备可以向CPU提出中断请求？
- (2) 在什么条件和什么时间，CPU可以响应I/O的中断请求？
- (3) 说明中断向量地址和入口地址的区别和联系。
- (4) 对于向量中断，为什么I/O模块把向量放在数据线上，而不是放在地址线上？

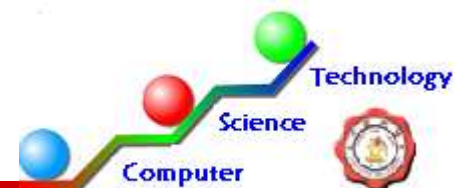
4.17



□ 题解：

- (1) 当 I/O 接口中的设备工作完成状态为 1 ($S=1$)，且该中断源未被屏蔽 ($MASK=0$) 时，接口置中断请求触发器状态为 1 ($INTR=1$) 向 CPU 请求中断。
- (2) 当 CPU 允许中断 ($EINT=1$)，且至少有一个中断请求被查到，则 CPU 在一条指令执行完时，响应中断。
- ✧ (3) 中断向量编码器输出的是中断向量地址，该地址再指向具体的中断服务程序的入口地址。即中断向量地址是中断服务程序入口地址的指示器。
- ✧ (4) 地址线是单向的，CPU 只能发送，不能读取，所以向量只能放在数据线上。

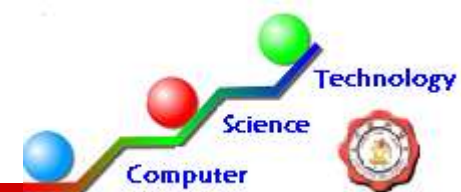
4.19



- 4.19 设某机有A、B、C、D4个中断源，并支持多重中断，其中断优先级按降序排列为A→B→C→D。若要求中断处理次序为C→B→A→D，试问：
- （1）若中断屏蔽字的每一位对应一级中断，该位为“0”表示允许该级中断，该位为“1”表示屏蔽该级中断，则要实现上述中断处理优先次序，各级中断处理程序的中断屏蔽字应如何设置？
 - （2）若设中断服务程序的执行时间为 $10\mu\text{s}$ （其中保存现场、开中断等额外开销需 $4\mu\text{s}$ ），CPU平均指令周期为 $0.5\mu\text{s}$ ，CPU响应中断的延迟时间忽略不计，现行程序的中断屏蔽字为0000B。若4个中断请求同时达到，画出CPU执行程序轨迹。

□ 题解：

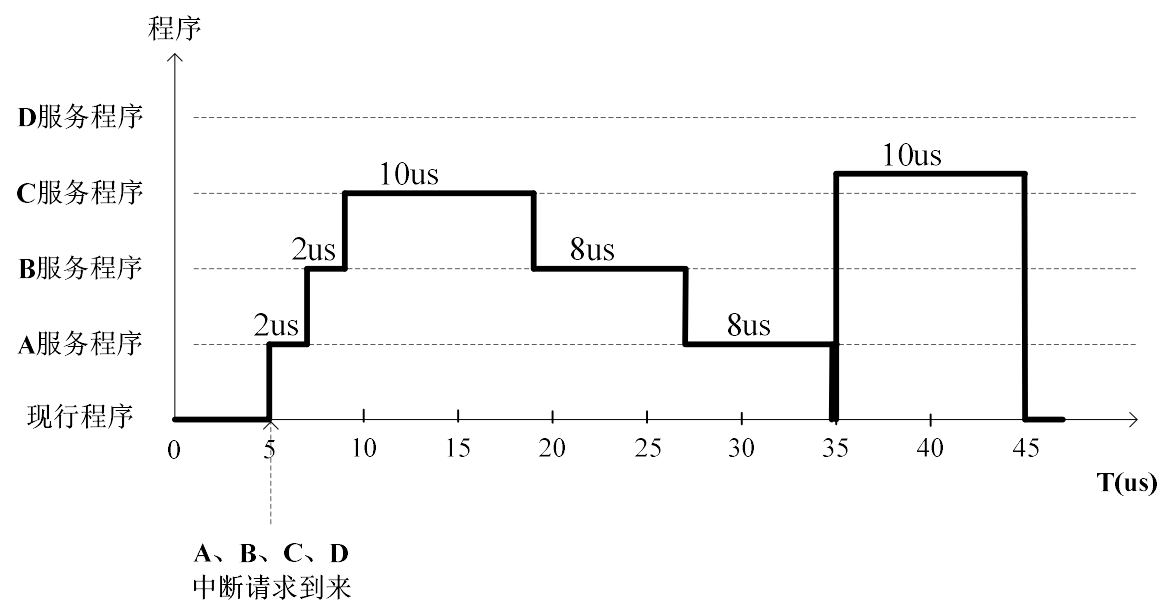
4.19



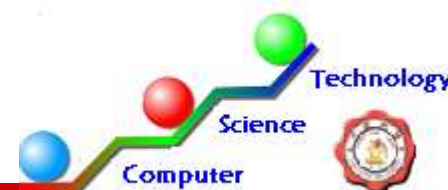
○ (1)

中断源	屏蔽字			
	D	C	B	A
A	1	0	0	1
B	1	0	1	1
C	1	1	1	1
D	1	0	0	0
现执行程序	0	0	0	0

○ (2)



4.20



- 4.20 设有一磁盘盘面共有磁道200道，盘面总存储容量为1.6MB，磁盘旋转一周的时间为25ms，每道有4个区，各区之间有一间隙，磁头通过每个间隙需1.25ms。问磁盘通道所需的最大传输率是多少（B/s）？设有人为上述磁盘设计了一个与主机之间的接口，磁盘读出数据串行送入一个移位寄存器中，每当移满16位后，向处理机发出一个请求交换数据的信号。CPU响应请求信号并取走移位寄存器的内容后，磁盘再串行送入下一个16位的字，如此继续工作。如果现在已知CPU在接到请求交换的信号以后，最长响应时间是3μs，这样的接口能否正确工作？应如何改进？

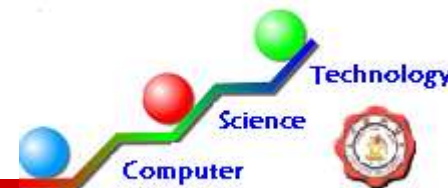
题解：磁盘所需最大传输率应是扣除盘面上扇区间隙的有效信息传输速率。

$$\text{道容量} = 1.6\text{MB}/200\text{道} = 8\text{KB}/\text{道}$$

$$\begin{aligned}\text{一个字节数据最短传送时间} &= (25\text{ms} - 1.25\text{ms} \times 4) / 8\text{KB} \\ &= 20\text{ms} / 8\text{KB} \approx 2.44\mu\text{s}/\text{B}; \quad (\text{K}=2^{10})\end{aligned}$$

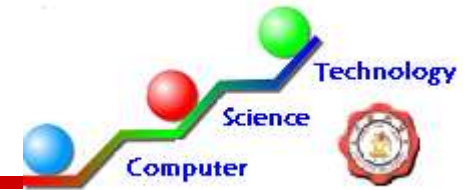
$$\text{磁盘最大传输率} = 1/2.44\mu\text{s}/\text{B} \approx 0.4\text{MBps}$$

4.20

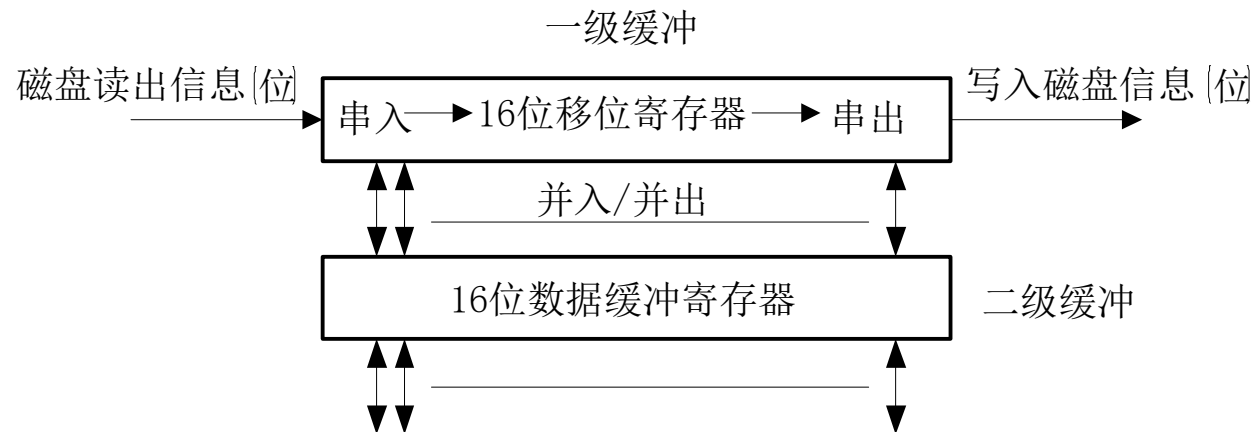


- 一位数据最短传送时间 = $2.44\mu\text{s}/8 = 305\text{ns}$
- **分析：**由题意可知，所设计的这个磁盘接口在传送数据时，要求CPU必须在移位寄存器移满16位后，且第17位没有读出之前取走数据，即在相邻两位数据传送的间隔时间内取走移位寄存器中的数据，否则将产生数据丢失错误。
- 从上述计算结果可以看出，如果CPU在接到请求信号后最长响应时间是 $3\mu\text{s}$ ，则比一位数据的串行传输时间（ 305ns ）慢得多，这样的接口肯定无法正确工作。
- 常用的改进方法是在磁盘机与主机的接口线路中设两级数据缓冲寄存器。第一级缓冲使用移位寄存器，读盘时采用串入并出方式工作，磁盘读出数据先串行送入该寄存器，每当移满16位后，并行送入第二级数据缓冲寄存器，然后才向CPU发出一个请求信号。
- CPU响应请求信号，并取走第二级数据缓冲寄存器的内容后，接口再将第一级数据缓冲寄存器移满的16位数据并行送入二级缓冲，如此反复进行下去，直到一个数据块传送完。

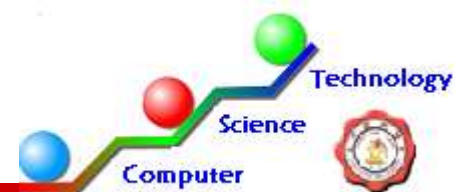
4.20



- ❑ 写盘时移位寄存器采用**并入串出**方式工作，CPU先将数据发给第二级数据缓冲寄存器，再由第二级数据缓冲寄存器并行送给移位寄存器，然后由移位寄存器串行写到盘上，操作过程与读盘时整个**相反**。
- ❑ 这种方法留给CPU的最长响应时间延长到16位数据的传送间隔时间，可达：
 $2.44\mu\text{s} \times 2 = 4.88\mu\text{s}$ （或 $305\text{ns} \times 16$ ）； $4.88\mu\text{s} > 3\mu\text{s}$
- ❑ 完全可以满足CPU最长响应时间 $3\mu\text{s}$ 的传送要求。按上述思想设计的磁盘接口中二级数据缓冲装置逻辑框图如下：



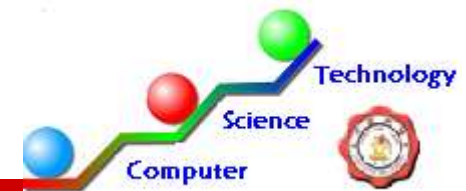
4.21



- 4.21 假设硬盘采用周期窃取方式与主机交换信息，其传输速率为2MBps。而DMA的预处理需800个时钟周期，DMA完成传送后，后处理中断操作需500个时钟周期，CPU主频为50MHz。如果平均传输的数据长度为4KB，试问：
- （1）硬盘与主机传送一次数据DMA平均需要多长时间？
 - （2）若存取周期为100ns，主存与磁盘数据传送的宽度为32位，则周期窃取方式占用主存的时间比率是多少？
 - （3）在硬盘工作期间，处理器需用多少时间比率进行DMA辅助操作（预处理和后处理）？

□ 题解：

4.21



- (1) 传输速率为2MBps，传送4KB数据所占时间为：

$$4\text{KB}/2\text{MB/s} = 2048\mu\text{s} \quad (\text{在此, } K=2^{10}, M=10^6)$$

预处理和后处理占时间为：

$$(800 + 500) * 1/50\text{MHz} = 26\mu\text{s}$$

所以一次DMA传输需要2074μs；

- (2) 硬盘接口准备一个32位数据所需时间：

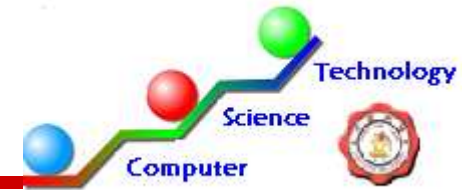
$$4\text{B}/2\text{MB/s} = 2\mu\text{s} \quad (\text{在此, } M=10^6)$$

即硬盘接口每隔2μs窃取1个主存周期，则硬盘占用主存的时间
比率：

$$100\text{ns}/2\mu\text{s} * 100\% = 5\%$$

- (3) $26\mu\text{s} / 2074\mu\text{s} * 100\% \approx 1.25\%$

4.22



□ 4.22 设磁盘存储器转速为3000rpm，分8个扇区，每扇区存储1KB，则该磁盘的数据传输率是多少（Bps）？平均等待时间又是多少？若主存与磁盘间采用DMA周期窃取方式传送数据，假设主存的存取周期为100ns，则每隔几个存取周期DMA占用主存一次？

□ 题解：

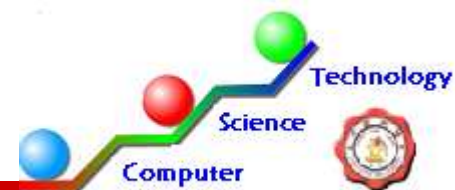
□ a、磁盘数据传输率=8KB×3000rpm=8KB×50转/秒
=400KBps

□ b、平均等待时间=1/50转/秒/2=0.02s/2=0.01s=10ms

□ c、传送一个字节时间=1/400KBps=0.0025×10⁻³s=2.5μs

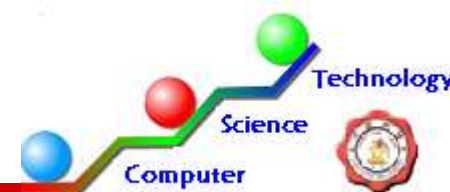
□ 间隔存取周期个数=2.5μs /0.1μs =25个

4.23



- ❑ 4.23 DMA传送方式主要由哪几个阶段实现？各个阶段分别由何种技术支持？大体完成一些什么工作？
- ❑ 题解：
- ❑ DMA传送方式主要由预处理、传送、后处理三个阶段实现。
- ❑ 预处理阶段由程序控制方式支持，主要完成向DMA控制器发送交换初始参数的工作。
- ❑ 传送阶段主要由周期窃取技术支持，完成I/O与主存间的数据传送。
- ❑ 后处理阶段由程序中断方式支持，主要完成传送的结束处理工作（数据校验、出错判断、关I/O等）。

4.24



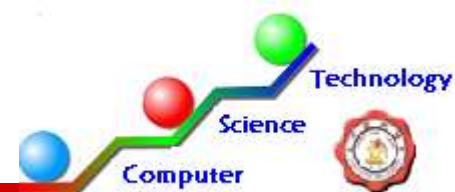
□ 4.24 试从下面7个方面比较程序查询、程序中断和DMA三种方式的综合性能。

- (1) 数据传送依赖软件还是硬件;
- (2) 传送数据的基本单位;
- (3) 并行性;
- (4) 主动性;
- (5) 传输速度;
- (6) 经济性;
- (7) 应用对象。

题解：比较如下：

- (1) 程序查询、程序中断方式的数据传送主要依赖**软件**，DMA主要依赖**硬件**。（注意：这里指主要的趋势）
- (2) 程序查询、程序中断传送数据的基本单位为**字或字节**，DMA为**数据块**。
- (3) 程序查询方式传送时，CPU与I/O设备**串行**工作；

4.24



程序中断方式时，CPU与I/O设备**并行**工作，现行程序与I/O传送**串行**进行；

DMA方式时，CPU与I/O设备**并行**工作，现行程序与I/O传送**并行**进行。

(4) 程序查询方式时，CPU**主动**查询I/O设备状态；

程序中断及DMA方式时，CPU**被动**接受I/O中断请求或DMA请求。

(5) 程序中断方式由于软件额外开销时间比较大，因此传输速度**最慢**；

程序查询方式软件额外开销时间基本没有，传输速度**比中断快**；

DMA方式基本由硬件实现传送，因此速度**最快**；

注意：程序中断方式虽然CPU运行效率比程序查询高，但传输速度却比程序查询慢。

(6) 程序查询接口硬件结构最简单，因此最**经济**；

程序中断接口硬件结构稍微复杂一些，因此**较经济**；

DMA控制器硬件结构最复杂，因此**成本最高**；

(7) 程序中断方式适用于**中、低速**设备的I/O交换；

程序查询方式适用于**中、低速**实时处理过程；

DMA方式适用于**高速**设备的I/O交换；

4.24



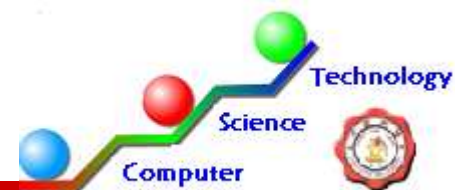
讨论:

问题1: 这里的传送速度指**I/O设备与主存间**, 还是**I/O与CPU之间**?

答: 视具体传送方式而定, 程序查询、程序中断为**I/O与CPU之间**交换, **DMA**为**I/O与主存间**交换。

问题2: 主动性应以**CPU**的操作方式看, 而不是以**I/O**的操作方式看。

课内测试



- 设某机有A、B、C、D 4个中断源，并支持多重中断，其中断优先级按降序排列为A→B→C→D。若要求中断处理次序为C→B→A→D，试问：
- （1）若中断屏蔽字的每一位对应一级中断，该位为“0”表示允许该级中断，该位为“1”表示屏蔽该级中断，则要实现上述中断处理优先次序，各级中断处理程序的中断屏蔽字应如何设置？
 - （2）若设中断服务程序的执行时间为 $12\mu\text{s}$ （其中保存现场、开中断等额外开销需 $4\mu\text{s}$ ），CPU响应中断的延迟时间忽略不计，现行程序的中断屏蔽字为0000B。若在0时刻B、A、D三个中断请求达到，在 $14\mu\text{s}$ 时刻中断请求C到达，请画出CPU执行程序的轨迹。