

计组

分清楚K 10 M 20

| 1.5 冯·诺依曼计算机的特点是什么？

| 题解：

计算机由运算器、控制器、存储器、输入设备和输出设备五大部件组成。

指令和数据均用二进制数表示。

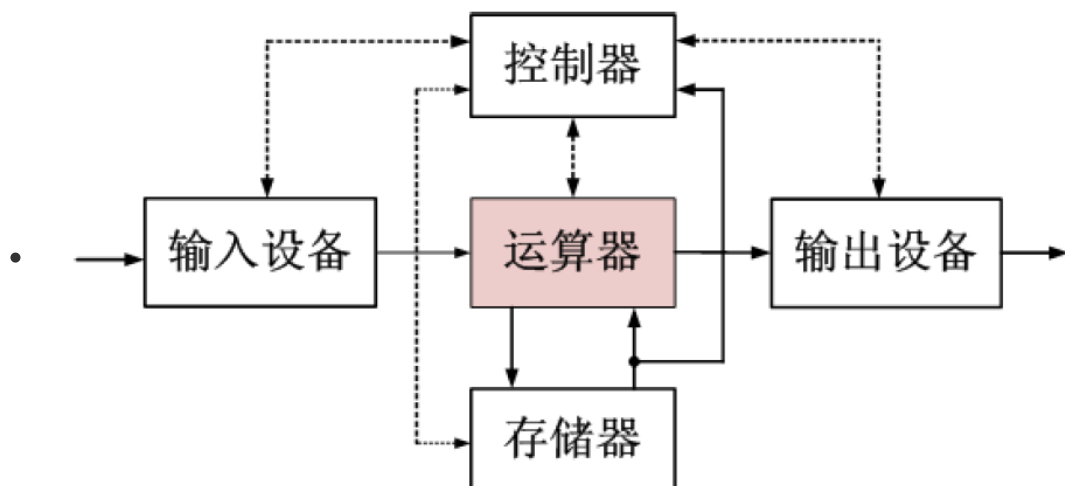
指令和数据以同等地位存放于存储器内，并可按地址访问。

指令由操作码和地址码组成，操作码表示指令的操作性质，地址码指出操作数的来源。

指令在存储器内按顺序存放。通常，指令是顺序执行的，也可以根据运算结果或某种设定条件改变指令执行顺序。

机器以运算器为中心，输入输出设备与存储器间的数据传送通过运算器完成。

- 存储字长跟按字 字节编址 有关
- 冯诺依曼思想：存储程序



第二章 指令系统

1 RISC计算机的特点

- 优先选取使用**频率较高的简单指令**
- 指令**长度**固定，指令**格式**种类少，**寻址**方式种类少
- 只有取数 / 存数指令**访问存储器**
- ○ CPU中**通用寄存器**数量相当多
- CPU采用**流水线结构**，大部分指令可以在一个时钟周期内完成
- 控制单元设计以**硬布线控制**逻辑为主
- 采用**编译优化**技术，以减少程序执行时间
- 指令格式： 操作码 地址码
- 零地址指令：操作数来自栈顶
- 基址寻址常用来实现对用户程序的动态定位，而变址寻址常用于数组处理及串操作
- 一次间接寻址和二次间接寻址差2倍
- 基本寻址： 立即寻址 寄存器寻址 存储器寻址（直接 存储器间接 寄存器间接 偏移寻址 段寻址） 堆栈寻址
- 调用返回的地址放在： 寄存器 子程序的入口单元 堆栈栈顶
- 寄存器间接寻址范围： 寄存器位数
- 变址寻址寻址范围和位移量：
变址寄存器位数 n
- 位移量 相对寻址是补码 变址是无符号整数 基址是有符号整数
- 相对寻址记得PC+1

第三章 存储器

- 磁道数据传输率： 每道容量 * 转速
- 柱面=一个盘面上的磁道数
- 平均寻址时间 = 平均等待时间 + 平均寻道时间
- 按存取方式： 随机存取（RAM） 只读（ROM 非电易失性） 顺序（磁带） 直接存取（DAM 磁盘） 相联
- 内存 DRAM cache SRAM
- cache 平滑主存与 CPU 之间的速度差异 虚拟“提高容量”
- 主存基本组成： 存储体 寻址系统 读写系统 控制总线

n位地址，采用重合法译码，需：

地址译码线数 = $2^{n/2} + 2^{n/2}$ 根

- 存取周期 = 存取时间+回复时间
- MROM PROM一次性破坏写入 EPROM EEPROM 可随机读写
- 闪存 可在联机状态下进行电擦除和改写
- ROM少sRAM一个WE
- MFM 写多个0在开头翻转

半导体存储器	典型应用
SRAM	高速缓存存储器cache
DRAM	主存中的用户程序
ROM	主存中的系统程序、微程序控制存储器
PROM	用户自编程序，用于工业控制机或电器中
EPROM	用户编写并可修改的程序或产品试制阶段的程序
EEPROM	IC卡上存储信息
Flash Memory	固态硬盘，各种存储卡，U盘

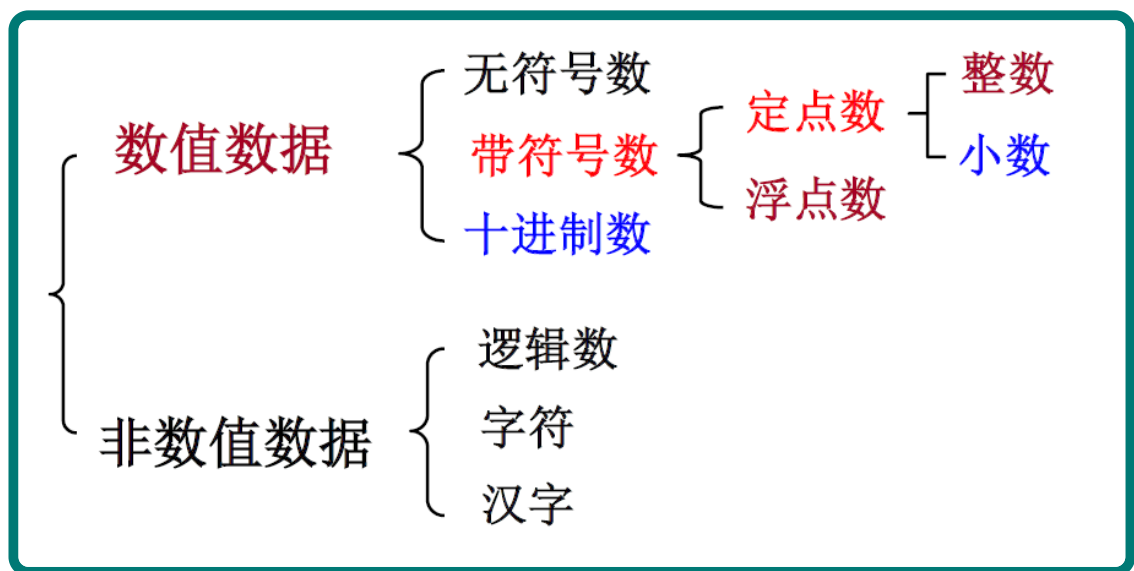
第四章 总线与I/O

- 总线的分类： 片内总线 系统总线（数据总线 地址总线 控制总线）
- 总线控制： 集中式 分布式
- 总线仲裁方式：链式查询（3） 定时查询 独立请求
- 总线传送过程： 申请分配 寻址 传送 结束
- 总线周期的基本类型
内存读 内存写 外设读 外设写
- 正常总线周期： 由一次地址传送时间和一次数据传送时间组成
- 常用总线通信方式：
同步通信
异步通信：不互锁 半互锁 全互锁
半通同步通信
分离式通信
- 总线数据传输率：一个时钟周期 总线带宽：一个总线周期
- 常见总线： ISA低速 EISA PCI(桥 快速)
- I/O指令：隐式（统一编址） 显式（独立编址）
- 随机扫描 光栅扫描
- 总线结构：单总线 双总线（I/O总线 存储总线） 三总线（DMA）
- 中断过程：中断请求 中断判优 中断响应 中断判优 中断服务 中断返回
- 硬件排队判优方法：串行排队、并行排队
- 中断响应：
关中断
保护程序断点、PSW
获得中断服务程序入口地址

- (中断 隐指令)
- 获得中断服务程序 入口地址
 - 软件查询法
 - 硬件向量法
- 中断服务：
 - 保护现场 中断处理 恢复现场
 - (1)断点和程序状态字 (2) 通用寄存器组的内容
- DMA交换方式：
 - 停止CPU访问主存
 - 周期挪用
 - 交替访存
- DMA 传送过程分为 预处理、 传送、 后处理三个阶段，分别由 程序控制、 周期窃取、 程序中断三种技术完成。
- DMA 接口类型
 - 选择型
 - 多路型
- 1. 各中断源如何提出中断请求，CPU如何识别中断源；
——**设中断请求标记INTR (硬件，接口)**
 2. 当多个中断同时请求时，如何确定优先响应顺序；
——**设中断判优机构 (硬件排队线路，接口或CPU)**
 3. CPU在什么条件、什么时候、以什么方式响应中断；
——**EINT=1,有请求；指令执行末；中断隐指令 (硬件，CPU)**
 - 4.如何转到中断服务程序的入口处；
——**向量中断技术 (硬件，接口或CPU)**
 - 5.响应中断后，如何保护程序现场；——**进栈 (软件)**
 6. 中断处理过程；——**(软件)**
 7. 中断结束后，如何恢复程序现场及原程序的执行；
——**出栈 (软件) ； 中断返回指令 (开中断，断点→PC)**
 8. 在中断处理时，若又有新的中断请求，CPU如何办。
——**多重中断技术 (硬件排队与软件屏蔽结合)**

第五章 数据表示运算

- 信息类型



- ASCII 码字符集 **7 位二进制编码**表示一个特定的字符，总共定义了**128种字符**,**95种显示字符**,**33种控制字符**
- 汉字表示：
 - 1.汉字输入码（外码）：**利用西文键盘直接输入汉字**
 - 2.汉字交换码：**GB2312-80标准**
 - 3.汉字机内码（内码）：**两到三字节**
 - 4.汉字字模码：
- 十进制编码：
 - 有权码：8421码
 - 无权码：余3码（也是自补，8421+0011）
 - 自补码：2421码（也是有权）
 - 循环码：格雷码
- 字符串表示：
 - 1.前分割数字串
 - 2.后嵌入数字串
 - 3.压缩表示
- 原码的0表示**不唯一**
- 补码与真值

$$[X]_{\text{补}} = X_0 \cdot X_1 X_2 \dots X_n \quad (\text{Mod } 2)$$

$$X = -X_0 + \sum_{i=1}^n X_i \times 2^{-i}$$

- 反码的0表示 +0: 0.00000 -0: 1.111111
- **原码反码定义域对称**
- 补码反码的符号位可参与运算

- 当补码负数舍入时，若移出部分的最高位为0，舍去
若移出部分的最高位为1，其余各位全为0，舍去
若移出的最高位为1，其余各位不全为0，舍去时，末位+1。
- 补码一位乘：

$$[Y_{n+1} - Y_n] \times [X]_{\text{补}}$$

- 补码两位乘：

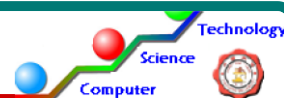
$$[Y_{n-i+1} + Y_{n-i} - 2Y_{n-i-1}]$$

设乘数数值部分为n位，

当n为奇数时，乘数设1位符号位，做(n+1)/2次运算和移位，最后一步右移1位；

当n为偶数时，乘数设2位符号位，做(n/2)+1次运算，n/2次移位，最后一步不移位。

一位8421码加法



□ 8421码加法修正规则：

➤ C=0，且F=0000~1001，结果不必修正；

➤ C=0，且F=1010~1111(非码)，加6修正；

即 $F_{BCD} = F + 0110$ ， $C_{BCD} = 1$

➤ C=1，加6修正。即 $F_{BCD} = F + 0110$ ， $C_{BCD} = C$

□ 8421码和的修正关系表：见下页。

□ 8421码的进位生成逻辑（由关系表得）：

$$C_{BCD} = C + F_3F_2 + F_3F_1$$

□ 一位8421码加法单元逻辑电路：见下下页。

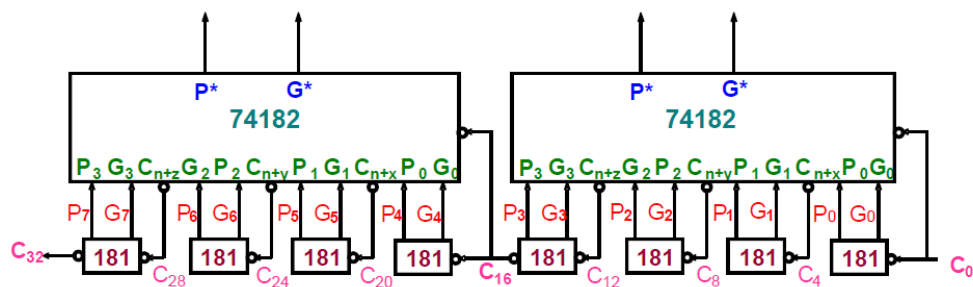
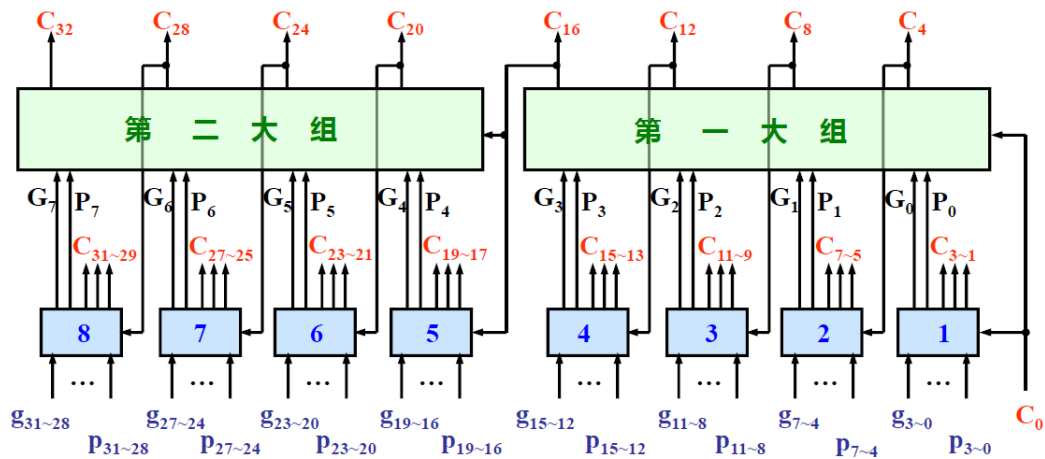
余3码加法修正规则：

➤ C=0，减3修正。即 $F_{BCD} = F + 1101$ ， $C_{BCD} = C$

➤ C=1，加3修正；即 $F_{BCD} = F + 0011$ ， $C_{BCD} = C$

- 串行进位加法器：n*2ty（与非门）

32位二级先行-级联进位线路



第六章 中央处理器

- CPU功能:

顺序控制 操作控制 时间控制 数据加工 中断控制

- CPU: 数据通路: 寄存器 内部总线 ALU 存储器 中断系统 控制单元

- cpu控制: 同步控制 异步控制 联合控制

- 部件互联方式: 分散互联 总线互联

- 多周期数据通路分类

分散互连结构: 多了IR MDR A B ALUOUT 指令和数据存储器合并

单总线结构

双总线结构

三总线结构

- 冒险类型: 结构冒险 控制冒险 数据冒险

- 当异常发生时在异常程序计数器 (EPC) 中保存出错指令的地址

- 通用寄存器 PC 程序状态字寄存器 可见

第七章 控制器

- 三级时序体制：

主状态周期 节拍电位 节拍脉冲

- ① 将堆栈指示器内容送存储器地址寄存器,记作 $SP \rightarrow MAR$;

② 将PC内容送至MDR内, 记作 $PC \rightarrow MDR$;

③ 向主存发写命令, 启动主存做写操作, 记作 $1 \rightarrow W$;

④ 将MDR内容写入到MAR所指内存单元, 记作 $MDR \rightarrow M(MAR)$ 。

⑤ 将向量地址形成部件的输出送至PC, 记作 **向量地址 $\rightarrow PC$; (简单示意)**

⑥ 关中断, 即将中断允许触发器清0, 记作 **$0 \rightarrow EINT$** 。

- 控制方式： 同步方式（时序信号） 异步方式（握手机制） 联合控制
- 组合逻辑： 硬布线控制器 门阵列控制器
- 计算机运算速度： MIPS（每秒执行百万条指令数）及CPI（执行一条指令所需时钟周期数）作为计量单位
- 互斥组状态加1