实验一 组合逻辑设计

**一、实验目的**

1 掌握Verilog语言和Vivado、Logisim开发平台的使用；

2 掌握基础组合逻辑电路的设计和测试方法。

**二、实验内容（用Logisim或Vivado实现）**

1 基础门电路（多输入门电路、复用器等）的设计和测试；

2 基础功能模块（编码器、译码器等）的设计与测试。

**三、实验要求**

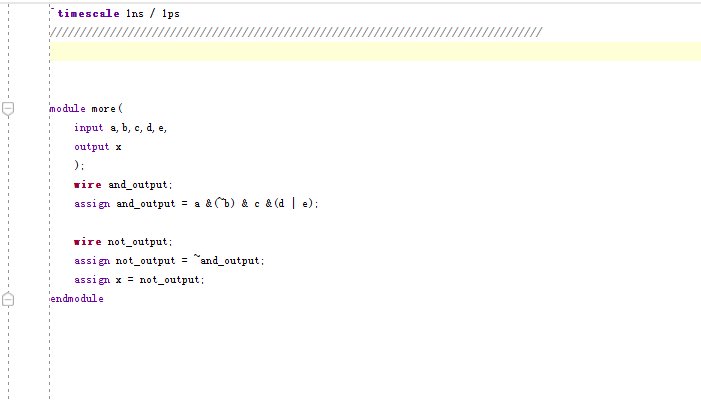
1 掌握Vivado与Logisim开发工具的使用，掌握以上电路的设计和测试方法；

2 记录设计和调试过程（Verilog代码/电路图/表达式/真值表，Vivado仿真结果，Logisim验证结果等）；

3 分析Vivado仿真波形/Logism验证结果，注重输入输出之间的对应关系。

**四、实验过程及分析**

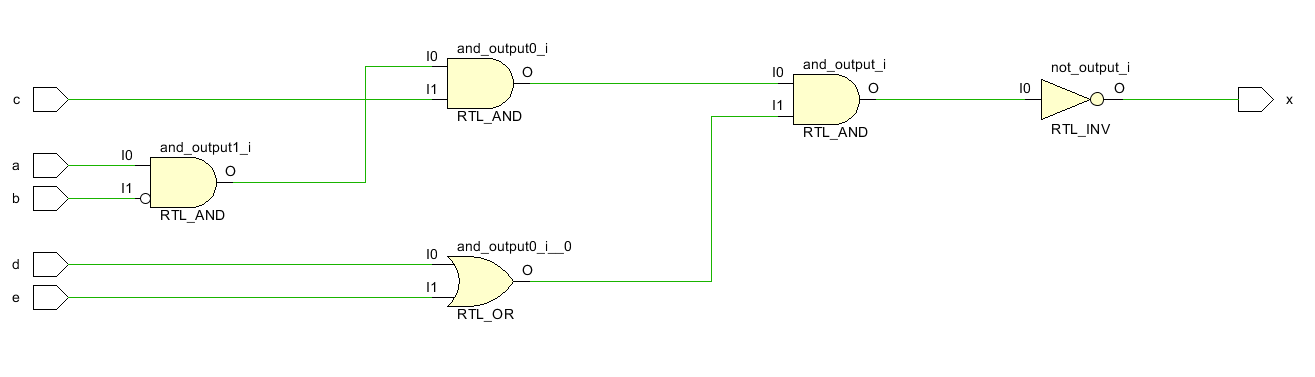
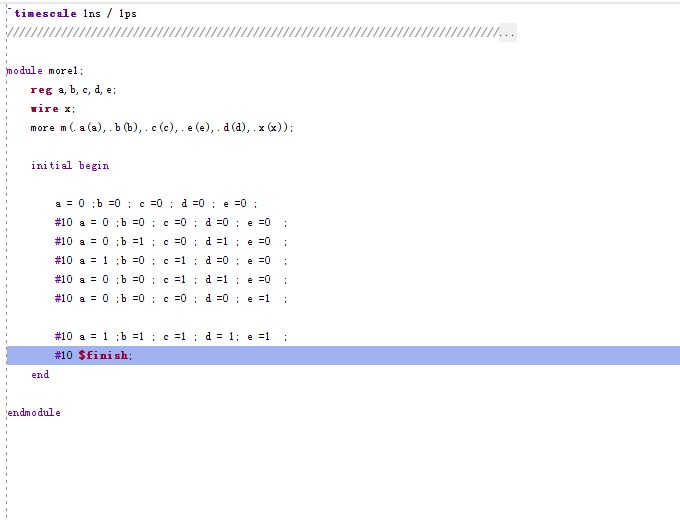
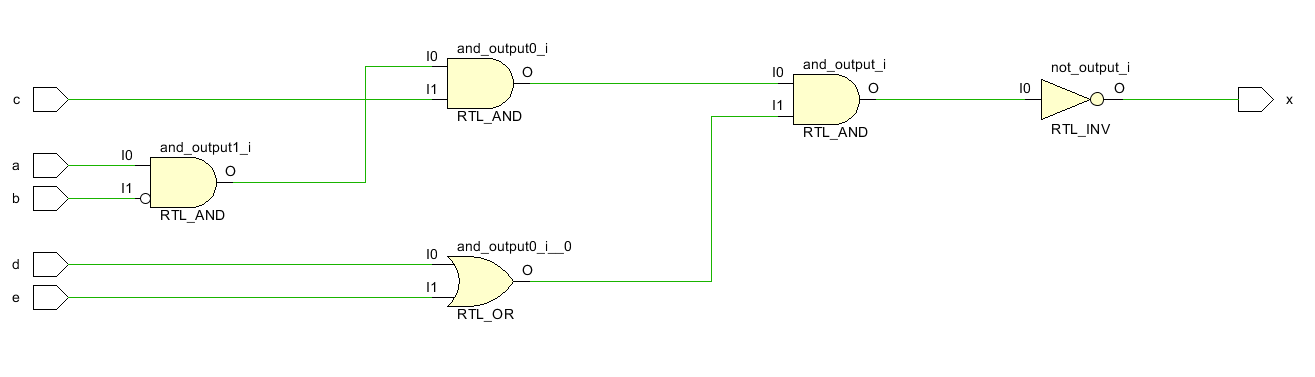
实验一 ：**组合电路设计 多输入门电路（表达式 ：x=~(a⋅~b⋅c⋅(d+e))**

**设计代码**：

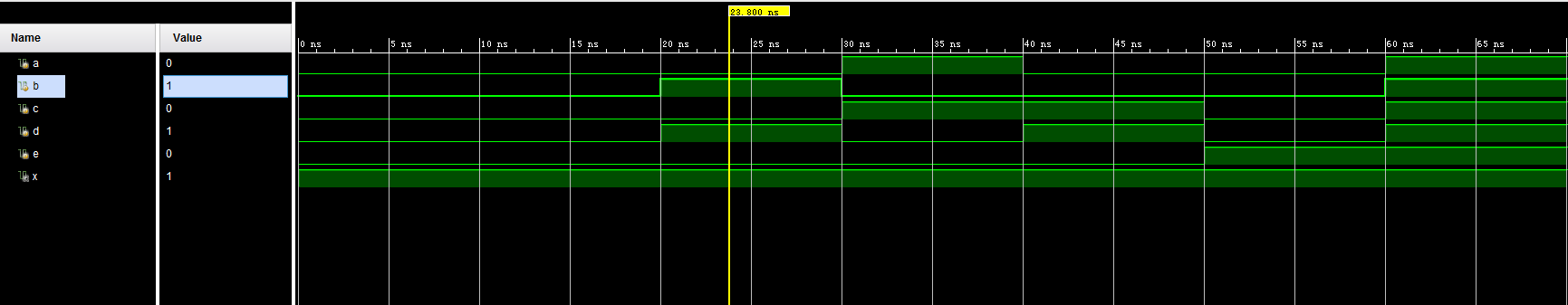
通过 assign语句直接实现复合逻辑。

**激励代码**：

设置a,b,c,d,e的初值为0，每隔一段时间改变a,b,c,d,e的值，观察其在时序图上的变化。

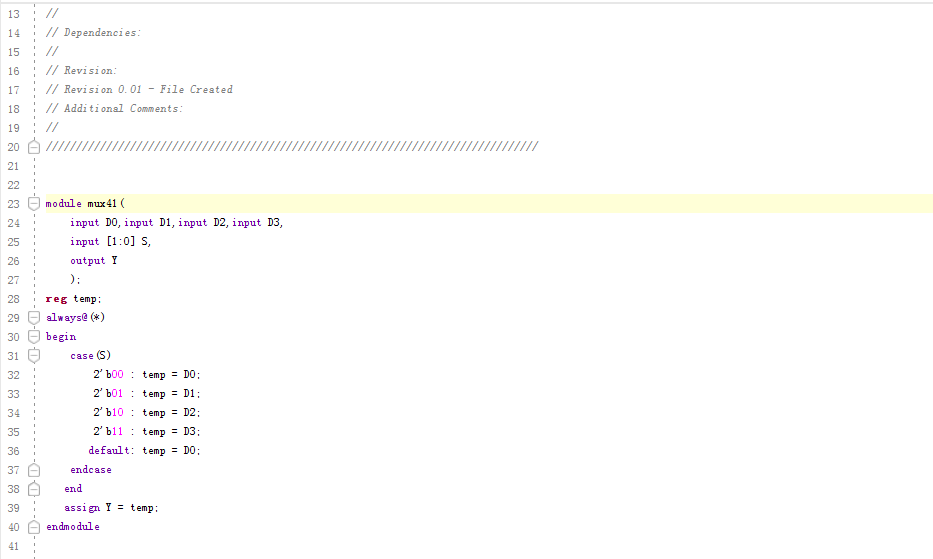
**RTL分析**：

a,非b通过与门结合再与c做与运算，d和e做或运算再和上述结果做与非运算得到最后的结果。

**时序图：**

当a=0,b=1,c=0,d=1,e=0,根据表达式：~(0⋅~1⋅0⋅(1+0))= 1 结果正确。

实验二 ：**复用器**

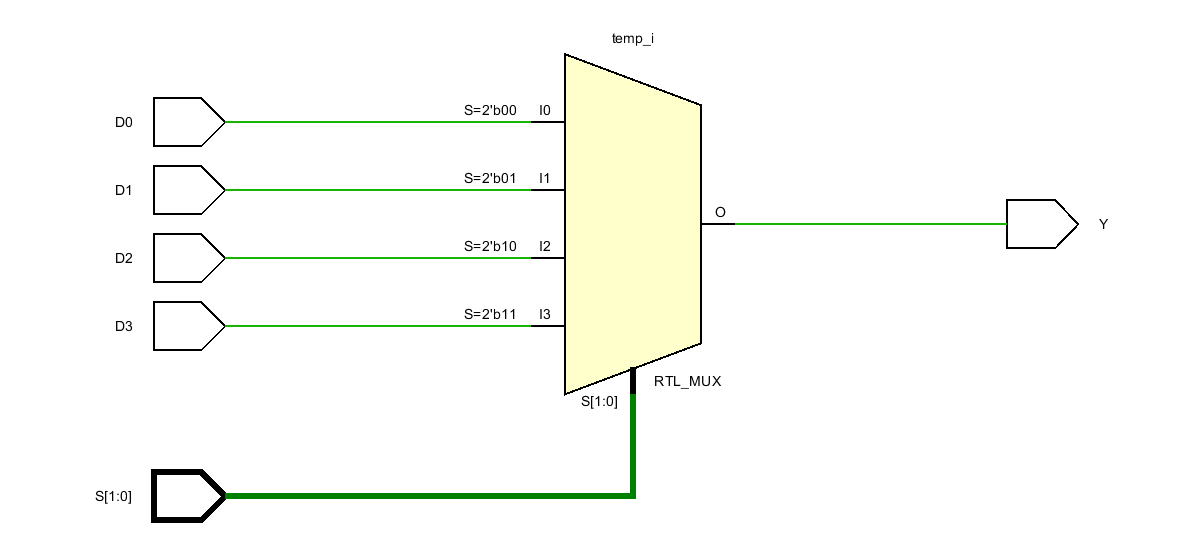
**设计代码：**

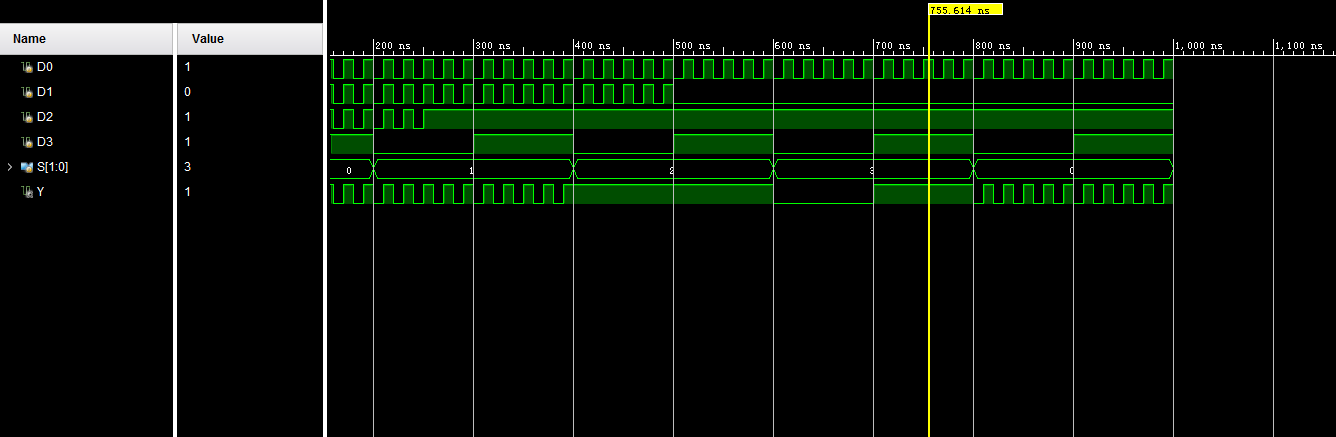
根据S不同的值从四个输入选择一个输出。

**激励代码：**

初始化S为00，并行执行四个输入以不同的频率取反，S++。观察输出变化。

**RTL分析：**

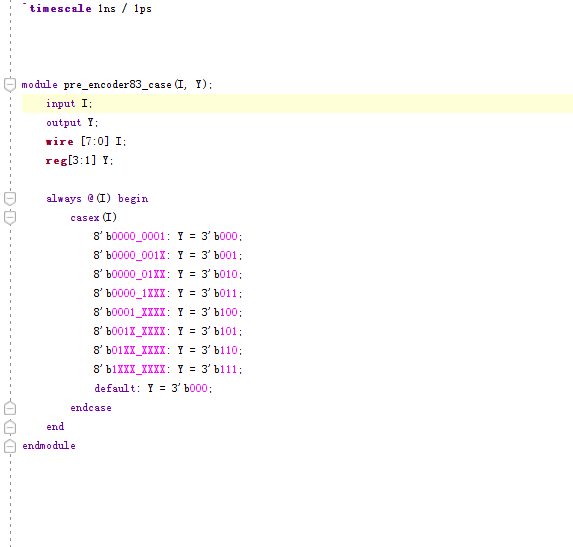
四个输入对应两位选择信号S不同的值。

**时序图：**

有时序图分析可知四个输入取反的周期不同，图中所示，当S为11（十进制为3）时，应选择D3输入，而此时D3为1，所以结果正确。

实验三 ：**8-3优先编码器**

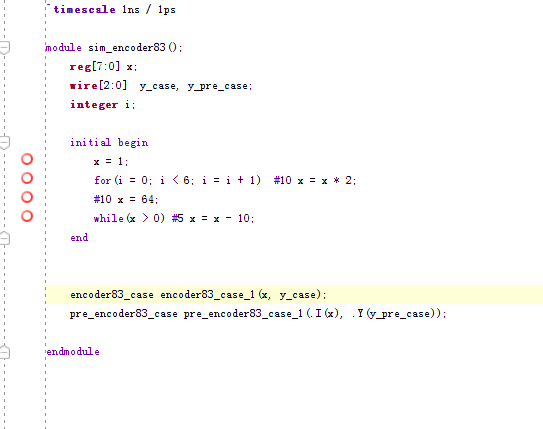
**真值表：**

**优先编码器设计代码：**

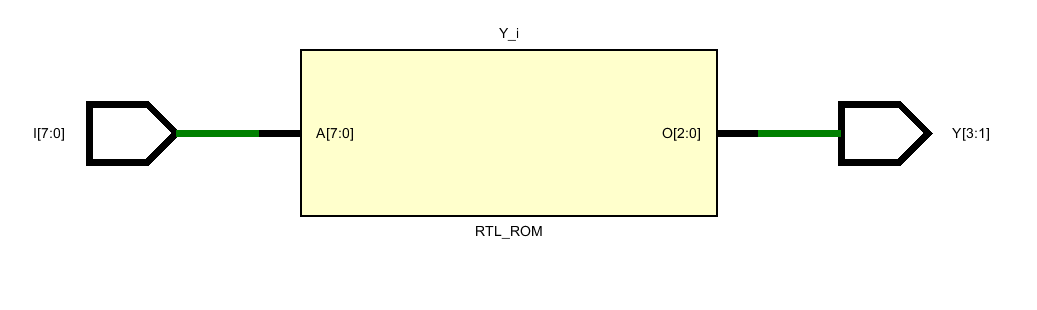
用case语句将真值表输入输出的对应关系一一映射。为实现优先1的低位记为X即可

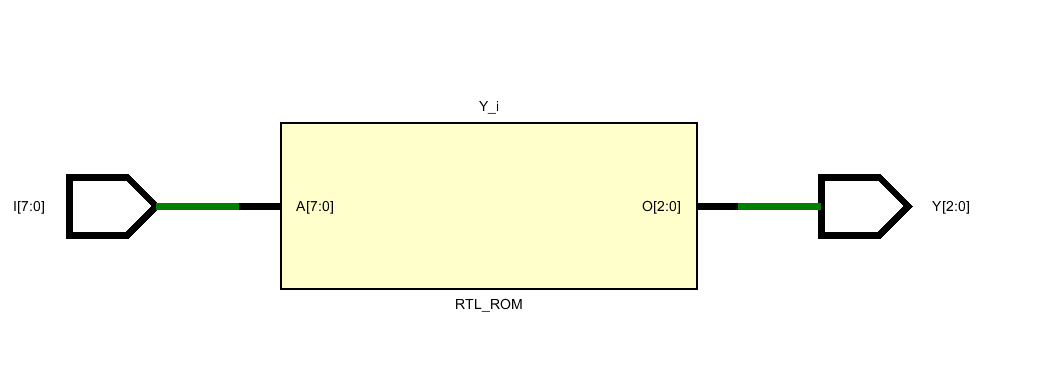
**编码器设计代码：**

将上述的X替换为0即可取消优先。

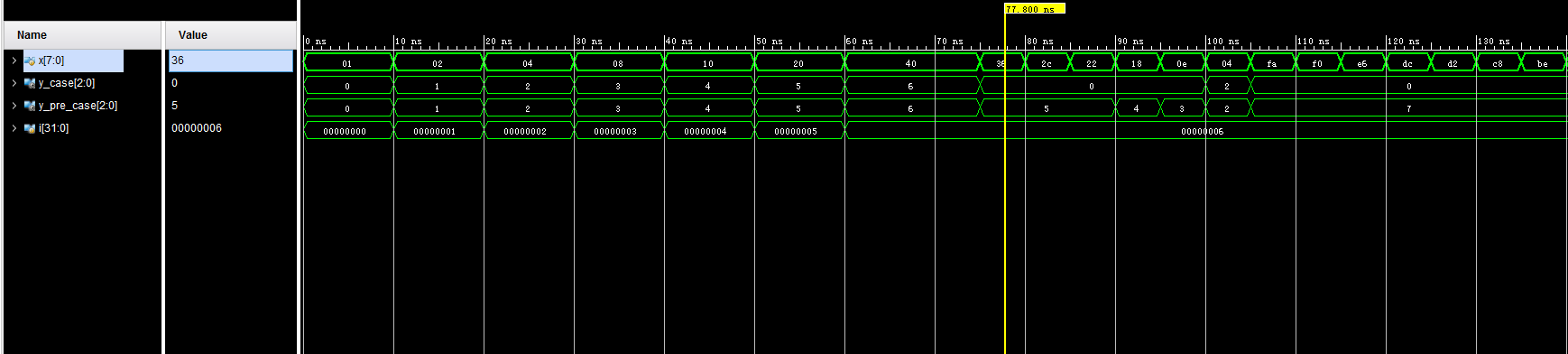
**激励代码：**

根据非优先编码器的原理，每隔固定时间使输入x的1向高位移位，当x = 64后使开始减10验证优先性。验证优先和非优先编码器的区别。

**RTL分析：**

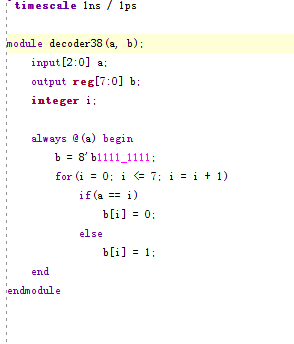
**优先编码器RTL**

**非优先编码器RTL**

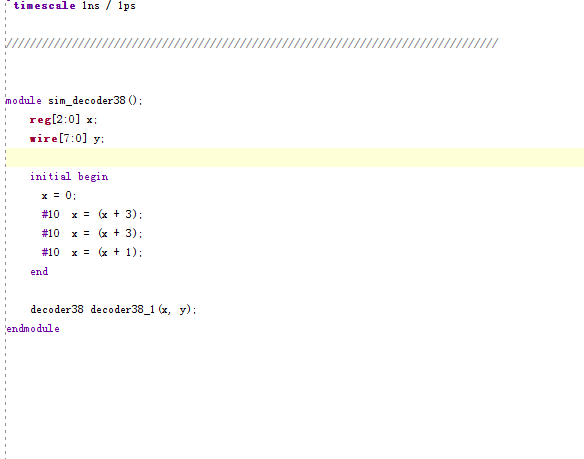
**时序图：**

由图中可知，当x为1，2，4，8，16，32（只有一位为1其他为0，时序图中为16进制）时，优先和非优先编码器输出一致，当开始递减时，应不满足输入的格式非优先编码器将输出置为0，而优先编码器仍取最高位的值所以当x为36（00110110）取最高位5，非优先为0。

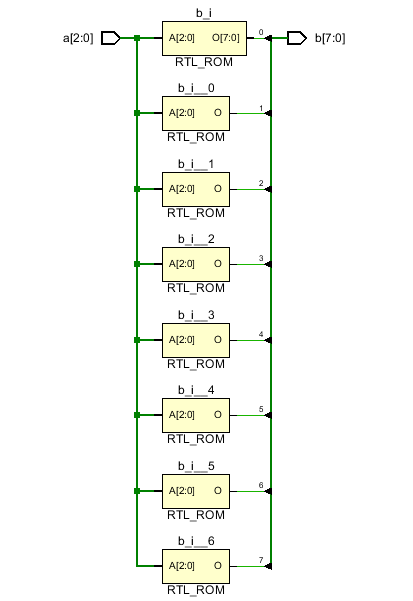
实验四 ：**3-8译码器**

**设计代码：**

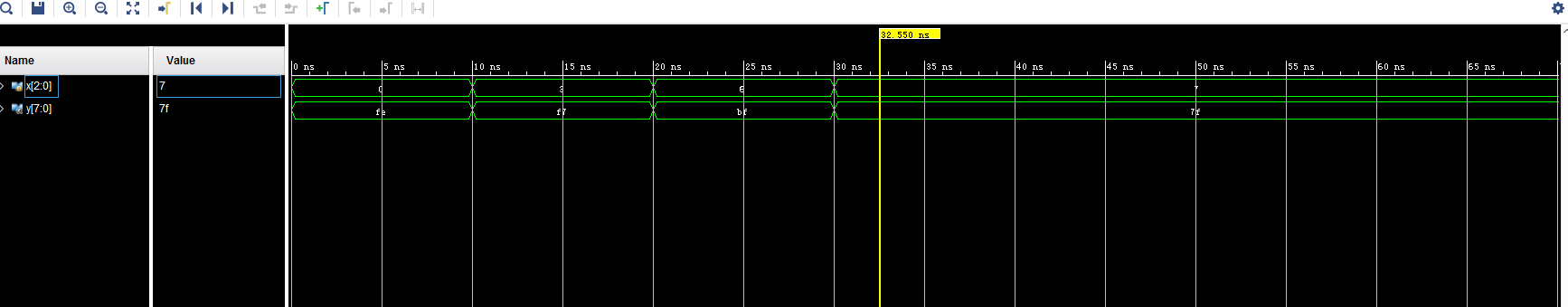
根据真值表的对应关系输入数字的输入对应位为1其余为0

**激励代码：**

X初值设为0，间隔一段时间执行+3，+3，+1.观察时序图结果

**RTL分析：**

**时序图：**

****

X初值为0，分别+3+3+1，为0，3，6，7。分别对应11111110，11110111，10111111，01111111均为对应位为0，其余为1。

**五、调试和心得体会**

在进行本次实验的过程中，我复习了Verilog语言和Vivado的使用方法。通过学习，

在实验内容方面，我首先设计和测试了基础门电路，包括多输入门电路和复用器。通过编写Verilog代码和使用Vivado进行仿真，我能够验证电路的正确性，并观察到输入和输出之间的对应关系。

接着，我设计和测试了基础功能模块，包括编码器和译码器。同样地，我使用Verilog代码和Vivado进行仿真，观察电路的输出是否符合预期。

通过本次实验，我加深了对基础组合逻辑电路的理解。我学会了如何设计和测试这些电路，并能够分析仿真波形和验证结果，确保电路的正确性。这对于我今后的学习和实践都非常有帮助。