实验二 时序逻辑设计

**一、实验目的**

1 掌握Verilog语言和Vivado、Logisim开发平台的使用；

2 掌握基础时序逻辑电路的设计和测试方法。

**二、实验内容（使用Logisim或Vivado实现）**

1 锁存器、触发器的设计与测试

2 寄存器、计数器的设计与测试

3 状态机的设计与测试

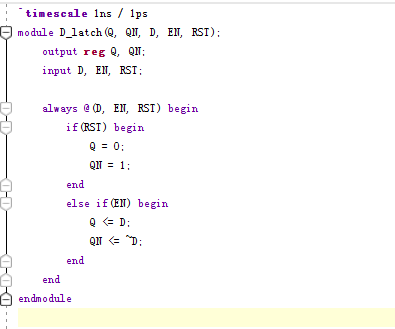
**三、实验要求**

1 掌握Vivado或Logisim开发工具的使用，掌握以上电路的设计和测试方法；

2 记录设计和调试过程（Verilog代码/电路图/表达式/真值表，Vivado仿真结果，Logisim验证结果等）；

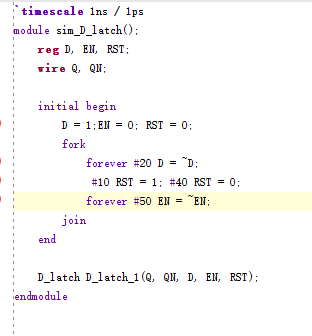
3 分析Vivado仿真波形/Logism验证结果，注重输入输出之间的对应关系。

**四、实验过程及分析**

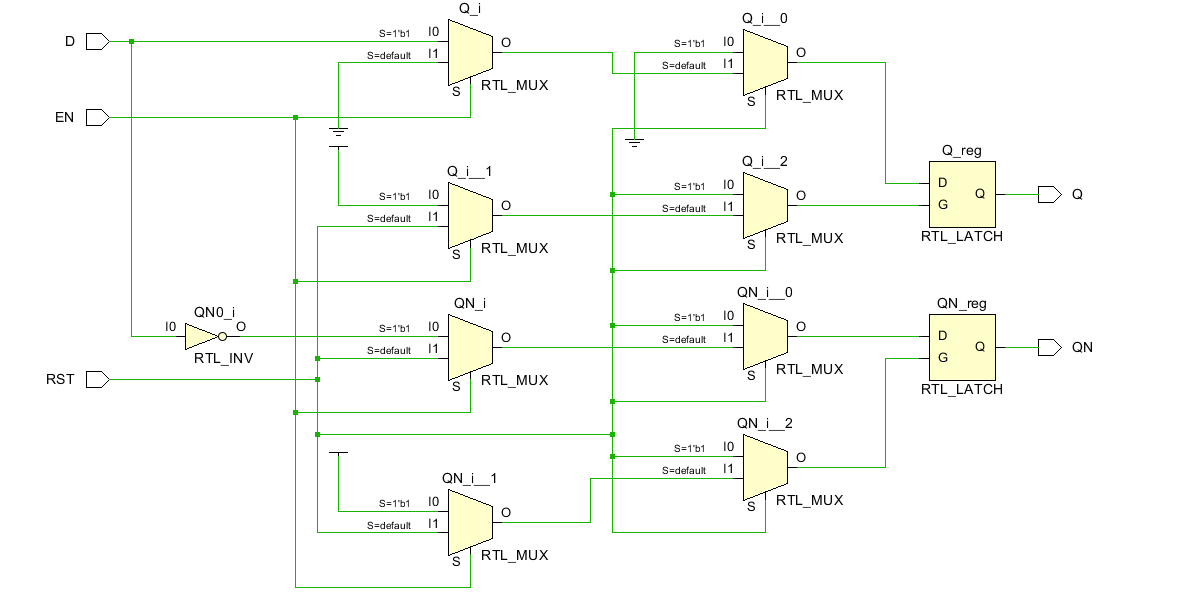
**1. 锁存器**

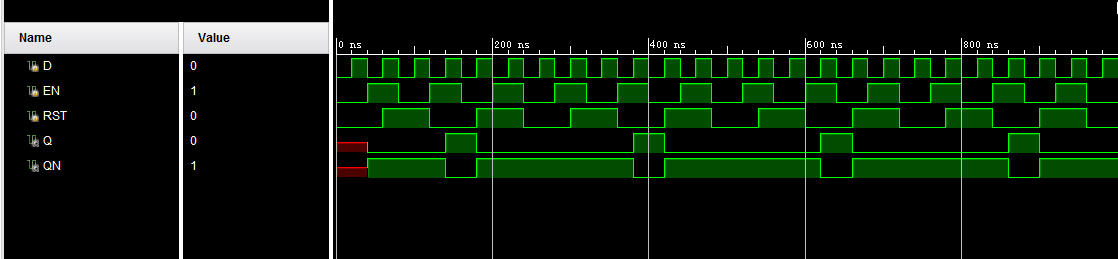
**1）设计代码** Q,QN是状态信号 ，D是激励信号。EN，RST是复位信号。其中复位信号优先，EN，RST，D发生变化时输出发生变化。

**2）仿真文件**

初始化D = 1，EN = 0， RST = 0，每隔20ns，D取反一次。每隔50ns，EN取反一次，取两个时间点使RST分别置1，0。

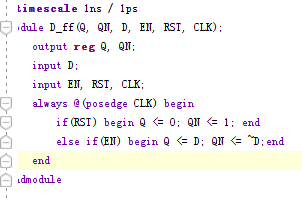
**3）RTL分析**

**** 由图中可以看出每一层多路选择器中RST将输出置为0，EN为使能控制信号。第一层RTL\_MUX处理RST，EN控制信号，第二层处理锁存器的时序逻辑Qn+1 = D。

** 4）时序图**

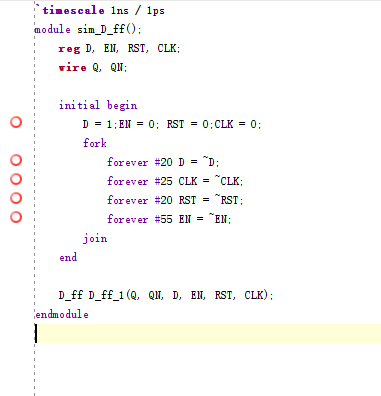
200ns时刻,D = 0,EN = 1（输出随时钟信号变化而变化）,RST = 1（复位信号使能优先），此时Q被复位为0。400ns时，D = 0，EN = 1 （输出随时钟信号变化而变化），RST = 0（复位信号不使能），此时Q = D = 1，验证正确。

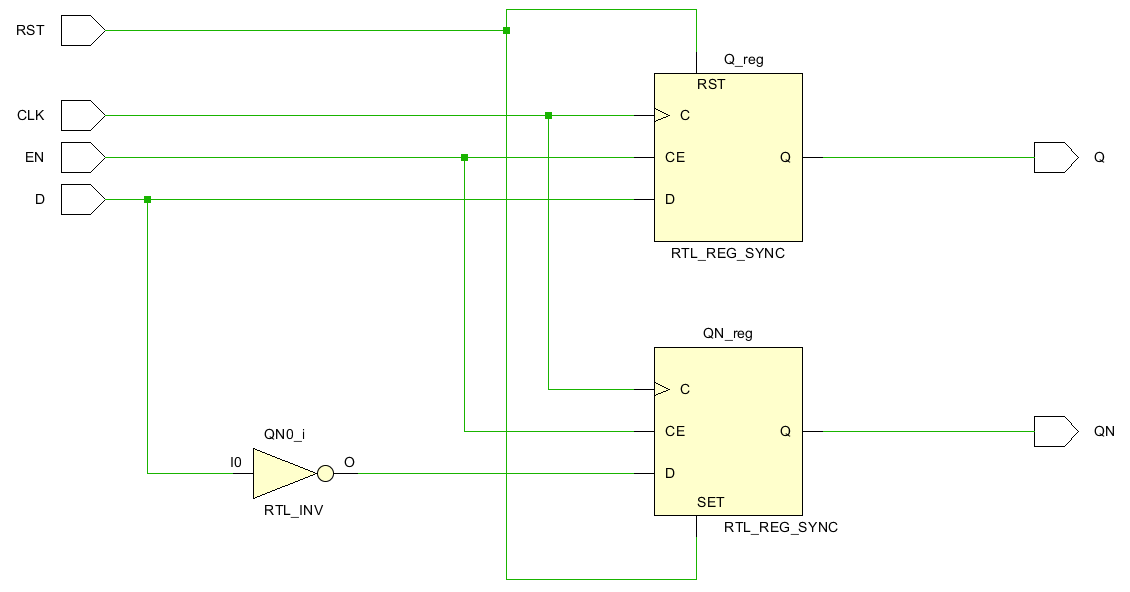
**2. D触发器**

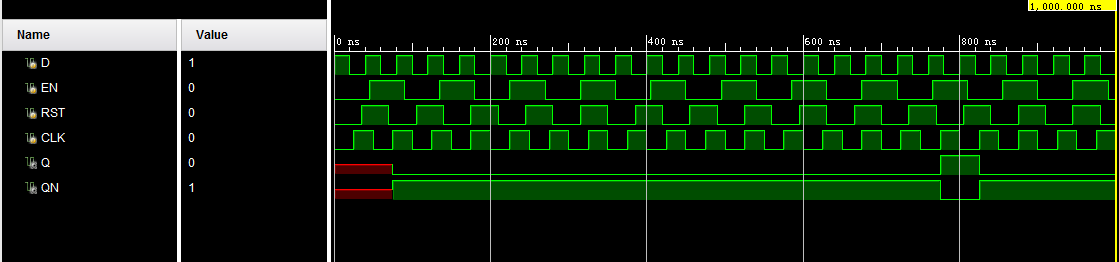
** 1）设计代码**

Q，QN是状态信号，D是激励信号，EN是使能信号，RST是复位信号，CLK是时钟信号。设计为边沿敏感，posedge上升沿，negedge下降沿。并且复位与CLK同步，同步复位。

**2）仿真文件**

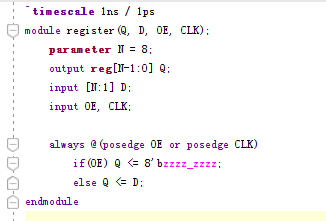
初始化 D =1 ，EN=0，RST =0，CLK=0，每隔一段时间使各个量取反。

**3）RTL分析**

** 4）时序图**

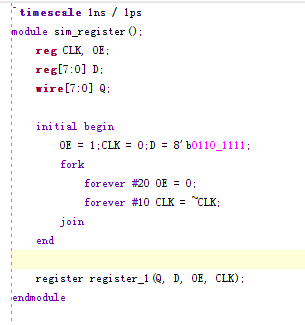
当200ns时，D = 1，EN =0（不使能），RST = 1（复位信号使能），CLK是下降沿，Q应为RST为1所以复位为0。当770ns，D= 1，EN = 1 ，RST 为0，CLK 为上升沿，D触发器在时钟上升沿时，将D值复制到Q，Q = 1。

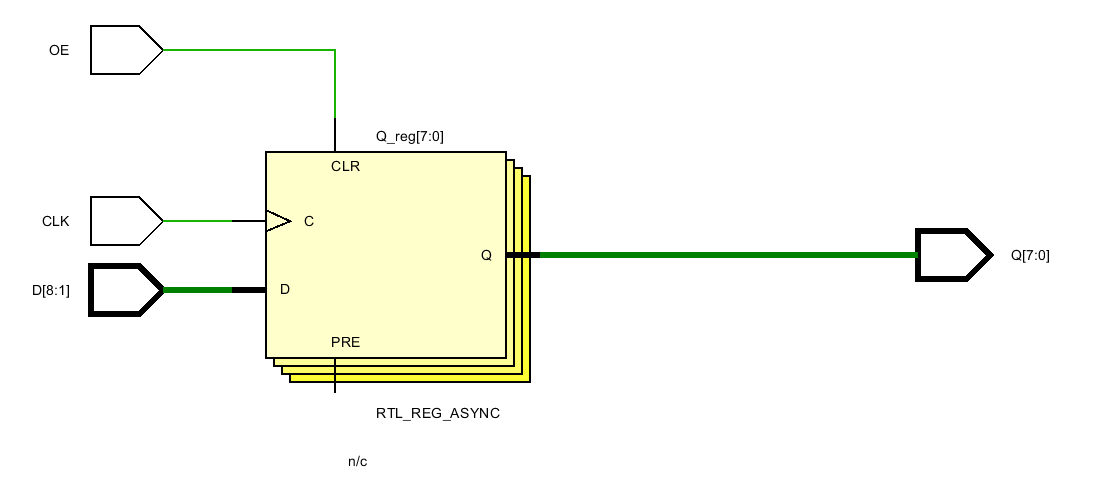
**3. 寄存器**

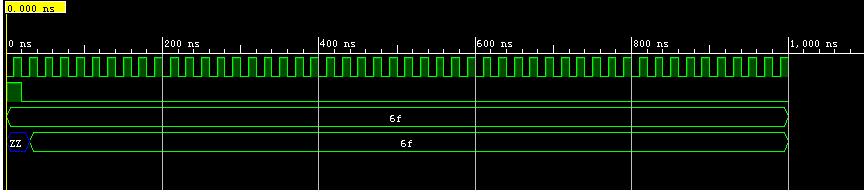
** 1）设计代码**

参数化位宽8，输出Q，OE为三态输出控制OE，时钟信号CLK。CLK，OE边沿敏感触发，若OE使能，输出高阻态，否则存入或读出数据。

**2）仿真文件**

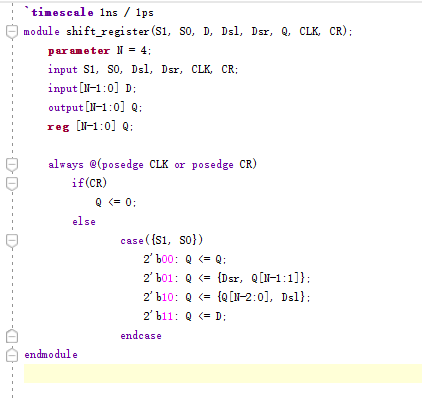
**** 初始化OE使能，CLK =0 ，D = 0110\_1111，隔20使能为0。并行执行每隔10CLK取反。

** 3）RTL分析**

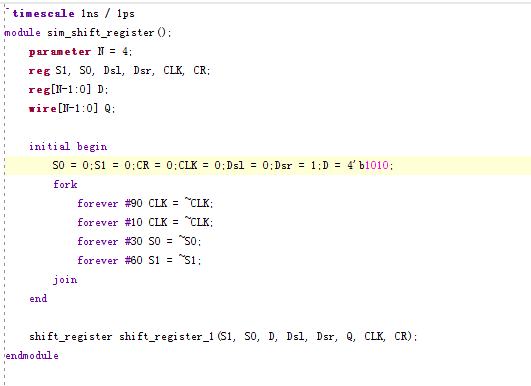
** 4）时序图**

Ons时OE为1，使能无效所以输出高阻态。200ns时，OE = 0，政策读写数据所以写入数据6F（0110\_1111）。

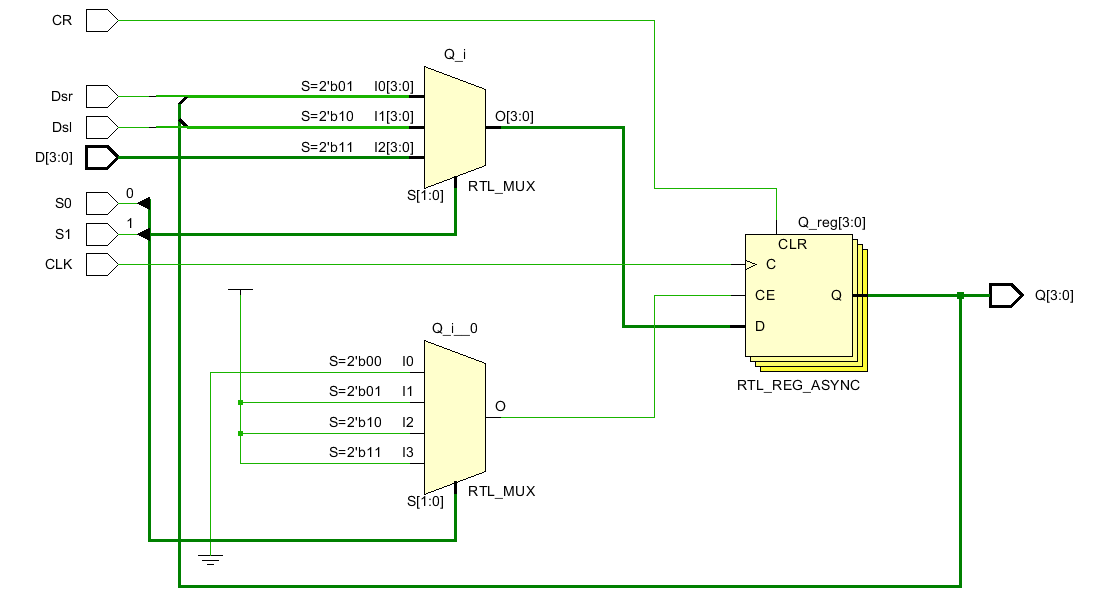
**4. 移位寄存器**

 **1）设计代码**

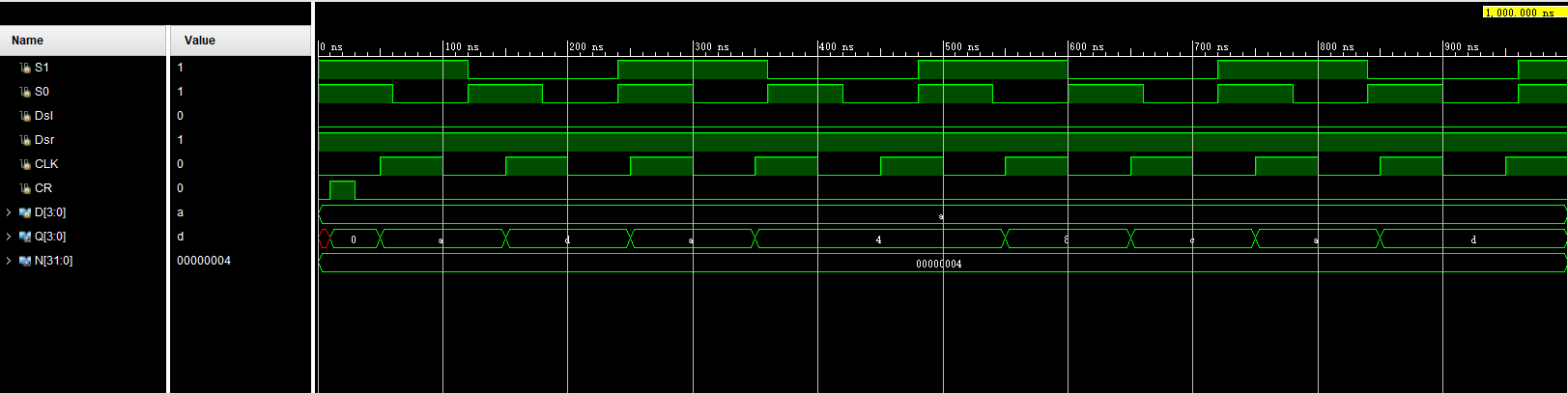
参数化位宽，CLK为时钟信号，CR为清零信号，Q为输出，D为并行置入端。Dsl，Dsr为串行输入端。Case根据S1，S0的值分别执行保持，左移，有意，并行输入的操作。

** 2）仿真文件**

初始化S0，S1，CR，CLK，Dsl为0，D = 1010,并行执行每隔100，CLK取反，每隔30，S0取反，每隔60，S1取反。

 **3）RTL分析**

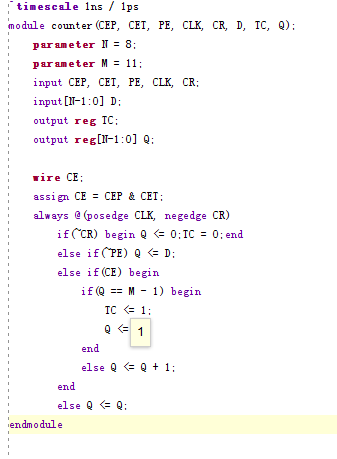
**4）时序**



有时序图中可以看出在150ns时值为1010（a）,Dsl = 0, Dsr = 1（右移高位为1）,S1 =0,S0 = 1(01对应右移)，1101对应d。

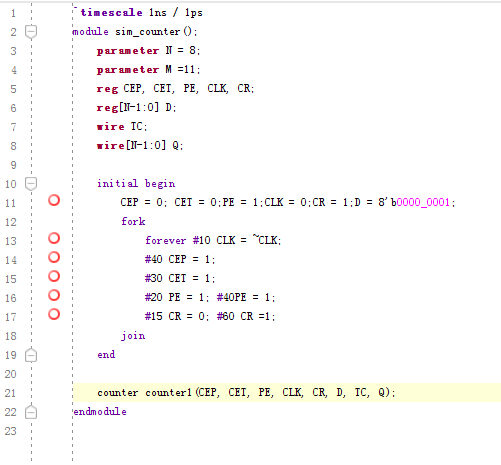
在350ns，,S1 =1,S0 = 0(10对应左移)，0100对应4，与移位寄存器对应。

**5．计数器 N(学号后2位)进制计数器**

 **1）设计代码**

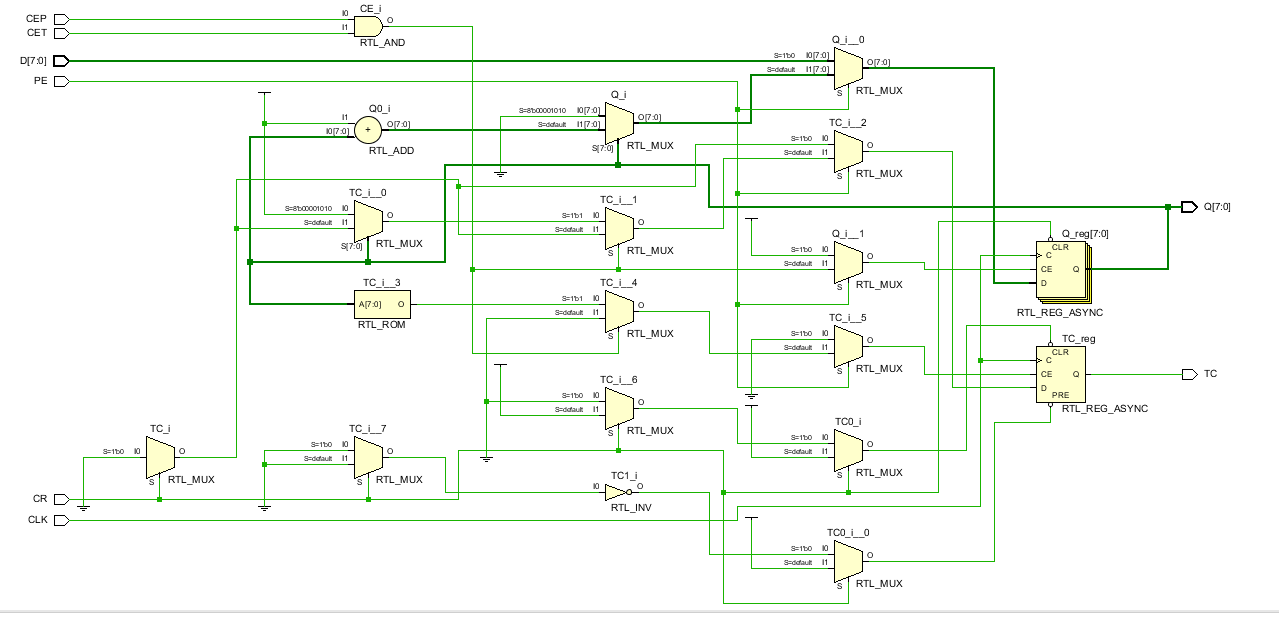
M为计数个数，TC为进位输出，CEP，CET，PE，CLK，PR为控制信号输入，CE = 1时，计数器计数，PE =0，同步装入输入数据，Q = 10（M-1）时，进位输出TC =1，否则Q循环计数。

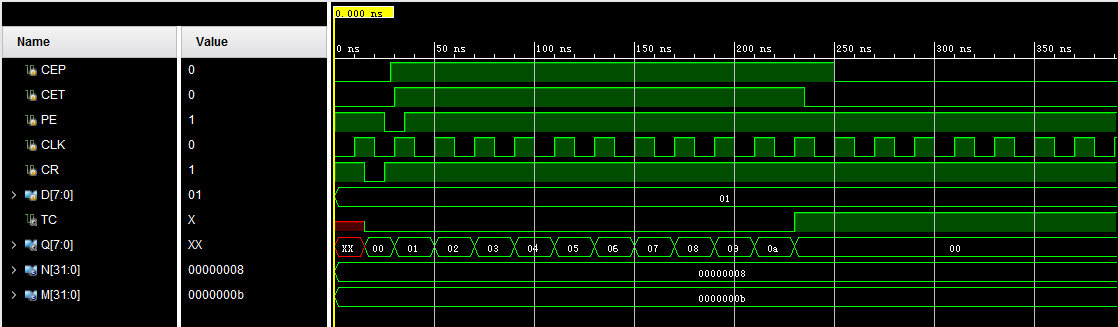
**2）仿真文件**

****

初始化CEP=0，CEI=0,PE=1,CLK =0,CR =1,D为0000\_0001。并行异步执行使能控制信号。CLK每隔10取反。

**3）RTL分析**

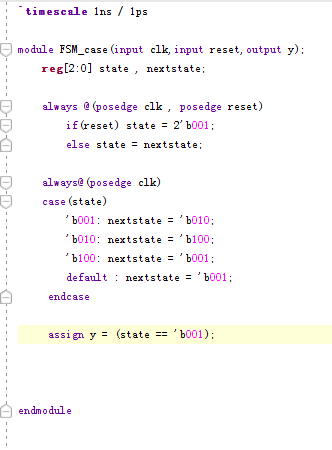
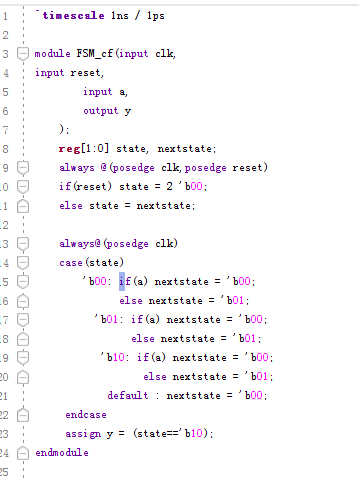


 **4）时序图**

当30ns时CEP和CET均为0，CE = 0 所以计数器不计数所以计数为00，当200ns，CEP和CET均为1，开始计数加1使Q为9。当250ns时计数超过0a(11),TC进位信号使能，Q重置为0。

**6. 状态机**

**1）设计代码**

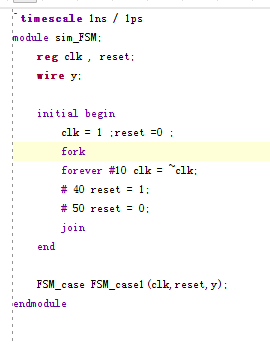
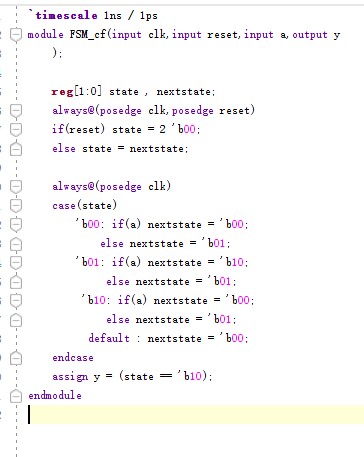


**图一**

**图二**

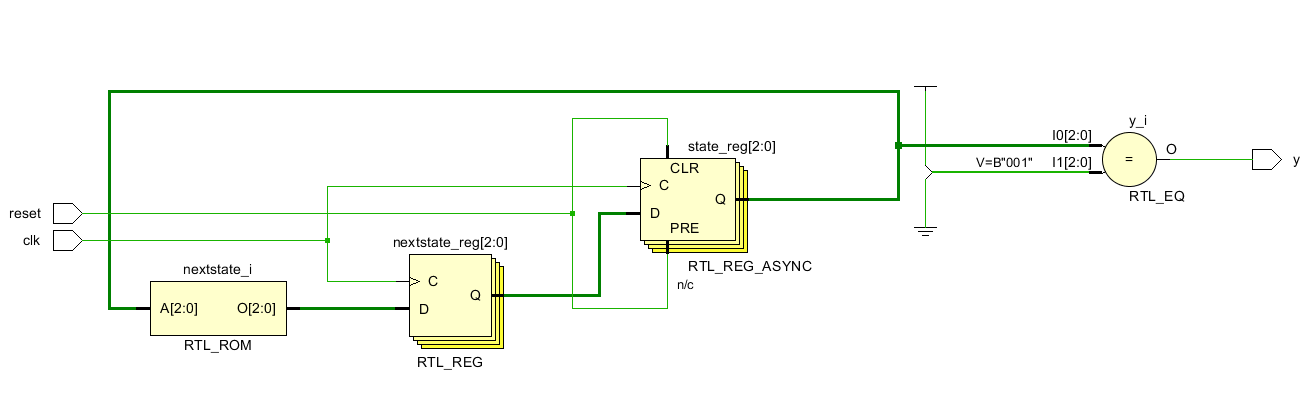
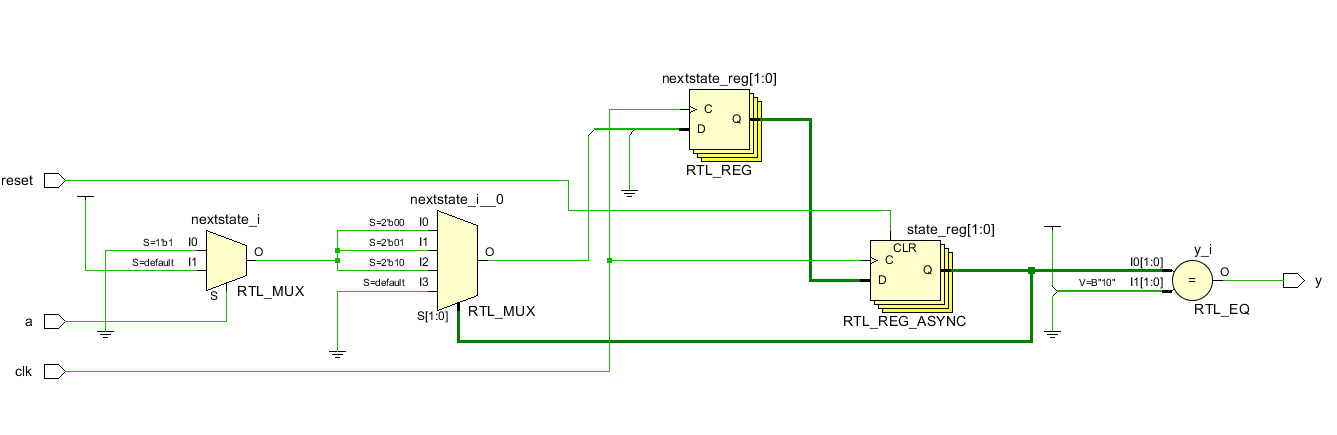
图一是3分频计数器。Case选择语句的三个状态对应三个次态，reset为复位信号。当完成一个循环回到001计数器输出y = 1。

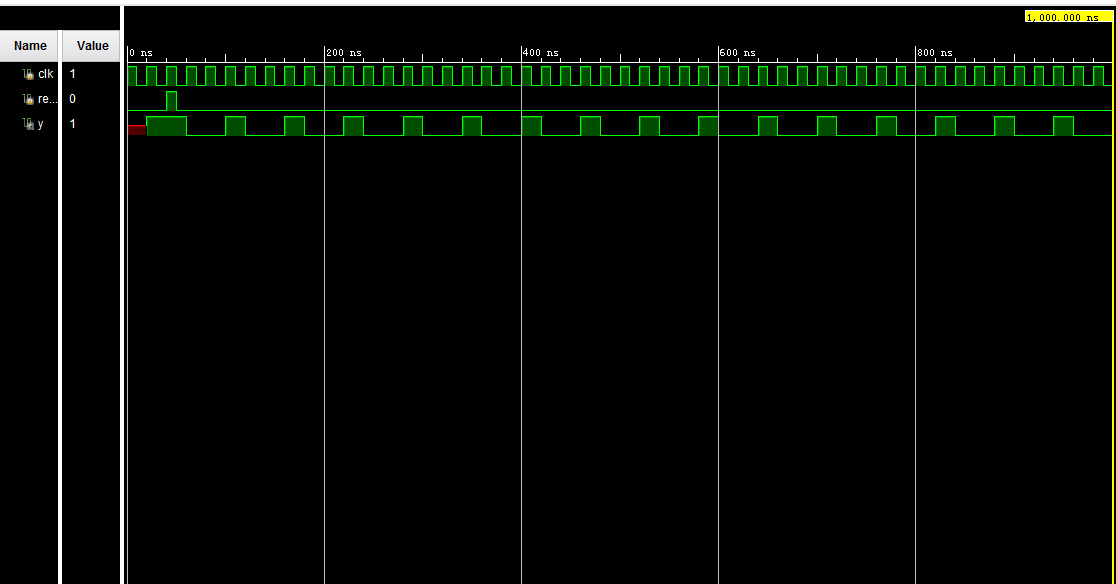
图二是检测2进制数序列(如10011101)中的10子序列，检测到10后输出1。Case选择语句的三个状态及输入a对应不同次态。reset为复位信号，当state为10时输出y=1。

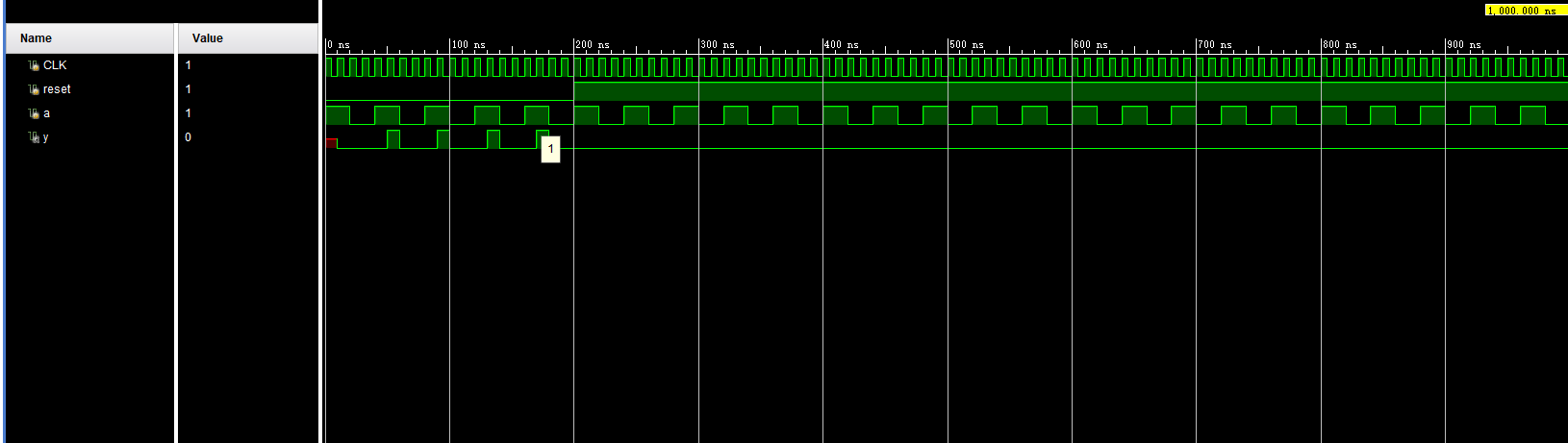
**2）仿真文件**

图一初始化clk =1，reset =0，并且每隔10clk取反。当40ns时reset为1，50ns时reset为0。

图二初始化clk为0，reset为0，a为1。并行执行每隔5nsclk取反一次，每隔20ns，a取反一次。200ns时reset = 1。

**3）RTL分析**

 **4）时序图**

由时序图中可以看出每隔3个时钟周期输出一次高电平，符合3分频计数器特征。

观察到a输出0再输出1后的一个时钟周期y输出1。

**五、调试和心得体会**

合适的仿真文件和波形对于观察各种情况和找到错误非常重要。在复习中熟悉了fork…join和begin…end的语法。其中begin…end表示串行执行，而fork…join表示并行执行，两者可以嵌套使用。

此外，还研究了case、if和assign等语句的用法和区别。这些语句在Verilog中有不同的作用和用法。通过对它们的学习和理解，可以更好地编写代码和调试程序。

总之，通过对仿真文件和波形的合适使用，以及对Verilog语法的熟悉和理解，可以帮助我们更好地观察和调试代码，提高开发效率。