实验三 算术逻辑单元设计

**一、实验目的**

1 掌握Verilog语言和Vivado、Logisim开发平台的使用；

2 掌握算术逻辑单元的设计和测试方法。

**二、实验内容**

1 运算模块的设计与测试

2 算术逻辑单元设计与测试

**三、实验要求**

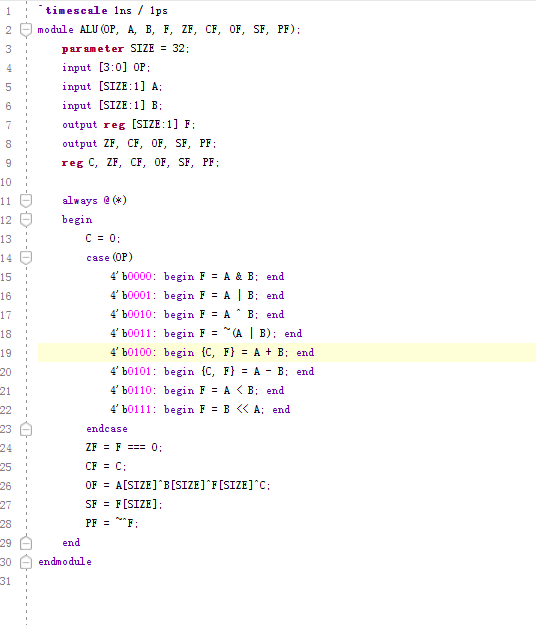
1 掌握Vivado或Logisim开发工具的使用，掌握以上电路的设计和测试方法；

2 记录设计和调试过程（Verilog代码/电路图/表达式/真值表，Vivado仿真结果，Logisim验证结果等）；

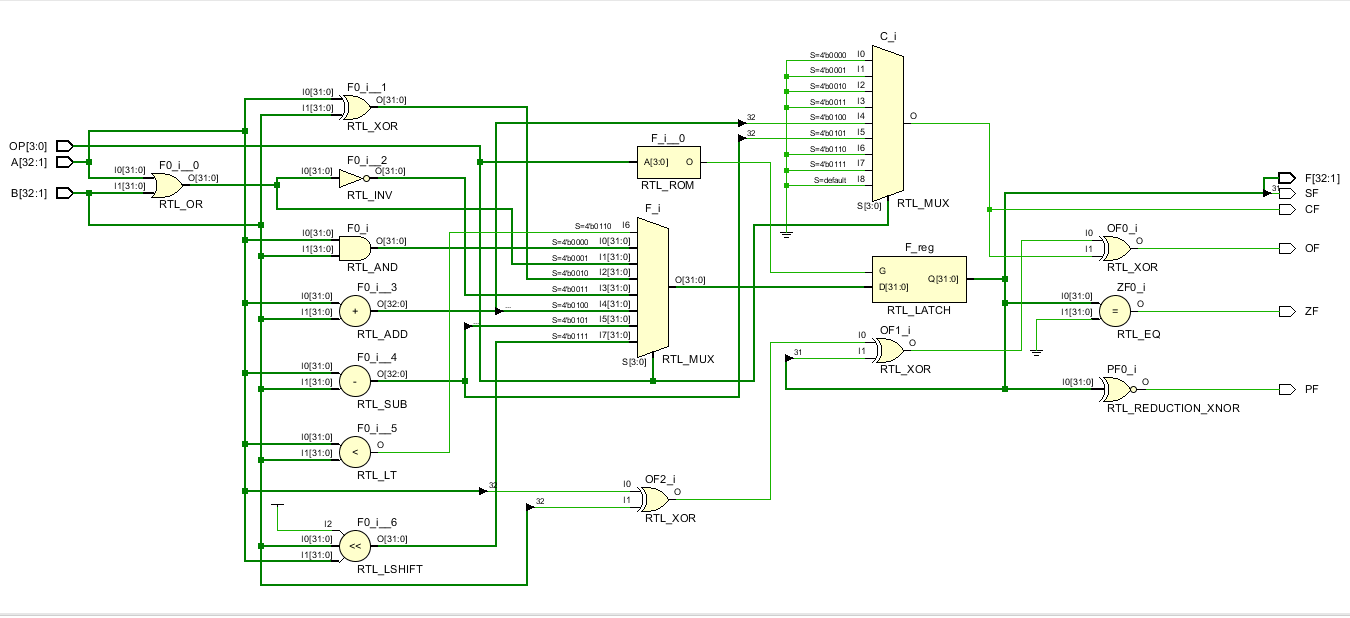
3 分析Vivado仿真波形/Logism验证结果，注重输入输出之间的对应关系。

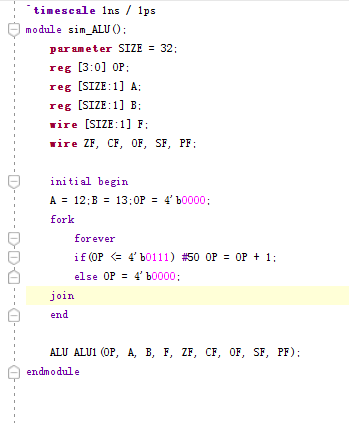
**四、实验过程及分析**

**1.算术逻辑单元（语句直接实现）**

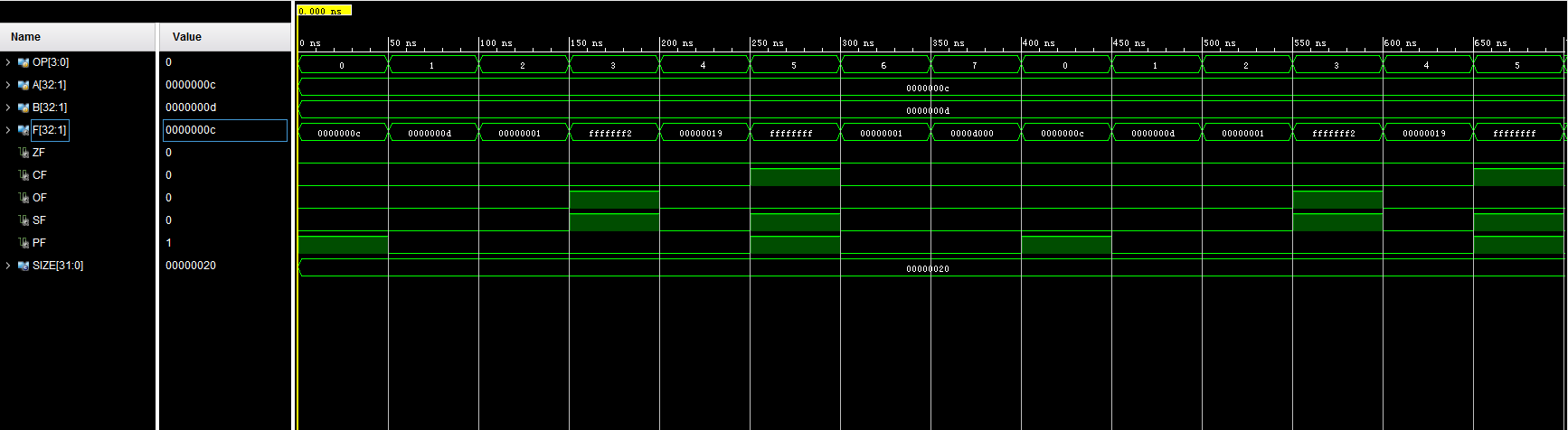
 **1.设计代码**

OP表示运算操作，ZF，CF，OF，SF，PF分别代表0标志位，进借位标志位，符号标志位，奇偶标志位。根据OP不同的值，对A，B执行不同的操作输出为F。

 **2.RTL图**

 **3.激励代码**

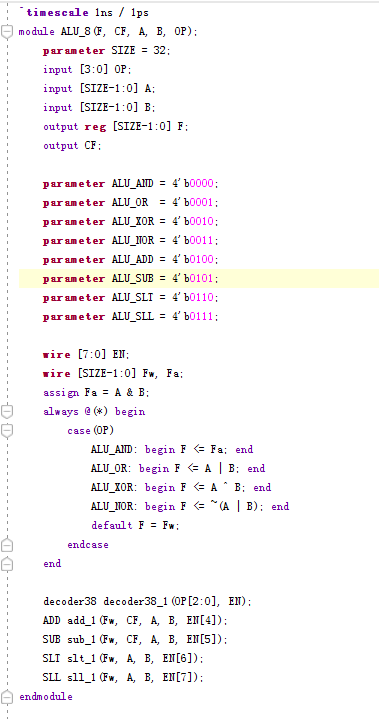
初始化输入参数A = 12，B=13，每隔50ns，使OP加1改变操作形式。

 **4.时序图**

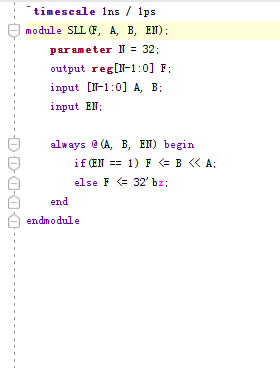
由图中可知，A = 12（1100），B = 13（1101），OP = 0时，执行按位与操作，结果为（1100）正确，当OP = 1时，执行按位或运算，结果为（1101）正确。当OP=3时执行按位或非操作，结果为（ffff\_fff2），发生溢出且最高位为1所以OF =1 ，SF=1，两个标志位为1。

**2. 算术逻辑单元（模块封装）**

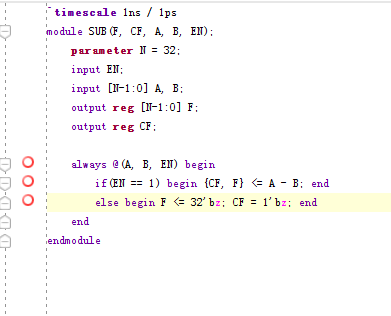
**1.设计代码**

 **1）ALU\_8**

通过模块封装将加减移位操作进行封装，通过EN使能信号进行选择进行哪种操作，当使能信号不作用时输出置为高阻态（z），不占用线路。

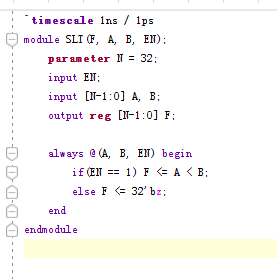
 **2）SLL**

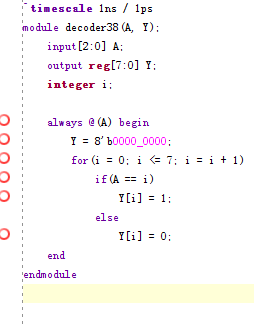
当使能信号为1，B按A的值进行左移。使能信号不作用时输出置为高阻态（z）。

 **3）SUB**

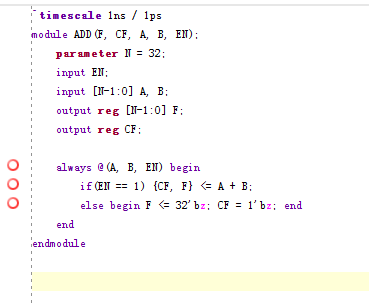
当使能信号为1执行A-B操作，且最高位赋给CF（表示）

**4）SLT**

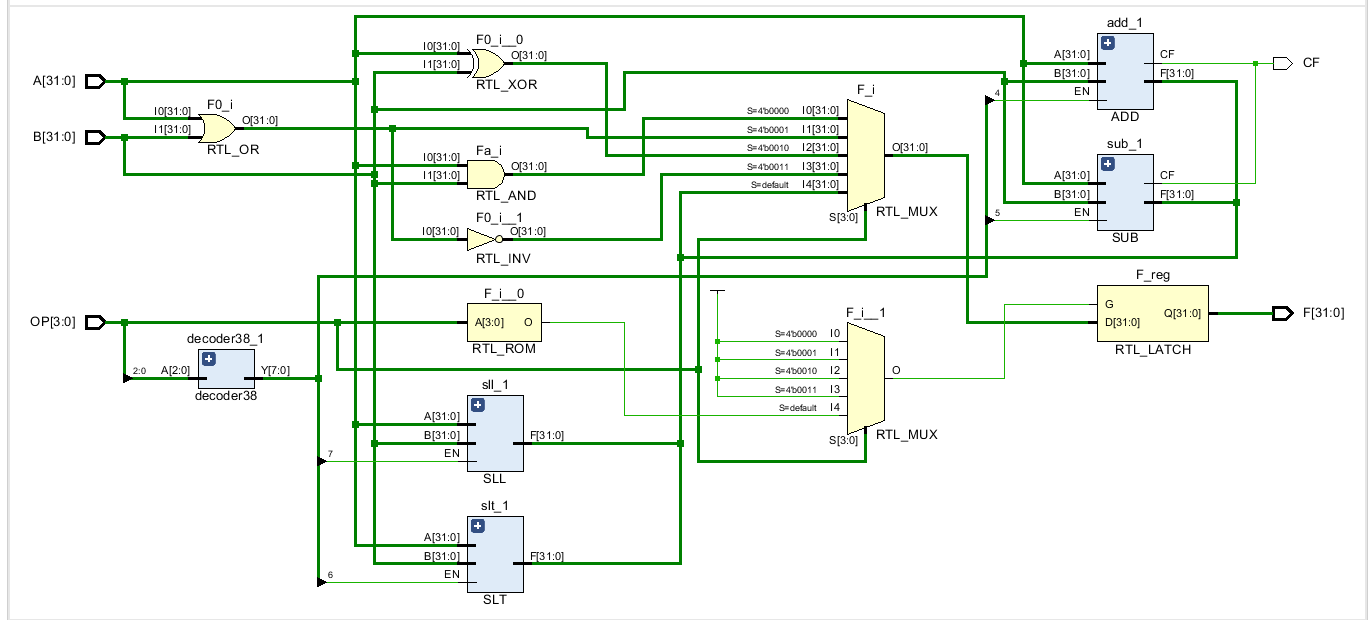
当使能有效时，若A<B输出为1。

 **5）decoder38**

初始化Y为全0序列，根据输入将对应位置为1再输出。对应使能信号的相应位置。

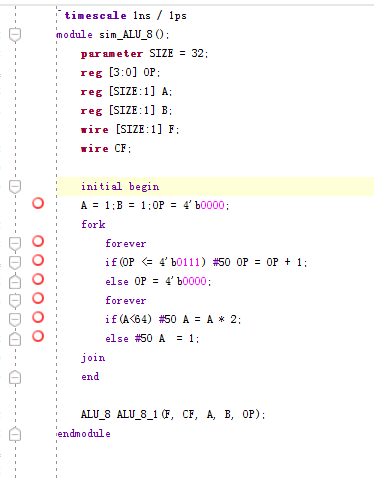
 **6）ADD**

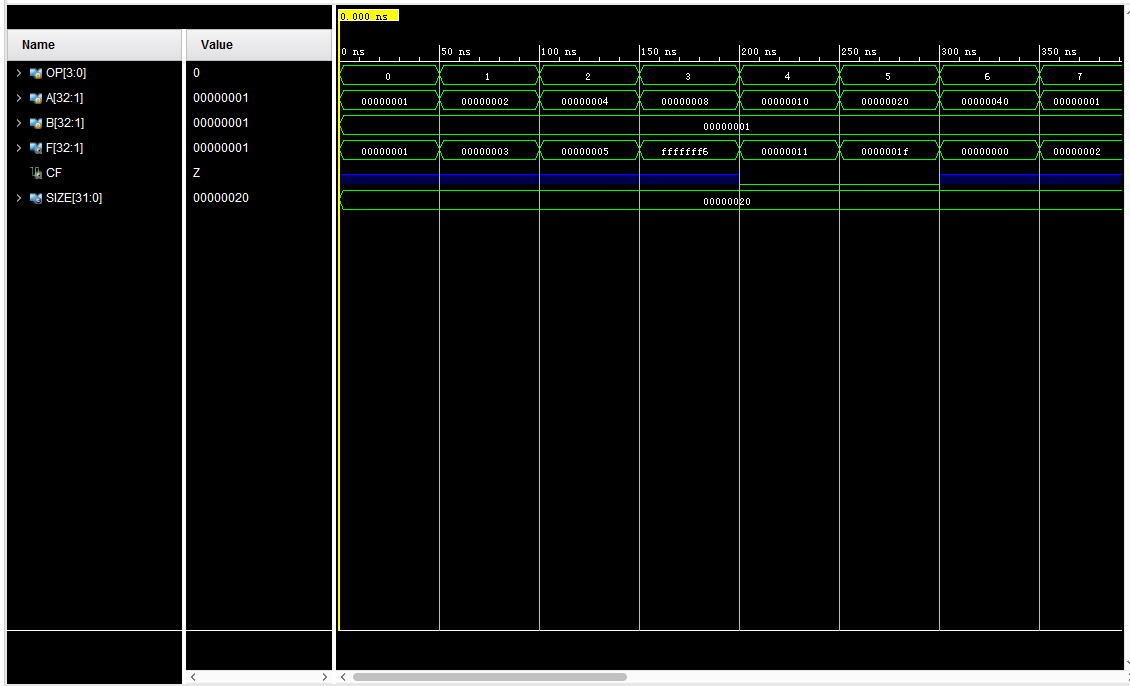
当使能信号为1执行A+B操作，且最高位赋给CF（表示）

 **2.RTL图**

由图中可知SUB，SLT，ADD，SLL，decoder38五个模块进行了对应的封装。

**3.激励代码**

初始化A =1 ，B =1，每隔50ns，A翻一倍，并且OP+1更换一种操作。

 **4.时序图**

由图中可知当执行非加减操作时，CF置为高阻态，A = 1（0001），B =1 （0001），OP = 0时，执行按位与操作，结果为（0001）正确，当OP = 1时，A = 2（0010），B =1 （0001），执行按位或运算，结果为（0011）正确。当OP=3，A = 8（1000），B =1 （0001），时执行按位或非操作，结果为（ffff\_fff6）。

**五、调试和心得体会**

本次实验主要掌握如何设计算术逻辑单元和如何进行模块分装。在设计ALU\_8的过程中我认识到当同时有多路输出时，多路数据汇聚到一条总线，容易发生数据冲突，如何通过设计时输出不互相占用线路保证单元的正常运行 。并且尝试了几种描述方式来设计算术逻辑单元设计。