实验五 数据通路与控制单元设计

**一、实验目的**

1 掌握Verilog语言和Vivado、Logisim开发平台的使用；

2 掌握数据通路与控制单元的设计和测试方法。

**二、实验内容**

1 数据通路的设计；

2 控制单元的设计。

**三、实验要求**

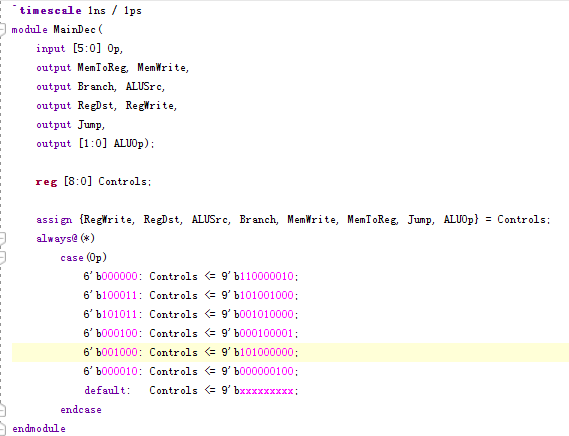
1 掌握Vivado或Logisim开发工具的使用，掌握以上电路的设计和测试方法；

2 记录设计和调试过程（Verilog代码/电路图/表达式/真值表，Vivado仿真结果，Logisim验证结果等）；

3 分析Vivado仿真波形/Logism验证结果，注重输入输出之间的对应关系。

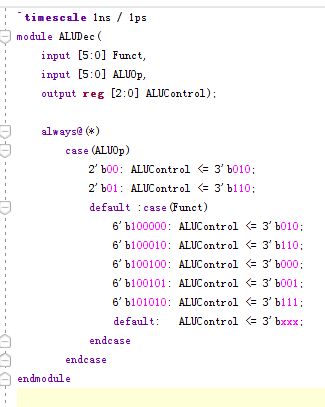
**四、实验过程及分析**

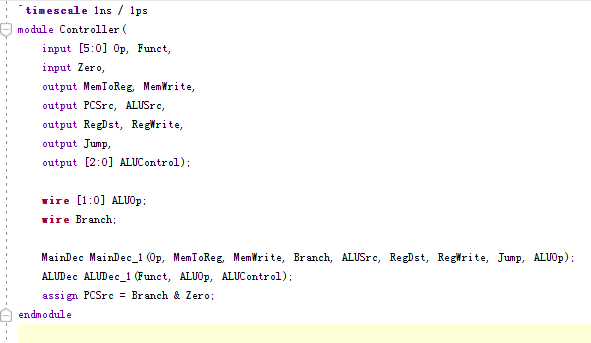
**1.实现代码**

 主译码器

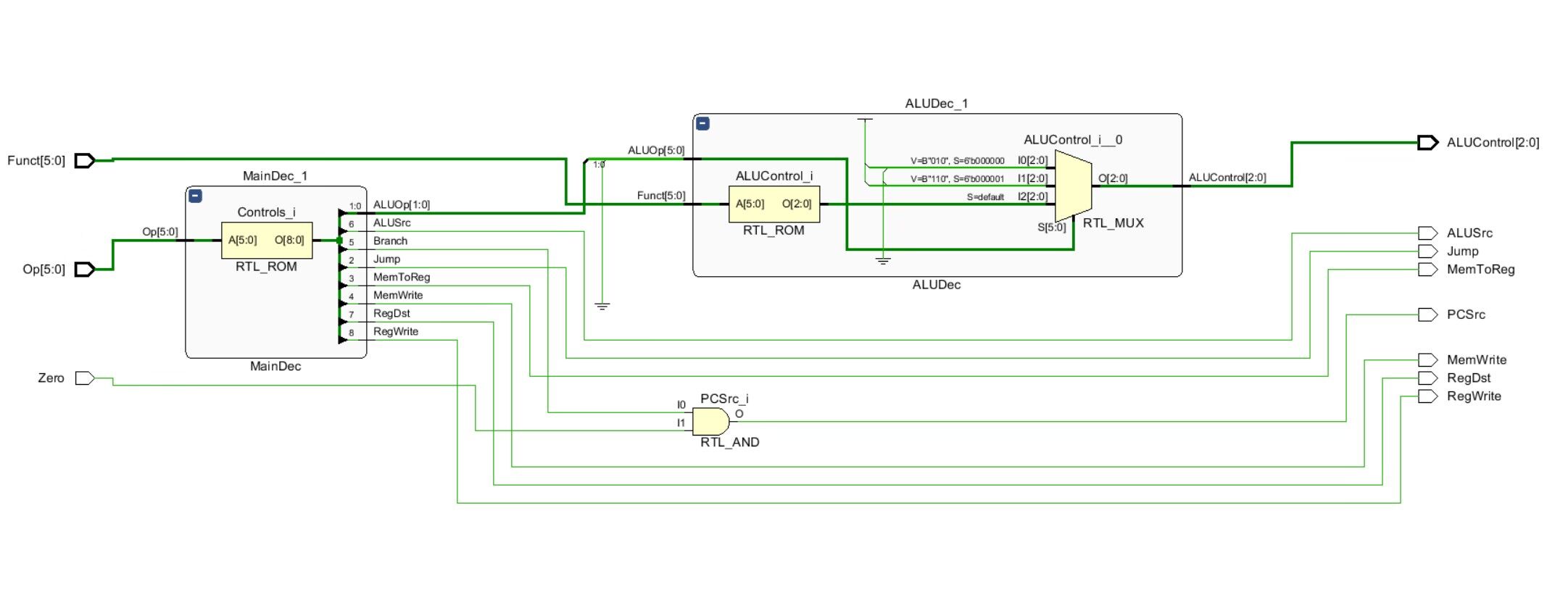
9位主译码器信号对应8类寄存器操作，根据6位输入信号Op确定。其中ALUOp信号占2位，表示传递给ALU模块的信号。

ALU译码器

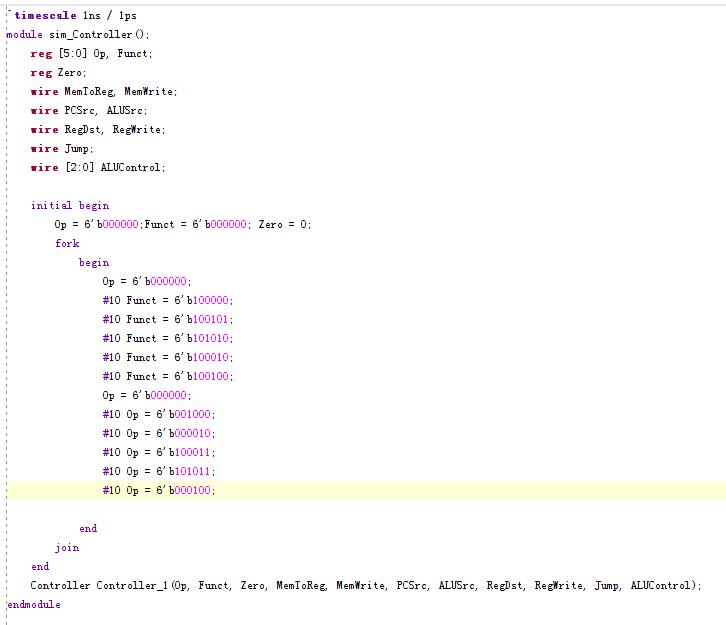
根据主译码器产生的输出信号ALUOp选择不同操作。当信号为10时对应寄存器模式操作，此时由6位Funct信号确定具体操作。

控制单元

控制器中通过输入信号在主译码器产生对应的寄存器操作，然后将ALUOp输入到ALU译码器中。

**2.RTL分析**

由RTL分析图中，我们可以看出根据输入Op主译码器产生对应的操作码，当需要进行ALU操作时，通过将输出信号ALUOp输入给ALU译码器和输入Func信号输出合适的ALUControl信号。

**3.激励代码**

初始化Op为000000表示进入寄存器模式，对应的汇编指令为R类型指令，改变Funct的值，Funct的不同值分别对应了不同的汇编代码。再改变Op的值对应不同的汇编指令。

**4.时序图**

当Op为0时，对应指令为寄存器类型，故寄存器相关的RegDst和RegWrite均为1其余均为0，Funct的不同值分别对应了不同的指令。当Op不为零时输出信号与下面的真值表对应。当Op为001000（08），时序图中ALUSrc为1，RegWrite为1，与真值表相吻合。

****

**五、调试和心得体会**

学习了数据通路和控制单元的设计方法，并通过verilog仿真理解了各类指令的实现过程以及指令集（汇编语言）的基本语法。在设计MIPS处理器的过程中掌握数据通路的设计方法，对处理器的各模块有了基本的了解并且在之前的学习中掌握了各模块的实现方法。