

# 浙江大学

## 硕士学位论文



论文题目 网络摄像机硬件平台的设计与研究

作者姓名 蔡 荣

指导教师 唐 慧 明

学科(专业) 信息与通信工程

所在学院 信 息 学 院

提交日期 2006 年 02 月

## 摘 要

网络摄像机是新一代的视频监控设备，目前有两种常用的网络摄像机体系结构：基于专用集成电路加微处理器和基于 DSP 的体系。前者采用视频编码 ASIC（专用集成电路）芯片，外加一个 MPU（微处理器）设计系统，设计较简单，但其中的视频压缩算法不可以更新。后者可由多媒体处理器（专为多媒体处理设计的 DSP）来实现，结构灵活，且易于升级和更新视频压缩算法。本文主要研究基于可多媒体处理器的网络摄像机设计方法。

论文围绕着基于多媒体处理器的网络摄像机系统设计，分为三个部分。第一部分介绍了当今实现网络摄像机系统的主要方法和应用，概述了网络摄像机系统设计的一般方法，详细描述了基于 TMS320DM642 的网络摄像机系统的结构。

第二部分重点讨论了网络摄像机系统各个功能模块的设计，包括电源模块、启动配置模块、SDRAM 与 Flash 存储模块、CPLD 逻辑控制模块、视频采集模块、音频传输模块和以太网及 RS-485 通信模块等。同时也就高速电子线路设计的关键技术做了理论和实际应用的深入讨论。

第三部分讨论了网络摄像机系统中板级支持软件的设计方法，包括硬件驱动程序，CMOS 图像传感器彩色恢复算法、自动白平衡和  $\gamma$  校正技术，并就算法在 TMS320DM642 上的实现做了讨论。

论文采用了基于多媒体处理器的系统设计方法，缩短了产品设计周期；网络摄像机系统采用模块化设计，结构紧凑，既方便了安装和调试，又节约了成本；利用可编程的多媒体处理器来完成摄像机的不同功能模块，增加了系统的灵活性和适应能力。

### 关键词：

视频监控；网络摄像机；多媒体处理器；CMOS 图像传感器；板级支持软件

## Abstract

IP camera is new generation equipment for visual surveillance. There are two normal kinds of architecture for IP camera system: ASIC+MCU based and DSP based system. The former is made up of an ASIC (Application Specific Integrated Circuit) within video encoder, and a MPU (Microprocessor Unit). It is easy to design, but the video compression algorithm is not able to update. The later can be implemented by a multi-media processor (a DSP designed for multi-media processing). It is more flexible and easy to update the algorithm. The programmable design method using multi-media processor is focused on in this paper.

Around the IP camera system design based on multi-media processor, the paper is divided into three parts. In the first part, we introduce the implementation and the application of IP camera in nowadays, and summarize the normal methods of IP camera system design. We also detailedly describe the architecture of the TMS320DM642 based system.

Secondly, we discuss all the function modules of the camera, including power module, start up configuration module, SDRAM and Flash memory module, CPLD logical control module, video capture module, audio transmission module, Ethernet and RS-485 communication module. We also discuss the key technology in high speed PCB design in theory and actual application.

In the third part, we expound the means of board supporting software for IP camera, including the driver for hardware, the interpolation method of color in the image captured by CMOS image sensor, auto white balance and  $\gamma$  regulation algorithm. We also discuss the implementation of these algorithms to DM642.

The paper adopts a system design approach based on multi-media processor, and therefore the design time is shortened. We use modularized design, so the architecture is reduced, and it is convenient for fix and debugging. The IP camera uses programmable multi-processor for implementing different function module to enhance the flexibility of system.

### Key word:

Visual surveillance; IP camera; Multi-media processor; CMOS Image Sensor; Board support software

# 第一章 引言

## 1.1 数字监控系统

### 1.1.1 数字监控系统的需求分析

当前,随着电力、电信等行业工业自动化程度的提高,人们生活质量的提高,交通、公安等部门现代化管理的发展,国内视频监控市场容量迅速扩张。

在电力系统,各省、市、县电力局正加快变电所无人值班自动化管理的改造,传统的“遥控、遥调、遥测、遥信”功能已经满足不了现代化变电所的发展要求,国家电力公司已正式将遥视(视频监控)作为电力系统自动化的第五遥,为安全运行提供保障。

交通部门也在积极推广现代化智能交通管理,通过视频监控系统,管理人员可及时了解整个城市的交通情况,及时了解高速公路车流、事故等状况,从而进行合理的调度,极大地提高交通管理的效率,对交通事故进行有效控制。

公安部门通过治安动态视频监控系统的建设,将“打、控、防”结合在一起,不仅能够直观了解现场,有效地防范和侦破案件,提高制止犯罪、打击犯罪的能力,提高处置群体性、突发性事件的能力,而且对犯罪分子具有威慑作用,有利于净化环境、社会稳定。

另外,为满足现代化管理的要求,电信、银行等许多场所都实现了无人值守,都需要远程视频监控,许多行业,如海关、社区、厂矿企业等部门和单位,对远程视频监控均有强烈的需求<sup>[2]</sup>。

### 1.1.2 监控系统的发展

#### 1. 模拟监控系统

在当前广泛使用的监控系统中,采用模拟技术的电视监控依然占有很大的份额。这种系统将现场的信息采用模拟信号进行传输和监控,存在着很多弊端:

- (1) 由于采用了标准电视制式的模拟摄像头,图像分辨率较低;
- (2) 模拟信号易受干扰,以致监控图像质量不好;
- (3) 模拟信号占用通信线路带宽较大,而且开放性较差;
- (4) 模拟信号传输距离有限且无法联网,仅局限于同一建筑物或工厂内;
- (5) 维护管理复杂,没有良好的用户操作界面,非专业人员很难正常操作;
- (6) 每个监控中心都需配置一套监控设备,而且信息存储是利用录像带、磁带等设备,这些存储设备成本高、容量十分有限,而且只能顺序检索,这使得查询

取证十分繁琐。

## 2. 数字监控系统

随着计算机中央处理器 CPU 计算能力的提升和数字视频压缩编解码技术的日渐成熟,九十年代中期压缩技术开始应用于监控系统中,数字视频监控系统应运而生。数字视频监控系统(也称为数字图像监控系统)是一个集多媒体信息的综合性、计算机的交互性、通信的分布性和监控的实时性等技术于一体的综合系统。系统能实时地把多个被监控对象的多媒体信息同时传输给位于不同地点的多个监控者,同时身处异地的各个监控者也可主动地通过控制摄像机等设备,获取被监控对象的多媒体信息。

数字视频监控系统离不开摄像机和图像编解码设备。数字视频监控的关键技术是视频编码及传输,限于技术条件,目前许多数字视频监控系统仍采用 CIF (352\*288) 格式,图像分辨率较低,图像质量与 VCD 相当;部分系统已采用 4CIF (704\*576) 或 D1 (720\*576) 格式,图像质量与 DVD 相当。但对于实际应用中,往往希望能有更高的分辨率。比如,对于一个停车场的视频监控,希望能清晰监视车辆和相关人物乃至分辨车牌,假若监控系统的图像分辨率较低,则一台摄像机只能监视一个较小的区域,对整个停车场须有多个摄像机;又如,对于治安和交通监控,则希望能尽可能扩大有效监视范围,但安装一个摄像机需要较多的通信线路和设备投入,因此摄像机的选择和安装变得很重要。如果采用高分辨率的视频监控系统,则能大大扩展清晰监视的视野,提高信道和设备的利用率,减少摄像机及相关设备数量,减少投资。相对于模拟的电视监控系统来说,它具有如下优点:

- (1) 利用计算机资源实现本地信号采集并可实现远程网络传输,通信距离长、抗干扰能力强;
- (2) 数字化存储成为可能,经过压缩的视频数据可直接存储在计算机磁盘上,既能提高存储图像的清晰度又能够快速检索到所存储的图像,而且存储容量也得到了极大提高;
- (3) 磁盘录像使故障率大大降低,克服了视频录像带易遭破坏或磨损的缺陷;
- (4) 界面友好,以计算机为核心,采用标准的 Windows 图形用户界面,交互容易,操作简便,图像可直接显示在高清晰度的计算机显示器上<sup>[4]</sup>。

## 3. 新一代数字监控设备——网络摄像机

在许多实际应用中,如高速公路、港口等空旷区域,单台独立的 PC 机无法适应现场的环境,而且系统的稳定性和可靠性都不够。正是这一缺陷催生了基于网络摄像机的视频监控系统的研发。新一代网络摄像机将高清晰度的图像传感

器、视频压缩编码器和网络转换器集成于一体，将图像转换为基于 TCP/IP 网络协议的数据包，使摄像机所摄取的画面通过 10/100Mbps 以太网接口直接传送到 Internet 网络上，用户通过网络即可远端监视画面<sup>[1]</sup>。使用网络摄像机可为监控系统的开发和使用带来以下优越性：

(1) 监控现场即可实现视频数据数字化和网络化，可直接利用已有的计算机网络综合布线传输图像，并进行实时监控。采用了以太网供电 PoE 技术后，通过网线即可实现网络摄像机的供电，从而方便了安装。

(2) 性能价格比高。系统所需设备极其简单，系统的控制全由后端的软件系统实现，省去了传统监控系统中的大量设备，如昂贵的视频矩阵、画面分割器、视频切换器、网络服务器的主机等。由于图像的传输通过综合布线网络，省去了大量的视频同轴电缆，降低了费用；

(3) 适应监控现场的能力强。设备可靠性、稳定性好，能做到无人值守和远程设置，实现基于网络的集中管理；

(4) 扩展和延伸性好。当需要增加监控点时，只需要通过现有网络增加一台网络摄像机即可，而不需要对现有的布线系统做任何改动。

数字网络摄像机的工作方式可有多种。一种最简单的方式是将网络摄像机接入局域网或广域网，网络上的计算机则通过用户认证后就可作为监控系统的客户端，可通过 Web 浏览器、也可通过专用软件进行监控，还可根据需要同步监控多台数字网络摄像机。多个用户也可同时监控同一台网络摄像机，如图 1-1 所示。

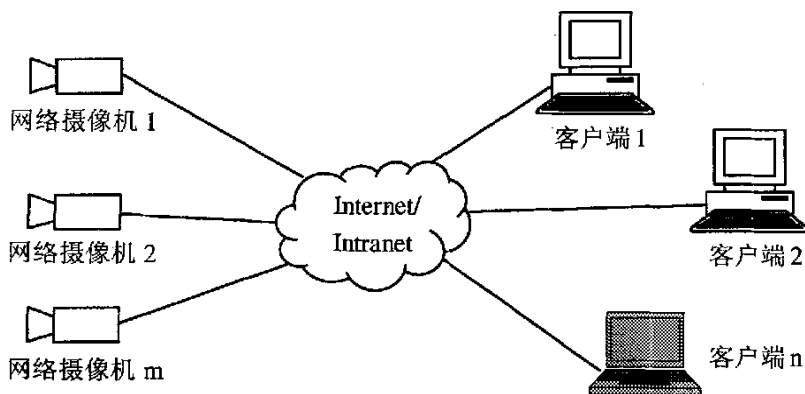


图 1-1 网络摄像机的一种简单应用方式<sup>[2]</sup>

但是，如果客户端较多，则这样简单的系统可能会引起混乱。比如，若前端摄像机是可控制的，不同的用户同时试图控制同一个摄像机时，会引起控制冲突；又如，许多用户同时使用时，可能会引起网络拥挤，影响网络的正常工作。为解决这类问题，可在系统中加入一台管理服务器，对各网络摄像机、视频服务器、

在线终端和用户权限等进行协调和管理。如果希望能进行实时数字录像,则可根据需要设置一台或多台网络录像服务器,它可记录来自网络的视音频数据,如图 1-2 所示<sup>[2]</sup>。

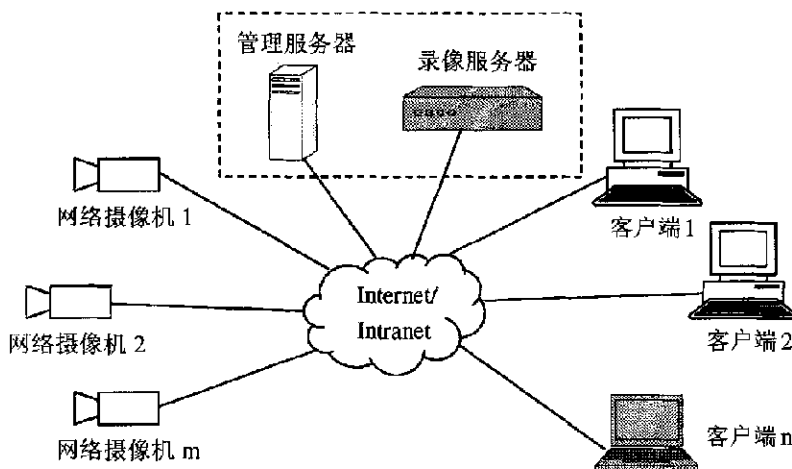


图 1-2 网络摄像机的另一种应用方式<sup>[2]</sup>

## 1.2 网络摄像机系统的设计和研究

### 1.2.1 网络摄像机的系统要求

网络摄像机的核心技术在于其高性能的视频编码器,可以完成 H.264、AVS 等先进算法的实时压缩编码。因此,网络摄像机系统的设计重点侧重于建立一个可靠、实用且高效的嵌入式计算平台,为编码器提供硬件支持。在系统设计时应从设计原则、工作环境、应用要求、速度、灵活性等方面考虑。

(1) 网络摄像机的系统设计应该做到可行、先进和实用。为此,摄像机的硬件应该选择市场上成熟的先进芯片,并应该采用成熟而又先进的国际通用视频压缩标准(如 H.264, AVS 和 MPEG-4)。设计方案应简单、合理,充分调研多种用户需求。

(2) 网络摄像机的可靠性要求高,能够适应不同的工作环境。由于某些工作环境比较恶劣,如高速公路或港口,工作温度为 $\pm 30^{\circ}\text{C}$ 左右,因此编码器应功耗低、体积小、重量轻、耐低、高温并有一定抗振动冲击能力。

(3) 网络摄像机应能够适应图像大小不同的要求,如一般视频监控应用时,达到 D1 (720\*576) 甚至更低分辨率的彩色图像已经可以满足要求,而某些高清晰度的视频监控应用则要求 200 万像素甚至 300 万像素的分辨率。度的视频监控应用则要求 200 万像素甚至 300 万像素的分辨率。

(4) 网络摄像机的编码器应有良好的灵活性。压缩算法发展迅速,先后出现了各种压缩标准,如 MPEG1/2/4,H.26x 和 JPEG2000 等,因此编码器应该易于新算法的升级或变更。

(5) 网络摄像机系统自身应有较强的可扩展性。如在对视频数据压缩后可方便地增加加密功能。

(6) 网络摄像机系统应便于形成不同性能的系列化产品,包括硬件和压缩算法两方面<sup>[5]</sup>。

## 1.2.2 几种网络摄像机实现方案的比较

多媒体标准 H.264、AVS、MPEG-4 等都包含了对复杂的媒体处理任务实时执行的要求,这些都使得传统的处理器难以满足现代多媒体处理的要求。随着半导体技术的飞速发展,针对各种多媒体处理技术,产生了各种各样的可以实时处理多媒体信息的处理芯片。多媒体处理芯片应用了许多新的技术以增强多媒体信息处理能力,如高性能的数字信号处理器(DSP)芯片采用哈佛总线结构和流水处理技术,以完成大量的实时计算。

网络摄像机是一种典型的多媒体应用,它的实现方式和选用的多媒体处理器相关。根据多媒体处理器的不同分类,网络摄像机也有了不同的实现方案。

### 1. 基于 ASIC 芯片+MCU 的系统方案

ASIC 是专用集成电路(Application Specific Integrated Circuit)的简称,它是面向专门用途的集成电路。这一类处理器采用全硬件实现特定的多媒体处理算法,因此其对特定算法的解决方案可以达到最优。对于网络摄像机的开发者来说,利用 ASIC 处理芯片来实现网络摄像机的视频压缩算法,再加上一个微处理器 MPU 来实现网络传输和控制功能。这个方案的优点是算法速度快,开发周期短,而且 ASIC 芯片经过测试后,性能较为稳定。ASIC 芯片一旦设计成功,可以大规模投入生产,其生产成本相对较低,这也在一定程度上节约了网络摄像机的成本。但是,这种网络摄像机系统方案的算法灵活性不够,只能用于特定的算法,不可以升级或者更新,设计可重用性和扩展性较差。

### 2. 基于大规模 FPGA 的系统方案

FPGA 即现场可编程门阵列(Field Programmable Gate Array),它是可编程的一种 ASIC 技术,具有用户现场可编程特性。FPGA 的制造工艺确定了 FPGA 芯片中包含的逻辑单元(LUT)数量非常多,往往都是几千上万门的。这种大规模的 FPGA 可以用来设计算法复杂的网络摄像机系统。网络摄像机系统设计者可以在



大规模 FPGA 中实现视频压缩算法和网络、控制功能；也在 FPGA 中单独完成视频算法，并外加一块 MCU 处理网络、控制功能。

用 FPGA 来设计网络摄像机可以达到较高的性能指标，并且具有很高的灵活性，可以根据实际的需要来修改和升级系统软件，以便开发出一系列用于不同应用场合的产品。Xilinx 和 Altera 公司是 FPGA 业内的佼佼者，很多网络摄像机的系统方案都选用了这两个公司的大规模 FPGA<sup>[3]</sup>。

### 3. 基于高性能多媒体处理器的系统方案

#### 1. 多媒体处理器简介

多媒体处理器是信号处理器 DSP 的一种，它是专门应用于多媒体信息处理应用的最新产品。

DSP 最早是指一种信号处理技术，直到八十年代初第一颗商用数字处理器问世，DSP 才逐步成为一种全新高速处理器的名称。自从第一片数字信号处理芯片（DSP）问世以来，DSP 就以数字器件特有的稳定性、可重复性、可大规模集成，特别是可编程性高和易于实现自适应处理等特点，给数字信号处理的发展带来了巨大机遇，并使信号处理手段更灵活，功能更复杂，其应用领域也拓展到国民经济生活的各个方面<sup>[6]</sup>。

近年来，随着半导体制造技术的发展和计算机体系结构等方面的改进，DSP 芯片的功能越来越强大，能够实时处理的信号带宽也大大增加。目前，单片 DSP 的主频最高已达 1.1GHz，处理能力高达近 9000MIPS（每秒百万条指令）。这使得实时信号处理的应用空间越来越广阔，尤其在实时视频处理领域。多媒体处理器就是专门用来实时处理多媒体信号的 DSP 芯片。

多媒体处理器的出现，提供了完全可编程的多媒体设备的实现工具。媒体处理器继承通用 DSP 芯片的特点，针对多媒体应用扩充了各种接口功能和优化了中央处理器结构。尽管媒体处理器出现的时间不长，但已得到各方面的关注，可以预计媒体处理器会以快速广泛应用到多媒体设备制造业中。目前，占市场主导地位的多媒体处理芯片有 TI 公司的 TMS320DM64x 系列、Philips 公司的 Trimedia 和 Equator 的 MAPCA 等。它们都是性能很好的多媒体处理器，都集成了丰富的多媒体信号接口，如 TMS320DM64x 有专门的视频端口（Video Ports），可供各种视频采集和显示芯片直接和多媒体处理器连接，为网络摄像机和其他多媒体应用开发提供了方便，缩小了开发周期。另外，多媒体处理器芯片的价格越来越低，性能价格比日益提高，具有巨大的应用潜力。

#### 2. 多媒体处理器的特点：

为了快速实时的完成大量数字视频信号处理运算，多媒体处理器一般具有这

样的一些特点:

(1) 采用了程序总线 and 数据总线分开的哈佛总线结构, 可以同时访问指令和数据

通用微处理器是为计算机设计的。基于成本上的考虑, 传统的微处理器通常采用冯·诺依曼总线结构, 即统一的程序和数据空间, 共享的程序和数据总线。由于总线的限制, 微处理器执行指令时, 取指和存取操作数共享内部总线, 因而程序指令只能串行执行。

对于面向数据密集型算法的多媒体处理器而言, 冯·诺依曼总线结构使系统性能受到了很大限制, 因此多媒体处理器采用了程序总线 and 数据总线分离的哈佛总线结构, 这样多媒体处理器就能够同时取指和取操作数了。

TI 的 TMS320DM64x 系列多媒体处理器则采用了新的 VILW (甚长指令字) 结构, 片内提供 8 个独立的运算单元、256 位的程序总线、2 套 32 位数据总线和 1 套 32 位的 DMA 专用总线。灵活的总线结构大大缓解了数据瓶颈对系统性能的限制。

## (2) 多媒体处理器特有的多级存储器体系结构

由于多媒体处理器采用了超长的指令字 (VILW) 等技术, 处理器在一个周期内需要访问更多的数据, 需要更大的 I/O 带宽。因此在多媒体处理器中, 存储器体系结构直接影响到多媒体处理的速度。另一方面, 当前 PC 机中最快的 CPU 已经突破了 3.2GHz, 而存储器速度却没有得到很大的提高, 从而在 CPU 和存储器之间存在巨大的速度差, 这也使得 CPU 和存储器之间的带宽成为处理器性能提升的一个瓶颈, 多级存储器体系结构就能很好的解决这个问题。

现代微处理器内部一般都集成有高速缓存器 (cache), 但是片内一般不设存储程序的 ROM 和存储数据的 RAM。这是因为通用微处理器的程序一般都很大, 片内存储器不会给处理器性能带来明显改善。而多媒体处理算法的特点是需要大量的运算, 典型操作如 SAD 需要对没有相关性的多个像素或数据做同样的操作。因此媒体处理算法在数据上存在大量的并行性可以加以利用, 如对不同像素的操作可以同时进行。这些运算的复杂度并不太高, 相应其程序就比较短小, 存放在多媒体处理器片内就可以减少指令的传输时间, 并有效缓解芯片外部总线接口的压力。

考虑到多媒体处理算法, 如视频编码算法在运算时需要缓存几帧的数据, 因此多媒体处理器除了片内程序存储器外, 一般还集成有数据 RAM, 用于存放参数和数据。片内数据存储器不存在外部存储器的总线竞争问题和访问速度不匹配问题, 因此访问速度快, 可以缓解多媒体的数据瓶颈, 充分利用多媒体处理器强大的处理能力<sup>[7]</sup>。

例如在 TMS320DM64x 系列的多媒体处理器内采用了两级 cache 缓存结构, CPU 和一级程序高速缓存及一级数据高速缓存直连, 两块 cache 分别为 16Kb, 工作在 CPU 全速访问状态。二级缓存有 256Kb; 二级缓存的分段和大小分配也有很多变化。一种配置是二级缓存全部用来作为外部内存的映射。其它的配置方式为既有直接映射, 又有 4 路集合相关法的方式。被映射的内存被用作存储流媒体数据或者中断服务程序等。TMS320DM64x 的内部缓存结构如图 1-3 所示:

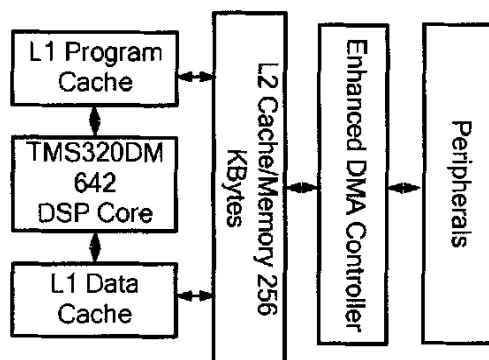


图 1-3 TMS320DM64x 的内部缓存结构

### (3) 具有丰富的外围设备接口

多媒体处理器一般都会带有非常丰富的外围设备接口, 包括硬件上的外围设备控制器和软件上方便的设备驱动程序模型。以 TM320DM64x 为例, 它带有 64-bit 的外部存储器接口 (EMIF)、1-3 个主用的视频端口、PCI/HPI 总线接口、I2C 接口、通用 I/O 和 10/100M 以太网接口等。这为网络摄像机等多媒体应用的开发提供了足够的硬件资源。

### (4) 支持流水线操作, 使得取指令、译码和执行等操作可以重叠执行

流水技术可以使 2 个或更多不同的操作重复执行。在处理器内, 每条指令的执行分为取值、解码和执行等若干阶段, 每个阶段称为一级流水。流水处理使得若干条指令的不同执行阶段可以并行执行, 因为能够提高程序执行速度。

此外, 多媒体处理器还具有低开销或无开销循环及跳转的硬件支持, 快速的中断处理和硬件 I/O 支持, 具有在单周期内操作的多个硬件地址产生器的能力, 可以并行执行多个操作等特点, 为多媒体应用提供了高效的硬件支持。

利用多媒体处理器来设计网络摄像机是目前的热点。这种解决方案不但具有非常强大的视频数据处理能力, 而且具有可编程的特点, 有较强的通用性, 适于模块化设计, 灵活度高, 系统易于维护和升级。同时其开发周期较短, 设计成本相对的, 使用了各种规模的生产。本文就是利用了 TI 公司的 TM320DM642 来实现网络摄像机的设计方案。

## 4. 基于 ARM+DSP 双核处理器的系统方案

一般的多媒体处理器的核心是一个高性能的 DSP 内核,它是专门为高密度的数据处理而设计的。但是单 DSP 核的多媒体处理器在网络通信和摄像机镜头、云台控制等技术的开发上并不那么得心应手,而且在开发功能繁多的网络摄像机系统时,芯片的运算资源也会相当紧张。因此,有些方案采用了 ARM+DSP 双芯片的硬件解决方案。这种方案虽然增加了系统资源,但是却大大的扩大了系统的体积和成本。

为了解决以上的矛盾,各 DSP 厂商纷纷采用新工艺,改进 DSP 芯核,并将几个 DSP 芯核、MPU 芯核、专用处理单元、外围电路单元、存储单元统统集成在一个芯片上,成为 DSP 系统级集成电路。TI 公司刚刚推出的 TMS320DM6446 (命名为“达芬奇”)将一个 ARM926EJ-S 32 位 RISC 处理器和一个 C6000 的 DSP 核集成在一个芯片上,是新一代网络摄像机、视频电话等实时视频应用开发的很好选择。随着此类芯片性能的完善,稳定型的提高以及价格的不断降低,ARM+DSP 双核处理器将会成为网络摄像机系统方案设计的首选<sup>[8]</sup>。

在以上的四种设计方案中,基于 ASIC 芯片+MPU 的网络摄像机系统开发从成本上来看似乎更适合于产品化,但是其产品一旦确定就无法修改,至于产品更新换代也就需要重新设计生产。基于可编程大规模 FPGA 近年来也有较大的发展,虽然其处理速度较快,灵活性较强,设计比较复杂而且难度较大,成本往往较高,目前在高端的利用先进视频编码(如 H.264 和 AVS)的网络摄像机中有应用。在芯片级的视频编码器设计中,一些新型应用的前期工作可能采用 FPGA,至于转入批量生产,则需要考虑 ASIC 或是 DSP。

相比之下,基于高性能多媒体处理器的系统开发的灵活性较 FPGA 和 ASIC 都略胜一筹。诚然多媒体处理器会涉及到大量软件开发,不过如果解决得好,多媒体处理器的优势会充分展示出来。多媒体处理器的软件有极强可维护性和再利用性,既可以更新已有产品,也可以轻松地升级到新的产品。

### 1.3 基于多媒体处理器的网络摄像机设计方法研究

总的来说,基于多媒体处理器的网络摄像机等多媒体系统的设计还没有非常规范的设计方法。如图 1-4 所示是使用多媒体处理器芯片进行系统设计的一般过程。

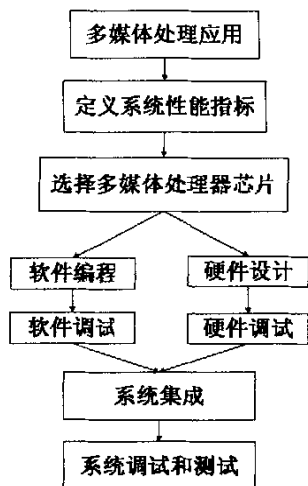


图 1-4 基于多媒体处理器的系统设计流程

我们以网络摄像机的系统设计为例进行分析。

在设计网络摄像机系统之前，首先必须根据应用系统的目标确定系统的性能指标、信号处理的要求等，通常可用数据流程图、数学运算序列、正式的符号或自然语言来描述。

第二步是根据系统的要求来选择合适的多媒体处理器芯片及外围电路芯片。在选择多媒体处理器时，应考虑其性能是否能满足系统应用的要求并留有合适的余量；芯片生产商是否提供强大的开发套件；价格是否在预算范围之内且产品是否有足够的供货；外围电路的器件是否容易购买到等因素。一款性能价格比高且业内常用的多媒体处理器将会为以后的开发工作带来很大的便利。我们在网络摄像机系统的设计中选用了 TMS320DM642 做为多媒体处理芯片。TMS320DM642 功能强大，价格适中，外围电路的器件都可以选用比较通用的芯片，非常适合构建硬件平台。同时，TI 公司提供了开发套件 CCS，以支持 TMS320DM642 的软件系统研发。

在完成第二步之后，接下来就可以设计多媒体系统。多媒体系统的设计包括硬件设计和软件设计两个方面。硬件设计首先要根据系统运算量的大小、对运算精度的要求、系统成本限制以及体积、功耗等要求选择合适的多媒体处理器芯片。然后设计多媒体器芯片的外围电路及其他电路。

在设计硬件平台的同时，可以开始软件系统的设计。

软件设计应先进行系统的算法测试。一般来说，为了实现系统的最终目标，需要对输入的信号进行适当的处理，而处理方法的不同会导致不同的系统性能，要得到最佳的系统性能，就必须在这一步确定最佳的处理方法，即多媒体信号处理的算法（Algorithm）。例如，在设计网络摄像机时，选用的 H.264 或 AVS 视频编码算法就是要在特定的码流、帧率和图像质量条件下，实现视频压缩编码。算法测试所用的输入数据可以是实际信号经采集而获得的，也可以是符合算法模

拟要求的测试数据。一般在设计和调试阶段,可以采用测试数据,但是在系统设计完成前,必须用实际的信号来验证算法的实用性,以使网络摄像机符合实际应用的需要。在确定算法之后,可以根据系统要求和所选的多媒体处理器芯片编写相应的应用程序,若系统运算量不大且有高级语言编译器支持,也可用高级语言(如 C 语言)编程。TMS320DM642 的 C 编译器有很高的效率,几乎和汇编程序相当,因此网络摄像机的软件开发都采用 C 语言。

系统硬件和软件设计完成后,就需要进行硬件和软件的调试。软件的调试一般借助于多媒体处理器的开发工具,如软件模拟器、多媒体处理器开发系统或仿真器等。调试信号处理算法时一般采用比较实时结果与模拟结果的方法,如果实时程序和模拟程序的输入相同,则两者的输出应该一致。应用系统的其他软件可以根据实际情况进行调试。硬件调试一般采用硬件仿真器进行调试,如果没有相应的硬件仿真器,且硬件系统不是十分复杂,也可以借助于一般的工具进行调试。

系统的软件和硬件分别调试完成后,就可以将软件脱离开发系统而直接应用系统上运行。当然,数字信号处理系统的开发,特别是软件开发是一个需要反复进行的过程,虽然通过算法模拟基本上可以知道实时系统的性能,但实际上模拟环境不可能做到与实时系统环境完全一致,而且将模拟算法移植到实时系统时必须考虑算法是否能够实时运行的问题。如果算法运算量太大不能在硬件上实时运行,则必须重新修改或简化算法。

## 1.4 本文组织

本文将对网络摄像机的硬件系统和板级支持软件的设计做详细的阐述。论文共分六章。

论文的第一章(本章)是引言部分,对数字监控的发展、网络摄像机系统的设计与研究做了讨论,通过几种网络摄像机系统设计方案的对比,论证了基于高性能多媒体处理器的方案是最优的。

论文的第二章主要介绍了网络摄像机硬件系统的总体设计,包括设计指标,系统组成结构和各板间的信号定义。

论文的第三章重点阐述了系统各硬件模块的设计。论文的第四章对高速电子线路设计中的关键技术进行了介绍和分析。针对网络摄像机系统中高速部分的信号完整性和信号时序匹配问题,本文做了理论上的深入分析,并利用仿真软件来解决问题并验证了本文的理论分析是正确的。

论文的第五章着重分析板级支持软件的设计,包括硬件驱动程序、彩色图像恢复算法及其在 DM642 上的移植和彩色校正及  $\gamma$  校正。

第四章、第五章和第六章是系统的主要部分,也是作者工作的重点。论文最后还对本系统的设计进行了总结并提出了改进方向。

## 第二章 网络摄像机硬件系统的总体设计

### 2.1 网络摄像机系统硬件设计的设计指标和总体考虑

网络摄像机将高分辨率图像采集、压缩编码和网络通信结合在一起，利用高性能的多媒体处理器，实现视音频编码、图像分析和识别、通信及控制。总体来说网络摄像机的系统要求为：

#### (1) 具有强大的运算能力

对于视频技术来说，由于要处理的数据量大，计算复杂，计算中间结果精度要求高，因此选择多媒体处理器芯片需要具有强大的数据运算能力。在选择多媒体处理器芯片时首先要考虑对芯片速度的要求。由于现代高性能多媒体处理器芯片的结构多样化，单纯依靠指令执行速度 MIPS 比较其性能是不全面的，现在一般采用 MIPS（单周期的乘加次数），或采用数字信号处理中的基准程序如 FFT 和数字滤波等的执行时间来测评多媒体处理器芯片的速度性能。

#### (2) 提供容量大、工作速度高的数据存储器

在对高分辨率的图像进行处理时，数据量是非常大的，如处理 300 万像素的 RGB 图像时，需要的视频帧缓存至少是： $3 \times 3 \times 2 = 18\text{M Byte}$ 。根据这样的图像尺寸要求，我们选用了两片 4M\*32bit 的 SDRAM 作为内存，容量达到 32Mbytes。根据图像尺寸和编码数率，我们可计算出帧存的存取数率，进而算出 SDRAM 的时钟频率应该为 50M 以上。考虑到要留有相当的余量，我们的 SDRAM 需要选用支持 133MHz 工作频率的芯片。

#### (3) 有灵活专用的视频采集模块

为了获得高质量的图像，图像传感器的选择很重要。由于用于 HDTV 的 CCD 图像传感器目前价格较高，不适于视频监控系统应用，我们考虑采用具有高分辨率、高灵敏度、低噪声的 CMOS 图像传感器。这种 CMOS 图像传感器图像质量与 CCD 相当。由于 CMOS 图像传感器内部集成了 ADC，降低了电路复杂度，便于硬件线路设计。此外，我们选择内部集成了专用视频端口的多媒体处理器作为主芯片，简化了电路设计。

根据以上的要求，我们选择了美国德州仪器公司（TI）的高性能多媒体处理芯片 TMS320DM642 作为主处理器；SDRAM 选用 Micron 公司 MT48LC4M32B-6；视频采集芯片则是 Micron 的 300 万像素的 CMOS 图像传感器 MT9T001；另外还集成了 RS-485 和 10/100M 以太网接口，以及 PoE 电路。这些硬件配置，决定了网络摄像机的硬件系统是一个高效、稳定、可靠的嵌入式计算平台。

## 2.2 网络摄像机系统的结构设计

网络摄像机硬件总体设计不同于一般的视频开发系统。考虑到产品结构和体积的限制,网络摄像机总体结构分为三部分,主处理器板、电源接口板和视频输入板。

网络摄像机系统总体框图如图 2-1 所示。

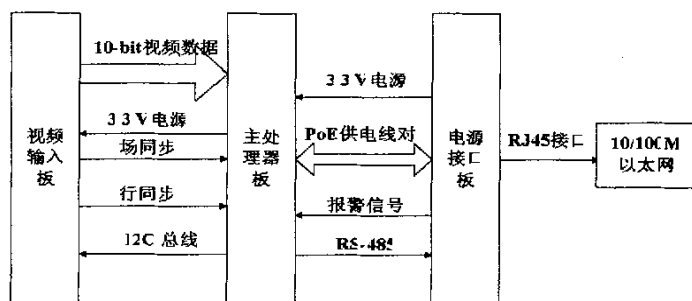


图 2-1 网络摄像机系统总体框图

### 1. 主处理器板

主处理器板的主要功能是利用高性能的主处理器芯片对采集到的视频信号进行分析、压缩编码和网络传输,并完成双向音频通信、报警和远程控制等功能。

网络摄像机的主处理器板是基于 DM642 设计的。板上主处理器的计算能力可达 4800MIPS, 可以支持实时的高分辨率视频压缩算法; DM642 内部集成以太网控制器, 只要配以以太网收发器和变压器, 即可实现 10/100M 自适应以太网通信。主处理器板上同时还有电源与时钟模块, SDRAM 与 FLASH 存储模块, CPLD 逻辑控制模块, RS-485 通信、10/100M 以太网通信模块和音频编解码模块。主处理器板的总体框图如图 2-2 所示。

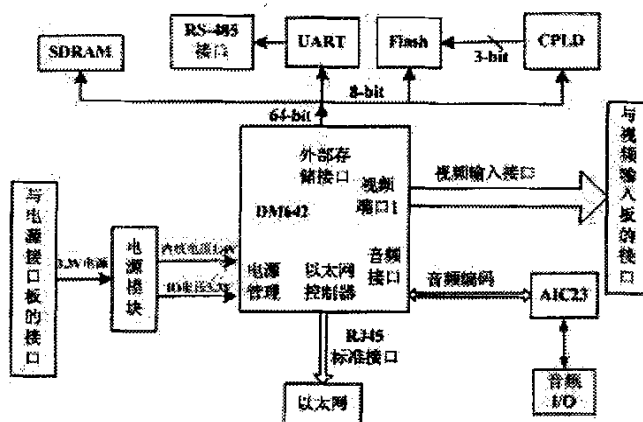


图 2-2 主处理器板的总体框图



## 2. 电源接口板

电源接口板的主要作用是为主处理器板提供电压为 3.3V 的稳定电源，以及通过开关量 I/O 向主处理器板提供外部报警信号和镜头控制信号。

电源接口板基于 IEEE 802.3af 标准，设计了以太网供电（以下简称 PoE）电路，由一个 PoE 控制器结合一个 PWM 变压器组成。RJ-45 的数据线对和备用线对提供了 48V 直流电压输入，PoE 控制器遵照 IEEE8.2.3af 标准的逻辑控制方式和网络摄像机的负载情况由内部的开关 MOS 管控制电源的供给以及切断。在电压输出中，正向采用变压器耦合，反馈环路采用光耦耦合，实现了电源的隔离式设计，提高了系统的可靠性。同时电源接口板可以接受 5V 的外置电源输入，通过 DC-DC 模块，输出 3.3V 的电压，向主处理器板提供电源，为实际应用提供了多种选择。

电源接口板上还设计了一对开关量 I/O 电路。当外界有告警输入时，接口板将触发一个开关量输入信号并提供给主处理器板处理；主处理器板在进行恰当的判断后，会发出指令返回给接口板，接口板根据指令输出开关量的报警信号。

网络摄像机的镜头控制接口也设置在电源接口板上。主处理器板会通过 DM642 的两根 GPIO 线，控制镜头上的步进电动机。

系统电源接口板的总体框图如图 2-3 所示。

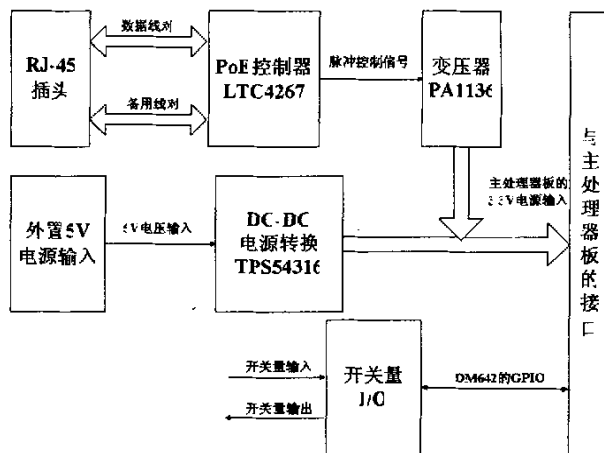


图 2-3 电源接口板的总体框图

## 3. 视频输入板

为了获得高质量的图像，图像传感器的选择很重要。本文采用了 Micron 的 MT9T001 CMOS 图像传感器。MT9T001 是 Micron 新推出的一款高灵敏度、低噪声的图像传感器，可达到 2048\*1536 的图像分辨率，图像质量与 CCD 相当，并有 48Mps 的图像数据读出能力；MT9T001 还具有像素合并功能，在需要较低

分辨率图像输出时，可将邻近像素合并平均作为输出，从而提高了图像质量。

传感器及相关电路将构成单独的图像采集模块，与 DM642 信号处理主板间采用数字接口连接。由于 DM642 有可编程高速视音频输入输出接口（数据传输能力可满足 HDTV 的 SMPTE274M 和 SMPTE296M 标准要求），可方便地实现与图像采集模块接口。以后只要更换图像采集模块，即可采用 CCD 或其它图像传感器。镜头采用外配光圈可变镜头，通过 CS 接口与机壳连接，并与传感器配准。DM642 可输出控制信号，对镜头进行光圈、变焦和聚焦控制。还可利用 CMOS 图像传感器输出的闪光灯控制信号,实现夜间单帧拍摄和电子警察功能。

视频输入板的总体结构如图 2-4 所示。

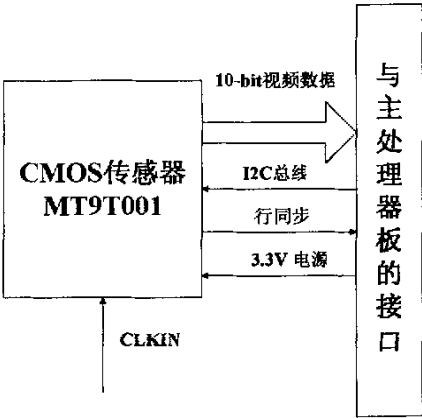


图 2-4 视频输入板的总体框图

2.3 网络摄像机系统模块间的连接

1. 主处理器板与电源接口板的连接

主处理器板与电源接口板之间选用 14 针、1.27mm 间距、双排高密度 PCB 接插件，信号定义如表 2-1 所示。

表 2-1 主处理板和电源接口板的信号定义

| 信号线说明        | 信号线数目 |
|--------------|-------|
| RJ-45 数据线对   | 2     |
| RJ-45 备用线对   | 2     |
| RS-485 信号线   | 2     |
| 开关量相关的 GPIO  | 2     |
| 用于控制镜头的 GPIO | 2     |
| 地信号线         | 1     |
| 保留用于扩展应用的信号线 | 3     |
| 总共 14 条信号线   |       |

## 2. 主处理器板与视频输入板的连接

主处理器板与 CMOS 传感器之间选用 22 针、1mm 间距、FFC 扁平电缆连接器，信号定义如表所示：

表 2-2 主处理板和视频接入板板的信号定义

| 信号线说明           | 信号线数目      |
|-----------------|------------|
| 视频输入相关信号线       | 10         |
| 时钟线             | 2（1 条用于扩展） |
| 行同步             | 1          |
| 场同步             | 1（用于扩展）    |
| I2C 控制总线        | 2          |
| 中断信号            | 1          |
| 闪光灯控制           | 1          |
| 单帧拍摄控制          | 1          |
| 视频输入设备 Reset 控制 | 1          |
| 3.3V 电源         | 1          |
| 地信号             | 1          |
| 总共 22 条信号线      |            |

# 第三章 网络摄像机硬件系统的模块设计

## 3.1 电源模块

网络摄像机系统的电源模块由两部分组成：主处理器板上的电压调整模块与电源接口板的 PoE 模块。

### 3.1.1 网络摄像机供电要求分析

#### 1. 电源功耗估计

在确定电源调整方案前必须估算出网络摄像机系统上各种资源的电源功耗，为选用合适的方案和正确的调整芯片提供参考。

本文中，我们通过查阅相关芯片的技术资料，对主处理器和板上其他资源的功耗做了较为详细的估算，如表 3-1 所示。

表 3-1 系统内各芯片的功耗估算

| 主要芯片                   | 工作电压(V)                    | 工作电流(mA)  | 功耗(mW) | 备注   |
|------------------------|----------------------------|-----------|--------|--|
| Flash (M29DW324DB)     | 3.3                        | 20        | 66     |  |
| SDRAM (MT48LC4M32B)    | 3.3                        | 320       | 2112   |  |
| UART (TL16C752)        | 3.3                        | 20        | 66     |  |
| 以太网收发器 (LXT971A)       | 3.3                        | 110       | 363    |  |
| CMOS 传感器 (MT9T001)     | 3.3                        | 73        | 240    |  |
| 音频 Codec (TLC320AIC23) | 3.3                        | 23        | 76     |  |
| PLL 时钟倍频器 (PT7C4512)   | 3.3                        | 9         | 30     |  |
| DC-DC 电源芯片 (TPS54310)  | 3.3                        | 13        | 43     |  |
| CPLD (EPM3128)         | 3.3                        | 152 (满负荷) | 500    | 使用了 70 % 的资源，<br>功耗约为：<br>500*70 %<br>=350mW |
| DM642 内核               | 1.4                        | 1080      | 1520   | 使用专门<br>软件估算                                 |
| DM642 I/O              | 3.3                        | 230       | 760    |  |
| 总共功耗估算                 | 5626mW                     |           |        |  |
| 总共工作电流估算               | 3.3V: 912mA ; 1.4V: 1080mA |           |        |  |

其中，DM642 的功耗可以使用 TI 提供的专门软件估算，估计的结果如表 3-2 所示。

表 3-2 DM642 内部各模块的功耗估算

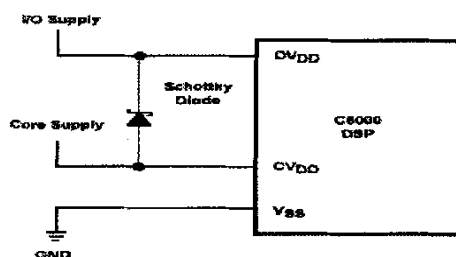
| 内部模块                 | 内核功耗 (mW) | I/O 功耗 (mW) | 总功耗 (mW) |
|----------------------|-----------|-------------|----------|
| CPU                  | 555       | 0           | 555      |
| EMIF                 | 34        | 429         | 463      |
| 时钟输出                 | 0         | 7           | 7        |
| McASP                | 0         | 21          | 21       |
| I <sup>2</sup> C 控制器 | 7         | 1           | 8        |
| 视频端口 0               | 7         | 28          | 35       |
| 视频端口 1               | 7         | 28          | 35       |
| 视频端口 2               | 7         | 28          | 35       |
| 以太网控制器               | 22        | 22          | 44       |
| Activity             | 638       | 564         | 1202     |
| Baseline             | 879       | 193         | 1073     |
| 总共功耗 (mW)            | 1517      | 758         | 2275     |
| 总共电流 (mA)            | 1084      | 230         | 1313     |

在网络摄像机系统上, 还有镜头控制和 I/O 开关量等接口。由于它们被设计在电源接口板上, 不会占用到主处理器板的电源功耗, 且功耗较低, 所以本文不对它们的功耗进行讨论。

## 2. 供电顺序

讲究供电顺序的原因在于: 如果只有多媒体处理器内核获得供电, I/O 没有供电, 对处理器芯片是不会产生任何损害的, 只是没有输入/输出功能而已; 如果反过来, I/O 得到供电而处理器内核没有加电, 那么处理器芯片缓冲/驱动部分的三极管将处在一个未知状态下工作, 这是非常危险的。在有安全保障的前提下, 允许两个电源同时加电, 两个电源都必须在 25ms 内达到规定电平的 95%。

TI 的 DSP 和多媒体处理器对于其内核电源和 I/O 电源, 不需要特别的供电顺序<sup>[9]</sup>。但是, 系统设计必须保证两个电压达到正常工作电压的时间不得超过 1 秒钟。一般来说, 我们推荐所有的供电电压同时上电, 否则可能产生较大的启动电流。为了确保内核电压的供电, 系统可以在两个电源电压之间加了一组压降肖特基二极管, 如图 3-1 所示。

图 3-1 加肖特基二极管的双电源电路<sup>[9]</sup>

### 3. 电源在印制电路板设计中的要求

根据 DM642 的芯片资料,在设计印制电路板(PCB)时,给内核和 I/O 供电的电源芯片必须尽量靠近 DM642 芯片,以减少在电源传输过程中的损耗。对于高性能的处理芯片 DM642 来说,PCB 必须有独立的内核电源层、I/O 电源层和地层,并应该放置高质量的去耦电容。

#### 3.1.2 主处理器板上电源设计

主处理器板上主处理芯片功能强大,功耗也相对较高;外加其他的处理芯片,总和较大,因此板上的功耗总和很大。此外,DM642 芯片需要内核供电和 I/O 供电两种电源,所以设计出独立的、高效率、高性能的电源模块具有及其重要的意义。

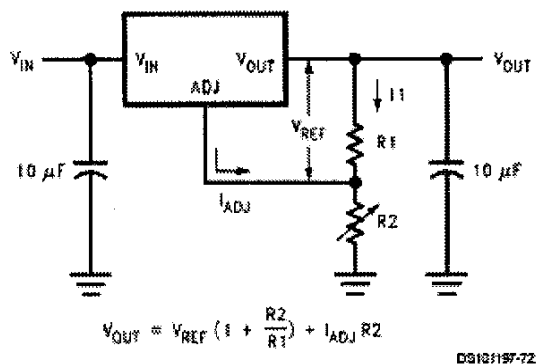
##### 1. 常用的电源解决方案

根据采用的多媒体处理器的不同,核心和 I/O 电压可能是 3.3V, 2.5V, 1.8V 和 1.5V。目前总的来说有三种电源解决方案,分别是线性稳压器电源(LDO)、开关稳压器电源(包括 DC-DC 调整器和 DC-DC 控制器,两者的差别主要是内部是否集成 FETs)和电源模块。在选择方案时,要求设计者综合考虑系统要求、成本、效率、市场需要、设计灵活性及封装等众多因素。

##### (1) LDO 线性稳压器电源

LDO 线性稳压器只适用于降压变换,具体效果与输入/输出电压比有关。从基本原理来说,LDO 根据负载电阻的变化情况来调节自身的内电阻,从而保证稳压输出端的电压不变。其转换效率可以简单地看作输出与输入电压之比。如今很多厂商都有适合多媒体处理器或 DSP 应用的低电压、大电流 LDO 芯片,比如 TI 的 TPS755XX 和 TPS756XX 系列为 5A 电流输出、TPS759XX 系列为 7.5A 电流输出;Linear 的 LT1585/A 系列为 5A 输出,LT1581 为 10A 输出;National 的 LMS1585A 系列也为 5A 输出,并与 Linear 的 LT1585/A 系列可以相互替换。LDO 芯片所占面积仅为几个平方毫米,只要求外接输入和输出电容即可工作。由于采用线性调节原理,LDO 本质上没有输出纹波。不过随着 LDO 的输入/输出电压差别增大或者输出电流增加,LDO 的发热比也会按比例增大,所以散热控制方面要求很高。

如图 3-3 所示,以 National 的 LMS1585A 为例的 LDO 稳压器的典型设计电路<sup>[10]</sup>,LMS1585A 系列有三种型号,分别为 1.5V, 3.3V 和可调电压输出,最大输出电流均为 5A。

图 3-2 LDO 稳压器的典型电路<sup>[10]</sup>

### (2) DC-DC 调整器电源

DC-DC 调整器利用了磁场储能，无论升压、降压还是两者同时进行，都可以实现最高的转换效率。尽管它与线性稳压 (LDO) 相比要求更大的电路板面积，但对于多媒体处理器这种需要大电流的应用来说却十分理想。由于转换效率高，因此发热很小，这也使得散热处理得以简化。特别是，与 LDO 器件相比，它常常不需要附加一个成本较高、面积较大的散热器。考虑到 DC-DC 调整器集成有 FETs，使用时只需外接一个电感和必不可少的输入、输出电容，故可以使整个解决方案的空间利用率大大提高。由于是开关稳压器电源，DC-DC 调整器与线性稳压器电源 (LDO) 相比，输出纹波电压较大、瞬时恢复时间较慢、容易产生电磁干扰 (EMI)。要取得低纹波、低 EMI、低噪声的电源，关键在于电路设计，尤其是输入/输出电容、输出电感的选择和布局，都有相当的讲究。目前不少 IC 厂家有这种适合多媒体处理器应用的大电流 DC-DC 调整器芯片，最大输出电流达到了 9A，比如 Elantec 的 EL7556BC 为 6A 输出，EL7558BC 为 8A 输出<sup>[11]</sup>；TI 的 TPS5461X 系列为 6A 输出，TPS54873 为 8A 输出。

本文的网络摄像机主处理器板电源调整模块选用了 TI 的 TPS54610，请参见本节第 3 部分。

### (3) DC-DC 控制器电源

DC-DC 控制器和 DC-DC 调整器的差别主要是没有内置的 FETs，它因此能够保证设计有很大的灵活性，设计者可以选用有特定导通电阻的外接 FET 晶体管，并根据应用的需要调整电流限。这在需要十几甚至几十安培电流的特大规模多媒体处理器系统中非常有用。与 DC-DC 调整器相比，采用这种方案设计者既要选择适当的输入/输出电容、输出电感，又要选择符合要求的 FET 晶体管，增加了设计难度和总成本。此外，由于 FET 外置，占用空间也相对较大。目前 DC-DC 控制器芯片市场上非常多，比如 TI, Linear, Maxim, National 等公司都有相应

的产品，规格也相当全，光是 Maxim 公司就有数十种此类产品，设计者可以根据自己的需求选择合适的芯片。

#### (4) 电源模块

电源模块一般以可插拔的形式给出。就原理上来说，它通常也是个开关稳压器，所以它的效率也非常高，而且相对于普通开关稳压器，它的集成度更高，外围只需要一个输入电容和一个输出电容即可工作(这一点于 LDO 类似)，设计相当简便，特别适合要求开发周期非常短的应用，尤其是原型机的设计。由于电源模块上集成了几乎所有可以集成的东西，灵活性相对较差，价格也相对较高。

## 2. 主处理器板的电源设计

TPS54310 是 TI 公司的集成功率 MOSFET 管的 DC-DC 电源调整芯片。它可以输入 3V 至 6V 之间的电压；输出电压可在 0.9V 到 3.3V 的范围内调节；连续额定电流达 3A，完全满足上一节我们对主处理器板的功耗估算，且留有相当的余量。这款芯片主要靠芯片底部的大面积焊盘散热。若能保证至少要有 50% 的散热焊盘上覆盖有焊锡，可以不安装外部的散热片就可达到良好的散热效果<sup>[12]</sup>。

由于主处理器板对电源模块有以下的要求：

- (1) 电源调整芯片可以接受电源接口板输入的 3.3V 电压，
- (2) 能为 DM642 内核提供 1.4V 的供电，
- (3) 可以满足板上所有资源的功耗要求，
- (4) 尽可能减少电源模块所占空间，且不能安装大面积的散热片。

根据以上要求，选用了 TPS54310 设计了主处理器板的电压，如图 3-6 所示。

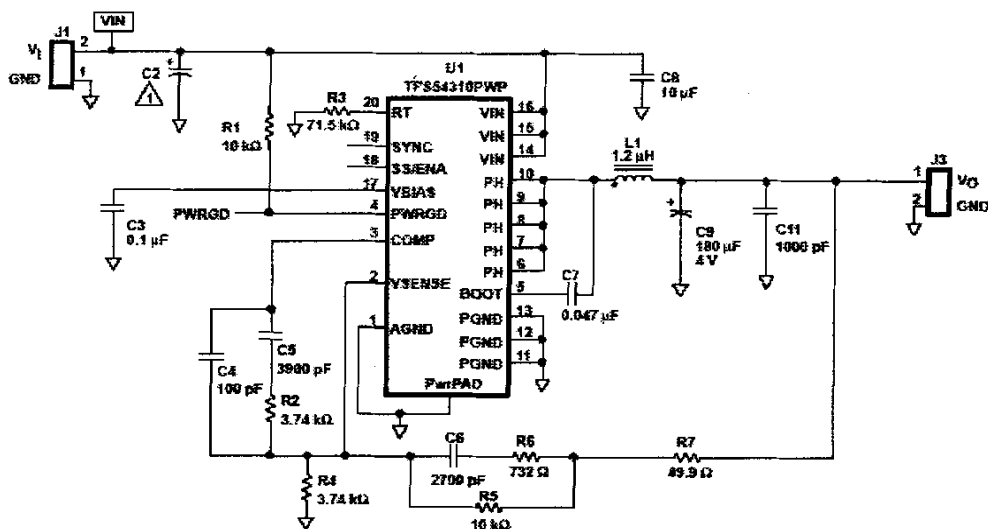


图 3-3 TPS54310 典型应用电路



主处理器板从电源接口板输入 3.3V 电压, 经过 TPS54310 的调整, 获得 1.4V 的 DM642 内核电压。在输入端, 采用低等效串连电阻 (LESR) 的钽电容 C2 和一个去耦电容 C8, 它们应该尽量靠近 TPS54310。输出电压的滤波网络由一个  $2.7\mu\text{H}$  的大电感和耐压值 4V、 $100\mu\text{F}$  的钽电容组成。R4 和 R5 组成了分压电阻网络, 将输出电压设置在 3.3V。R5 与 R2、R6、C4、C5 和 C6 一起构成了一个补偿回路, 作为反馈电路。

TPS54310 芯片有两个地: 模拟地和电源地, 模拟地连接所有噪声敏感信号, 而电源地连接有噪声的信号。两个地之间引入噪声将降低芯片的性能, 尤其在大电流输出的情况下。但是模拟地的噪声过大将影响控制和偏置信号, 所以推荐把模拟地和电源地分开, 并且两个地在一块 (通常在芯片下面或者在输入或输出电容的负边) 直接连接以降低两个地之间的噪声。连接电源地的外围元件仅有输入电容、输出电容、输入电压去藕电容以及芯片的 PGND 脚。TPS54310 芯片的散热主要靠 PowerPAD 焊盘。为了达到良好的散热功能, 至少要有 50% 的 PowerPAD 焊盘上覆盖有焊锡。经实际测试, 本文设计的电源各项指标均符合系统要求。

### 3.1.3 以太网供电 PoE 模块

IEEE 802.3af 标准是通过以太网数据线对或备用线对来实现以太网设备供电, 从而摆脱了采用交流适配器所带来的麻烦, 并将进一步拓展以太网技术的应用领域。采用基于以太网供电的 IEEE 802.3af 标准, 如 IP 电话、无线接入点等功率小于 12.95W 的设备都可通过一根传输以太网数据的 CAT-5 电缆来提供电源。以太网供电不仅去除了笨重的壁式变压器, 还有助于推出一整套新的设备, 这些设备结合了数据和电源接口, 并可对现有的 10、100 或 1000Mbps 以太网设备后向兼容。802.3af 突破了以太网的应用, 它主要是一个电源传输协议, 而不是数据协议<sup>[13]</sup>。

在本文中, 网络摄像机被设计为一个受电设备 (PD), 以简化在组网时的电源设备。在选择 PoE 控制器芯片时, 我们考虑到常用的芯片分为两类:

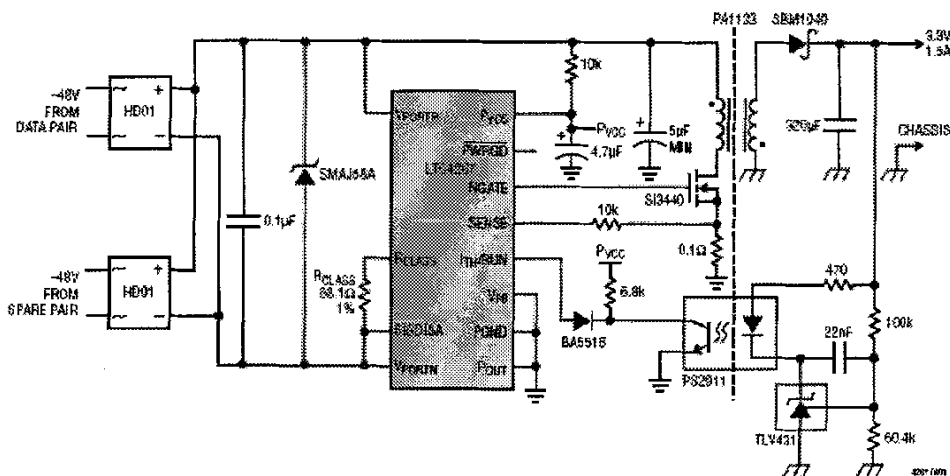
(1) 没有电流模式的开关反馈管理器的 PoE 控制器, 如 Linear 公司 LTC4257, Maxim 公司 MAX5940 和 TI 公司的 TPS2370/2371。这 3 种芯片有着几乎完全相同的功能, 其区别在于芯片是否需要外接一个 25k 左右的检测电阻, 是否可以对浪涌电流进行编程。

(2) 带有电流模式的开关反馈管理器的 PoE 控制器, 如 Linear 公司 LTC4267, Maxim 公司 MAX5941A/5941B, National Semiconductor 公司的 LM5070, 它们的功能几乎完全相同。

考虑到集成度和简化设计的原因, 在设计网络摄像机时, 我们使用带电流模

式的开关反馈管理器 的 PoE 控制器。基于成本和购买方便性等方面的原因，我们选用了 Linear 公司作为我们的 PoE 控制器芯片。

LTC4267 的典型应用电路设计如图 3-4 所示。

图 3-4 PoE 模块电路原理图<sup>[13]</sup>

同时，该电源模块同时为系统提供了 48V 辅助电源的接口，可以让用户根据实际的应用情况有更多的选择。

### 3.2 启动模式配置模块

DM642有三种启动模式，因此我们专门设计了配置电路，供调试使用。DM642通过管脚 BOOT\_MODE[1:0]来选择启动模式，在 Reset 信号为低的期间，BOOTMODE[1:0]管脚上的设置值被锁存，决定芯片启动模式。我们在设计中，利用上拉/下拉电阻进行复位时的芯片启动模式设置。DM642的启动方式有三类，其加载过程分别如下所述：

(1) No Boot 模式:

DM642 的 CPU 内核直接从 0 地址开始执行存储器中的指令。在主处理器板的电路处于调试阶段时，我们选择这个模式。此时，程序通过 JTAG 直接下载到 DM642 存储空间 0 地址上，而 CPU 会从这个 0 地址直接开始操作。

(2) 主机 (HPI) 引导模式:

DM642 的 CPU 核停留在复位状态, 硬件其余部分均保持正常状态。在这期间, 外部主机通过主机口初始化 CPU 的存储空间。主机完成所有的初始化工作后, 将 HPI 控制寄存器中的 DSPINT 位设置为 1, 结束引导过程。此时 CPU 退出复位状态, 开始执行 0 地址处的指令。主机引导过程中, 主机可以对 DM642 所

有的存储空间进行读和写。在网络摄像机中，我们不使用这种启动模式。

### (3) EMIF 自动启动模式：

在这个模式下，系统自启动程序、用户程序都被存放在 ROM(本文中为 Flash) 中，映射在 EMIF CE1 空间。在 DM642 上电或复位时，DM642 会从 Flash 的起始地址拷贝 1KBytes 的自启动程序代码到片上内存 0 地址处，并自动开始执行。这 1KBytes 的空间被称为 Flash 的 boot\_loader 段。用户需要利用这 1KBytes 的代码把自己的用户程序加载到指定位置，并将 DM642 的取指指针指向程序起始点，使用户程序开始被运行。

我们在开发用户程序时，根据程序代码的大小，可以有两种建立方法<sup>[14]</sup>。

A. 小程序的建立：如果程序较小，可直接烧写在 Flash 中的 boot\_loader 段，原有的用户程序可选择添加 boot 代码段的方法，使程序具有自启动功能。

B. 大程序建立：如果用户程序大于 256K Bytes，在 boot\_loader 段放不下，可把用户程序放在 Flash 第 2 页开始的后 6 页，还需要把 load\_userpro 程序烧入 Flash 中的 boot\_loader 段。DM642 复位后，先运行 load\_userpro 程序，作完系统的初始化以后，从 Flash 的第 2 页开始读取用户程序，读完以后，转向用户程序的入口地址开始执行。为保证用户程序的正常加载，需要注意以下问题：

1. 用户程序的内存段要从 0x400 地址以后开始定义。
2. 在 BIOS 中指定存储器为 SDRAM。
3. 用户的程序经过编译，生成的.out 文件需转换成.hex 文件后，才能烧入 Flash。

设计网络摄像机系统时，因为系统的程序较大，所以应该参照大程序的建立方法。当完成主处理器板的电路调试后，系统应该被设置在 EMIF 自动加载模式。在遇到断电或其他意外情况时，网络摄像机将会自动重新启动并转载程序，而不需要人工干预。

## 3.3 SDRAM 与 Flash 存储模块

在为网络摄像机设计存储模块时，我们考虑到系统既需要运行速度快、容量大的高速 RAM 来缓存计算时需要用到的视频数据和中间变量，也需要 ROM 存储器来永久存放系统软件，对 ROM 的速度要求就不是太高了。本文分三部分，介绍 DM642 的外部存储器接口，以及高速 RAM 模块和 Flash 模块的研究和设计。

### 3.3.1 DM642 的外部存储接口 (EMIF)

DM642 的芯片内部已经集成了 256K Byte 的 SRAM 高速缓存，但是这些存储器容量是远远不够的。以分辨率为 CIF 352\*288 的 YUV4: 2: 0 图像为例，仅

一帧的大小就有 200K Byte，所以我们需要通过外接高速的缓存来扩大系统的存储空间。DM642 为开发人员提供了一个高速的外部存储器接口(External Memory Interface, 简称 EMIF)，通过它我们可以方便且灵活的设计网络摄像机的存储模块。

EMIF 实际上是为外部的存储设备提供了一个接口，使这些的设备地址可以直接映射到 DM642 的存储空间上。EMIF 的宽度为 64-bit，和片内的二级高速缓存 cache 通过 EDMA 相连，最大总线速度为 133MHz。EMIF 有四个片 Enable，能够支持地址宽度为 64-bit，32-bit，16-bit，8-bit 不同的存储器。因此，DM642 可以分别与 32-bit 或者 64-bit 地址宽度的高速 RAM 存储器和 8-bit 宽度的 Flash 存储器直接相连，而不需要其他硬件的支持。此外，EMIF 有三个内存控制器：专门的 SDRAM 控制器支持 16Mb-256Mb 的 SDRAM 器件；可编程同步控制器提供与各种同步存储设备（如 SBSRAMs）的直接连接；可编程异步控制器提供同异步存储设备（如 SRAM、ROM、Flash、FIFO 等）的直接连接。结合网络摄像机系统中 DM642 的片上内存和 EMIF 使用，DM642 的存储空间分配如下表 3-3 所示：<sup>[15]</sup>

表 3-3 DM642 存储空间分配

| 内存段起始地址      | 分配情况          | 连接的设备             |
|--------------|---------------|-------------------|
| 0x00000000 起 | 片上内存          | 片上内存              |
| 0x00040000 起 | 为外部设备寄存器保留    | 为外部设备寄存器保留        |
| 0x80000000 起 | EMIF 的 CE0 空间 | SDRAM             |
| 0x90000000 起 | EMIF 的 CE1 空间 | Flash、UART 和 CPLD |

### 3.3.2 DM642 与 SDRAM 的连接

在网络摄像机系统中，DM642 最主要的任务之一就是作为数字信号处理器处理大量的视频信号。由于片上内存容量的限制，我们必须在 DM642 的外部设计一个容量足够并且能够被 DM642 快速访问的 RAM 存储空间，以存放大量的视频信号数据。

在 RAM(随机访问存储器)家族中，有两种重要类型的存储器件：静态 RAM (SRAM) 和动态 RAM (DRAM)<sup>[16]</sup>。这两者之间的主要的区别就在于他们存储数据的有效期。对于 SRAM，只要芯片的电源有效，其所存数据一直保持。如果电源切断或短暂中断，其内部数据将不复存在。而对于 DRAM，其数据有效期非常短，即使一直供电，通常只能保存 4ms 左右。简单地说，SRAM 具有所有被称为 RAM 的存储器的特性，但是有 DRAM 控制器就使得 DRAM 具有类似 SRAM 的特性。DRAM 控制器其实是一个很简单的硬件，其作用是定时在 DRAM 内数据消失之前刷新其内部数据，这样只要供电有效，DRAM 内的数据就一直

存在。在 DM642 上就有专门的 SDRAM 控制器，这就使我们可以方便地使用 SDRAM 存储器。

需要采用何种类型的 RAM，需要从访问时间和成本上来考虑。SRAM 存储器的访问速度极快，大约是 DRAM 的 4 倍，但是 SRAM 的制造成本要比 DRAM 高很多。所以在特别强调访问速度的应用场合使用 SRAM，反之使用 DRAM 可以节省成本。在许多嵌入式系统中采用的将 SRAM 和 DRAM 结合使用的方案，即用一小块（容量为几 K）的 SRAM 来保存关键数据，其它的则用一大块（容量为几兆甚至更多）的 DRAM 来存储。

在我们的网络摄像机中，DM642 的内部就集成了 SRAM，且容量高达 256K Byte，因此我们选择性价比高的 SDRAM 来实现存储器的外部扩展。

SDRAM 是同步动态存储器（Synchronous Dynamic RAM）的缩写。动态存储中同步技术的出现，使得读写速度从以往的 60ns~70ns 提升到了目前的 6ns~7ns，提高了将近 10 倍。在图像处理等需要大容量存储器的应用场合，SDRAM 可以提供非常高的性价比。

网络摄像机系统中采用的是 2 片 Micron 公司的 MT48LC4M32B2-6 SDRAM 芯片，在 DM642 的片外扩展了 32MBytes 的 SDRAM。DM642 的 EMIF CE0 空间被配置成 64-bit 宽度的数据总线接口，提供了对 SDRAM 的直接支持。SDRAM 空间用来储存程序、数据和视频。DM642 数据、地址和控制总线利用了一个外部 PLL 倍频器芯片（PT7C4512），在 133MHz 的频率上来操作 SDRAM（具体时钟设计方法请参考 4.2 节的第 2 部分）。SDRAM 的刷新是由 DM642 自动处理的。

连接电路如图 3-5 所示。

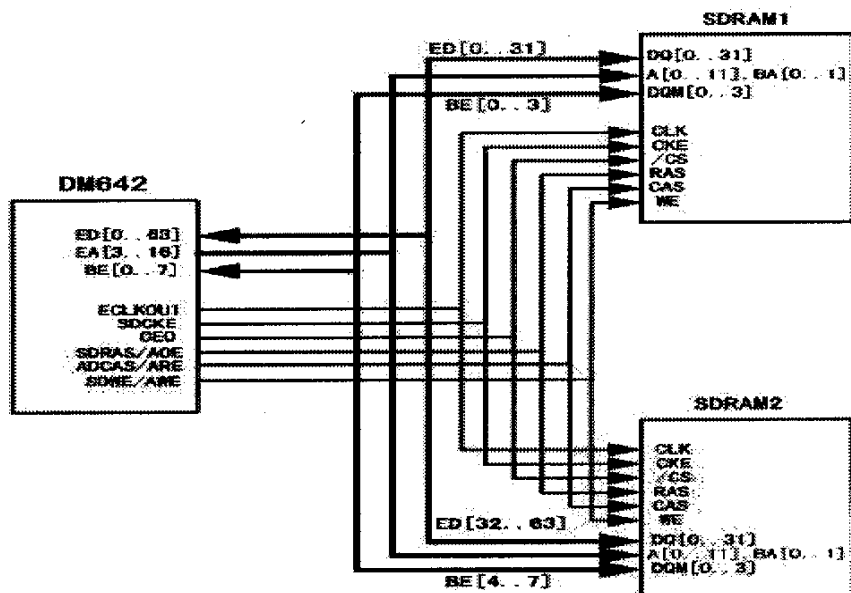


图 3-5 SDRAM 和 DM642 的连接图

由于 DM642 和 SDRAM 数据交换的速度高达 133MHz，我们在设计印制电路板时就必须考虑到信号完整性和信号时序匹配问题。具体设计请参考第四章。

### 3.3.3 DM642 与 Flash 的连接

在 DM642 片内没有集成 ROM，因此为了存储系统程序，系统需额外扩展具有持久性存储功能的只读存储器 ROM。区别于 RAM，存储在 ROM 中的数据理论上是永久的。即使系统掉电后，保存在 ROM 中的数据也不会丢失。

根据存储器中信息的擦除和写入方式，ROM 又可以被分为标准 ROM、PROM、EPROM、EEPROM 和 Flash ROM 等。

标准 ROM 用于永久性地存储重要数据。当一项科技性产品需要其部份信息不会随着外界等因素的变化而变更时，它们通常都使用此标准的 ROM 模块。在 ROM 中，信息是被永久性的蚀刻在 ROM 单元中的，这使得 ROM 在完成蚀刻工作后是不可能再将其中的信息改变。

PROM (Programmable ROM, 可编程 ROM) 的允许一次性地重写其中的数据，一旦信息被写入 PROM 后，数据也将被永久性地蚀刻其中了，之后此块 PROM 与标准 ROM 就没什么两样了。

EPROM (Erasable Programmable ROM, 可擦去可编程 ROM) 可以根据抹去或进行重新写入数据。使用紫外线照射 EPROM 可以抹去其中的数据。

EEPROM (Electrically Erasable Programmable ROM, 电可擦去可编程 ROM) 与 EPROM 非常相似，片中的信息也同样可以被抹去，也可以向其中写入新数据。就如其名字所示，对于此 EEPROM 我们可以使用电来对其进行擦写，而不需要紫外线<sup>[17]</sup>。

Flash ROM 存储器也是 ROM 的一种，是新一代具有电可擦除性的可编程 ROM，集成度较 EEPROM 有很大的提高。它具有非易失性、可擦除、擦除方便、可在线烧写和更新、功耗低等诸多优点，因而现在被越来越广泛地使用，并且已经取代了许多应用领域中的其它类型的 ROM。Flash 存储器的最早的主要应用是在 PC 机的主板，用来存储主板的 BIOS 信息。主板生产商允许客户通过更新 Flash 存储器的内容来升级 BIOS。同时 Flash 在硬盘、CDROM, DVD 中也被使用，而几乎所有的 MP3 播放机都采用 Flash 作为存储器。Flash 存储器的紧凑、低功耗和灵活的存储是其它媒体如 CD 等所不能比拟的。另外 Flash 存储器在现在的移动存储设备、便携式个人数字设备以及移动通信设备中的使用也越来越趋于主流地位。

在网络摄像机中，系统采用了一片 ST 公司的 M29DW324DB Flash 存储器。M29DW324DB 具有 4M Byte 大容量，满足了存放系统软件的需求。当系统上电或在 Reset 引脚上出现低电平时，Flash 芯片会被硬件复位。硬件复位后，存储

器处于读状态，这时其内部数据可以如 ROM 或 EPROM 一样被读取。需要注意的是在进行编程或擦除操作时不应该进行硬件复位，因为这会导致相关的存储单元的内容出现不定状态。与软件复位不同的是硬件复位将终止任何正在进行的操作并回到读状态。

在设计 Flash 模块的过程中，有一些地方是和 SDRAM 不同的。

## 1. Flash 的写、擦除操作

与 RAM 不同的是，DM642 不可以对 Flash 存储器直接进行写操作，要向 Flash 写入数据必须进行编程操作或者称为烧写；而且只能对被擦除过的区域进行编程。在进行擦除操作时，最小的操作单元是“块（Block）”。这些看似有些不便，但事实上有专门的烧写软件可以很方便地在线编程。M29DW324DB 采用了非对称式的块结构，芯片中的 63 个主块(Main Blocks)和 8 个参数块(Parameter Blocks)被不对称地分成 A、B 两组。当在 A 组中做写或者擦除操作时，DM642 可以同时读取 B 组中的数据。这些块可以独立进行擦除。同时 M29DW324DB 还有一个额外的 64K Byte 的扩展块，它可以用密码保护，适合用来存放一些秘密信息。值得一提的是，虽然擦除要按“块”操作，但是读或编程操作可以按“字节”或“字”来进行。在 M29DW324DB 当中包含一个 Boot 块可以用来在系统启动时引导程序运行。当 DM642 复位时，就可以执行 Boot 块内的程序。

M29DW324DB 有一个专门的指令接口，它是存储器内用来翻译总线写操作的内部状态机。存储器内部数据不受总线写操作影响，而由编程和擦除命令改变，并且由编程/擦除控制器完成。指令接口将校对指令的有效性并相应地改变 Flash 存储器的状态。

此外，M29DW324DB 的指令接口不直接接受写指令，而需要在写指令之前附加一些特定的编码周期。这些编码周期是为了防止在系统上电或掉电以及软件错误时产生的毛刺导致存储器内容被误操作。每一个编码周期需要在数据总线和一部分地址总线上出现正确的数据。

## 2. Flash 的访问方式

不同厂家的 Flash 存储器有不同的访问方式，主要有 3 种：并行方式、串行方式和串行 NAND (与非)方式。

并行方式存储器（以 M29DW324DB 为例），通常是和微处理器的总线连接，如图 3-6A。M29DW324DB 的地址总线 and 数据总线是相互分离的。M29DW324DB 的读操作分三步进行：首先地址被送到地址总线上，然后给出一个读控制信号，最后数据由 Flash 给出并被 DM642 读取。向 M29DW324DB 写数据分两步进行：首先地址和数据总线有效，接着控制信号将数据锁存至 Flash。需要注意的是，

写操作只是将写指令写进存储器的指令接口（Command Interface）而不是存储矩阵。

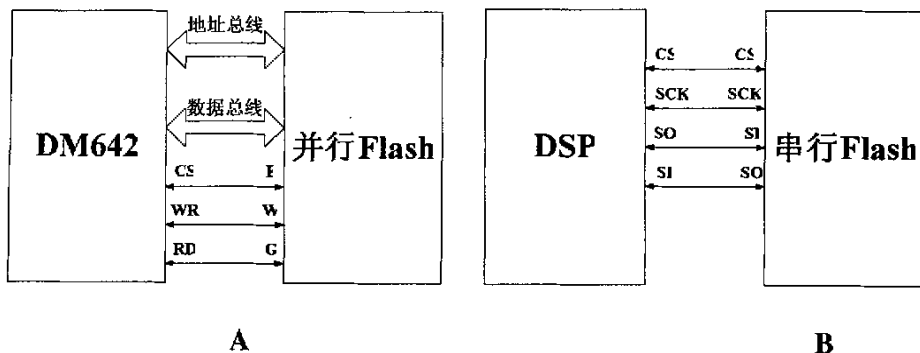


图 3-6 Flash 存储器的并行和串行访问方式

串行 Flash 有一个串行总线，最常用的是 SPI。图 3-6B 给出了串行 Flash 和一个微处理器的连接方式。要读串行 Flash，片选信号至低，地址在时钟驱动下被串行输入，然后数据被串行地从输出引脚输出。向串行 Flash 写数据原理与之类似，数据从输入引脚输入。串行 Flash 通常有一些指令和内部缓冲用来减少总线读写操作的次数。

由于串行 NAND Flash 使用的不是很广，所以在这里就不做说明。

### 3. Flash 的高位地址扩展

Flash 的存储空间被分配在 EMIF 的 CE1 低位地址空间，可寻址的地址只有 512Kbyte；但是 Flash 的容量总共为 4M Byte。CE1 可寻址的存储空间只有是 Flash 的容量的 1/8。因此，我们在设计时，通过 CPLD 来创建 3 根扩展地址线，作为 Flash 地址的高 3 位。这样就把 Flash 分成了 8 页，每页 512KBytes，地址范围和页号在下表中显示。当系统复位时，Flash 位于第 0 页。在系统初始化完成后，可以通过 CPLD 控制选页，从而实现对 Flash 各页的读写操作。

表 3-4 Flash 的分页

| EMIF 的地址范围                | Flash 页号 | 高 3 位地址线 ( $A_{21}A_{20}A_{19}$ ) |
|---------------------------|----------|-----------------------------------|
| 0x9000 0000 至 0x9000 FFFF | Page 0   | 000B                              |
|                           | Page 1   | 001B                              |
|                           | Page 2   | 010B                              |
|                           | Page 3   | 011B                              |
|                           | Page 4   | 100B                              |
|                           | Page 5   | 101B                              |
|                           | Page 6   | 110B                              |
|                           | Page 7   | 111B                              |



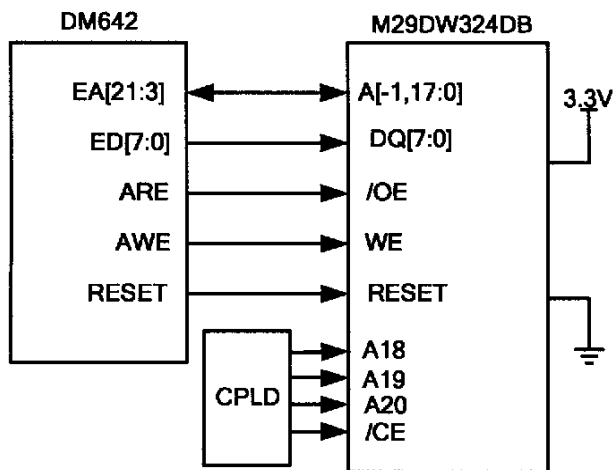


图 3-7 Flash 和 DM642 的连接电路

### 3.4 CPLD 逻辑控制模块

网络摄像机是一个庞大而复杂的系统，有很多功能模块，存在很多不同功能的芯片，如多媒体处理器 DM642、SDRAM 存储器、Flash、图像传感器、音频编解码器以及网络传输模块。为了在这些模块和芯片之间进行数据的交换，需要片选、数据线、地址线等时序信号按照规定的逻辑关系工作，才能使芯片正常工作。在传统的数字电路中，逻辑关系主要由各种门电路或者组合逻辑电路来实现，这种方法对于简单或者数量不多的逻辑关系的实现是可取的。但是，随着数字电路系统越来越负责，逻辑关系也越来越难实现，传统的门电路显得力不从心，并且占用较大的电路板空间和功耗。

随着可编程技术在器件设计上的应用，数字系统设计的灵活性大大的提高了。传统的数字系统设计只能通过设计电路板来实现系统功能。而采用可编程技术，利用 EDA 工具，我们可以在电路板已经制作完成后，通过对芯片的在线编程来实现系统功能。这种设计方法可以由设计者定义器件的内部逻辑和管脚，将原来由电路板设计完成的大部分工作放在芯片级的设计中。这样，不仅可以通过芯片实现多种逻辑系统功能，而且由于管脚定义的灵活性，大大减轻了电路设计的难度，从而提高工作效率，缩短开发周期。同时，基于芯片的设计可以减少芯片的数量，降低系统功耗，提高整体性能和可靠性。

复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA）目前在数字电路系统中广泛应用。通过硬件描述语言（VHDL 或者 Verilog HDL）对 CPLD、FPGA 进行编程，以实现一定逻辑功能，就可以开发出一个专业集成电路芯片。将 CPLD/FPGA 与 DSP 结合使用，是目前数字系统设计最常用的方法。这种方法充分发挥两者的优势，将会使数字系统趋向小型化、灵活化，性能也将更高、

保密性更好<sup>[19]</sup>。

CPLD 和 FPGA 在本质上是相似的,但两者又有较大的区别,在实际应用中各有所长。CPLD 是从 PLD (可编程逻辑器件)基础上改进而来的,主要是由可编程逻辑宏单元围绕中心的可编程互连矩阵单元组成的。由于 CPLD 内部采用固定长度的金属丝进行各逻辑块的互连,所以设计的逻辑电路具有时间的可测性,因而可以达到很高的速度。CPLD 的集成度一般可达数千甚至数万门,能够实现较大规模的电路集成。与传统的可编程逻辑器件相比,FPGA 由于采用了类似门阵列的通用结构,规模可以做得较大,可实现的功能更强,目前已经突破百万门,同时设计的灵活性也更大。FPGA 中包含丰富的触发器资源,有些还具有诸如片上 RAM、内部总线等许多系统级的功能,因而完全可以实现片上系统的集成。就互连结构而言,典型的 FPGA 通常采用分段互连式结构,具有走线灵活,便于复杂功能的多级实现等优点,但与此同时也带来了布线复杂度增加、输入至输出的延时变大及总的性能估计较困难等问题<sup>[18]</sup>。

在网络摄像机中,所要实现的逻辑控制功能有:FLASH 片选、中断译码输出、通用 IO 实现等接口逻辑功能。考虑到网络摄像机对电路体积、系统功耗的要求,我们选择基于 CPLD 的设计方法,对系统内逻辑控制功能进行集中处理。在网络摄像机中,采用的 CPLD 型号是 Altera 公司的 EPM3128,它有 128 个宏单元,2500 个可用门,最多 98 个可编程的 I/O 管脚(算上可复用的管脚),最高内部全局时钟可达 227.3MHz。它是基于 EEPROM 的器件,传输时延在 10ns 以内,输入寄存器建立时间非常短,而且能够提供多个系统时钟,具有可编程的速度/功率。通过对系统所需的逻辑控制信号数目的分析,调试硬件时更改逻辑控制信号<sup>[20]</sup>。按照逻辑关系,用 VHDL 语言编写程序,EPM3128 通过 JTAG 接口用转用电缆下载后,即可实现逻辑控制功能。这是一种简单方便、易于实现且方便修改、控制的方法,性能价格比很高,芯片在电子市场上也很容易购买到。

系统通过 DM642 的 EMIF 接口为 CPLD 分配了专门的可寻址内存空间,DM642 可以通过地址总线对 CPLD 的存储器进行读写,以各种逻辑功能。CPLD 的连接如下图所示:

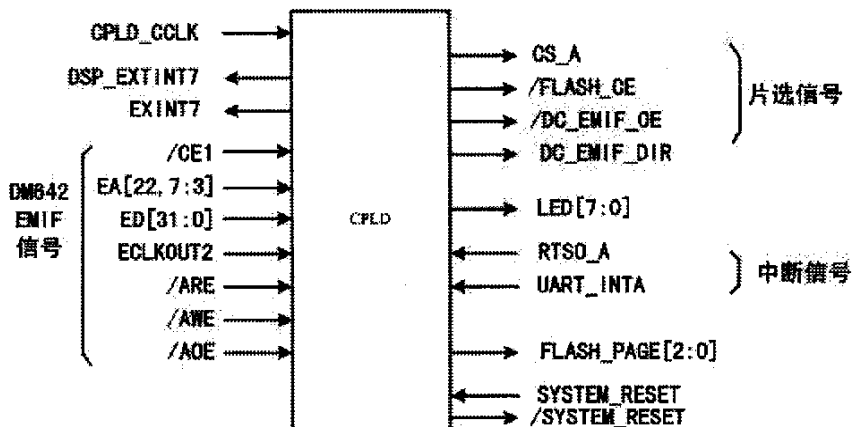


图 3-8 CPLD 信号连接示意图

## 3.5 I<sup>2</sup>C 电路子系统

从功能上分，网络摄像机系统主要分为视频采集、编码、传输功能以系统内各芯片的初始化程序。由于系统器件和芯片较多，软件设计比较复杂，而且需要考虑到对周边众多器件的实时控制和通信，以完成各种与用户的交互控制功能。我们有必要采用一种机制，可以灵活地完成芯片初始化和实时控制。

### 3.5.1 I<sup>2</sup>C 总线协议

I<sup>2</sup>C 总线是 PHILIPS 公司推出的芯片间串行数据传输总线，它通过 SDA（串行数据线）和 SCL（串行时钟线）即可实现完善的全双工同步数据传送，能够十分方便地在连到总线上的器件间传送信息，构成多机系统和外围器件扩展系统。I<sup>2</sup>C 器件是把 I<sup>2</sup>C 的协议植入器件的 I/O 接口，使用时器件直接连接到 I<sup>2</sup>C 总线上，这一特点给用户在设计应用系统时带来了极大的方便。I<sup>2</sup>C 器件无须片选信号，是否选中是由主器件发出的 I<sup>2</sup>C 从地址决定的，而 I<sup>2</sup>C 器件从地址是由 I<sup>2</sup>C 总线委员会实行统一编制，器件出厂时就已给定，不会产生地址冲突的情况。I<sup>2</sup>C 的数据传输采用状态码的管理方法，传输时出现的任何一种状态，在状态寄存器中出现相应的状态码<sup>[21]</sup>。

I<sup>2</sup>C 总线的 SCL 和 SDA 都是双向线。总线备用时，SDA 和 SCL 都必须保持高电平，只有关闭 I<sup>2</sup>C 总线时才使 SCL 钳位在低电平。SCL 时钟信号最小高电平和低电平周期决定了器件的最大数据传输速率，标准模式为 100kbit/s、高速模式为 400kbit/s。当然，实际数据传输时可以选择不同的数据传输速率，同时也可以采取延长 SCL 低电平周期来控制数据传送速率<sup>[18]</sup>。

I<sup>2</sup>C 总线信号及时序定义：I<sup>2</sup>C 总线数据传输时，在时钟线高电平期间数据线上必须保持有稳定的逻辑电平状态，只有在时钟线为低电平时，才允许数据线上

的电平状态变化,如图 3-9 所示。 $I^2C$  总线数据传送时有两种时序状态被分别定义为起始信号和终止信号,如图 3-9 所示。



图 3-9  $I^2C$  总线上的数据位、起始信号、终止信号传输

$I^2C$  总线上的数据传送特点有<sup>[18]</sup>:

(1)  $I^2C$  总线上传送的每一个字节均为 8 位,但每启动一次  $I^2C$  总线,其后的数据传输是没有限制的。每传送一个字节后都必须跟随一个应答位,并且首先发送的数据位为最高位,在全部数据传输结束后主控制器发送终止信号。

(2) 没有时钟信号时数据传输将停止,接口的线与特征将使 SCL 在低电平钳住总线。

(3)  $I^2C$  总线传送数据时,每传送一个字节后都必须有应答信号。应答信号在第 9 个时钟位上出现,接收器输出低电平为应答信号 A,输出高电平则为非应答信号。当主控制器接收数据时,接收到最后一个数据字节后,必须给被控发送器发送一个非应答位,使被控发送器释放数据线,以便主控制发送停止信号,从而终止数据传送。

(4) 按照总线规约,起始信号表明一次数据传输的开始,其后为寻址字节,寻址字节由高 7 位地址和最低 1 位方向位组成,方向位为“0”时表明主控制器对被控器的写操作,为“1”时表明主控制器对被控器的读操作。在寻址字节后是按指定读、写操作的数据字节与应答位。数据传输完成后主控制器都必须发送停止信号。

### 3.5.2 网络摄像机中的 $I^2C$ 子系统设计

在网络摄像机系统中,我们利用 DM642 片上集成的  $I^2C$  总线控制器,来配置 CMOS 传感器和音频编解码器的工作模式。此外,也可以通过  $I^2C$  总线来读写实时时钟芯片上的 EEPROM,以获得日期、时间和其他信息。

$I^2C$  总线上的音视频编解码器和实时时钟芯片的  $I^2C$  地址如表 3-5 所示:

表 3-5 网络摄像机系统内的  $I^2C$  器件

| 器件          | 地址        | 读/写状态 | 功能               |
|-------------|-----------|-------|------------------|
| MT9T001     | 0xBA/0xBB | 读/写   | CMOS 传感器         |
| TLV320AIC23 | 0x1A      | 读/写   | 音频编解码器           |
| FM4005      | 0x0D      | 读/写   | 带 EEPROM 的实时时钟芯片 |

网络摄像机系统中,各  $I^2C$  器件的连接图如图 3-10 所示。

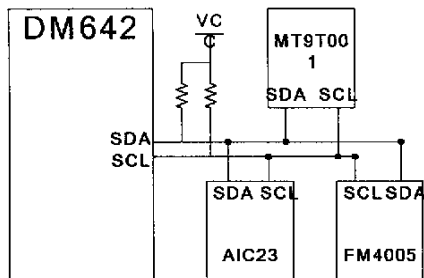


图 3-10 I²C 器件的连接图

### 3.6 视频采集模块

视频采集模块是网络摄像机系统中最关键的部分之一，它由视频采集器件配以周边电路和镜头组成，为系统中的视频压缩编码模块提供高质量的原始数字视频数据。本文采用了分辨率为 300 万像素的 CMOS 图像传感器芯片 MT9T001 作为视频采集器件，在 DM642 的视频端口被配置成原始数据（Raw Data）的模式下，MT9T001 可以和 DM642 直接连接。视频采集模块的框图如图 3-11 所示。

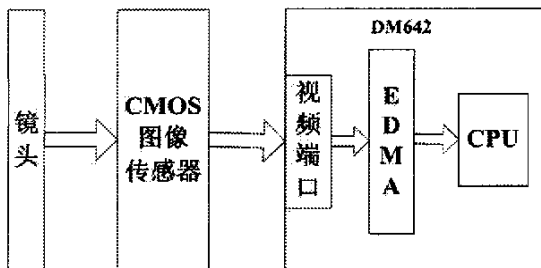


图 3-11 视频采集模块的框图

#### 3.6.1 视频采集模块的设计

网络摄像机视频采集模块的工作原理为：景物通过镜头生成的光学图像投射到图像传感器表面上，然后转为电信号，经过 A/D 转换后变为数字图像信号，再送到数字信号处理芯片 DSP 中加工处理。如图 3-12 所示。

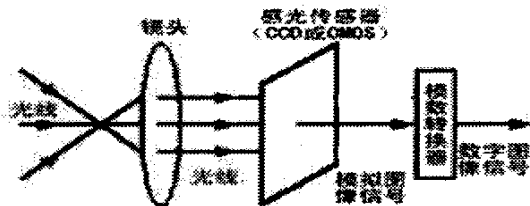


图 3-12 视频采集模块的工作原理

在视频采集模块中，最核心的器件就是图像传感器。图像传感器利用光电器

件的光—电转换功能,将其感光面上的光像转换为与其成比例的“图像”电信号。常用的图像传感器有 CCD 传感器和 CMOS 图像传感器。

## 1. CCD 传感器的结构与原理

CCD 是以电荷耦合为读出方式的固态图像传感器。它的工作原理如下: CCD 的基本单元是 MOS (金属—氧化物—半导体) 电容器。在电脉冲的驱动下, 势阱 (电荷包) 在半导体衬底间转移, 即“电荷耦合”。CCD 分为三个不同的功能区: 光敏区 (像素)、转存区 (垂直寄存器) 和读出寄存区 (水平寄存器), 它们分别由对应的时钟脉冲控制。光像在光敏区被光电半导体 (光吸收和光电转换) 单元采样, 转换成 MOS 势阱内一组电荷包。电荷包的大小与该处的光强成正比。这组电荷包在具有相位差的脉冲组的驱动下移至转存区, 再经读出寄存区读出, 输出由光像信号的空间分布而转换成的电荷时域脉冲串。经过电路的处理后就形成了视频信号。

CCD 电荷耦合器件按其电荷转移方式可分为帧转移型 CCD 电荷耦合器件 (FTCCD)、行间转移型面阵 CCD 电荷耦合器件 (ITCCD)、帧—行转移型 CCD 电荷耦合器件 (FIT-CCD) 三种<sup>[22]</sup>。其中, 帧—行转移型 CCD 电荷耦合器件的垂直转移速度极快, 可较好消除光污染和垂直拖尾。这种器件在高档 CCD 摄像机中应用较为广泛。

## 2. CMOS 传感器的结构与原理

CMOS 图像传感器器件的总体结构如图 3-13 所示<sup>[23]</sup>。它将光敏单元阵列、模拟信号处理电路、行和列地址译码电路、多路选择器电路、时序控制电路、控制寄存器接口电路、模数转换电路等高度集成在一块 CMOS 芯片上。

CMOS 图像传感器上的 ADC 转换器可以分为像素级、列级和芯片级。像素级即指每个像素有独自の ADC 转换器; 列级即指每列像素共用一个 ADC 转换器; 芯片级指整个感光阵列共用一个 ADC 转换器。像素级 ADC 转换器有许多优点, 如低噪声、可持续观察像素的输出、大动态范围等。但是由于像素尺寸有限, 像素级的 ADC 转换器不易实现。

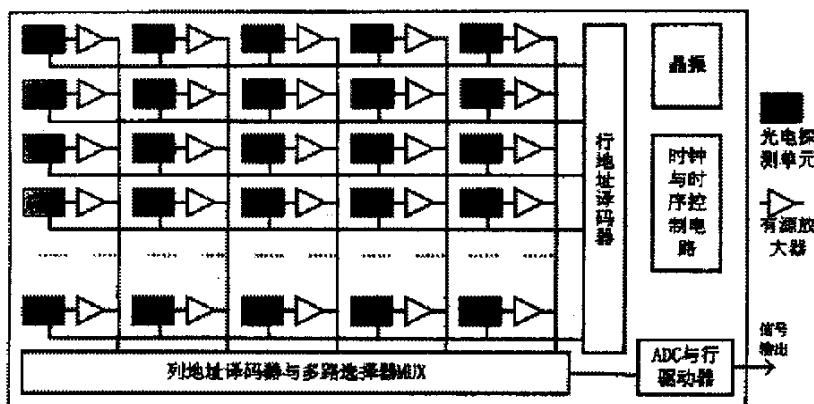


图 3-13 CMOS 图像传感器的总体结构

读取 CMOS 图像传感器芯片像素图像信号类似于读取存储器存储单元，并且有多种访问模式。整个阵列逐行扫描读出是普通读出模式；窗口读出模式仅读出感兴趣窗口内像素信号；跳跃读出模式对图像抽样，每隔几行或几列读出像元，以降低分辨率为代价增加读出速率。跳跃读出模式与窗口读出模式结合可实现电子全景摄像、倾斜摄像和可变焦摄像。

CMOS 图像传感器器件像素的光敏单元结构<sup>[23]</sup>，可分为无源像素和有源像素。其中 CMOS 图像传感器有源像素（Active Pixel Sensor，简称 APS）在光电二极管和行选择开关之间增加了晶体管放大器，光电转换后的信号立即在像素内放大，提高了 CMOS 图像传感器的灵敏度。

CMOS APS 图像传感器器件<sup>[25]</sup>包含的功能模块如图 3-14 所示。寄存器接口部分常采用 I<sup>2</sup>C 总线或 SPI 总线。同步信号可以从外部输入或者由时序发生器产生并输出（方便与外部视频信号同步）。CMOS APS 采用相关双采样电路（CDS，其基本原理是由每个像素传感器引出两路输出信号，一路为背景参考信号，一路为实时信号。两路信号分别采样，两次信号的差值作为该像素的实际输出信号）有效地降低了噪声干扰。ADC 模数转换器分辨率一般为 8-12 位。为了实现 CMOS 图像传感器器件的灵活控制，内部设计了很多控制寄存器，分别控制实现不同功能，如曝光时间控制（即电子快门）、图像信号自动增益控制、白平衡调整、图像帧速率设定、传感器工作模式、输出图像格式选择等等。

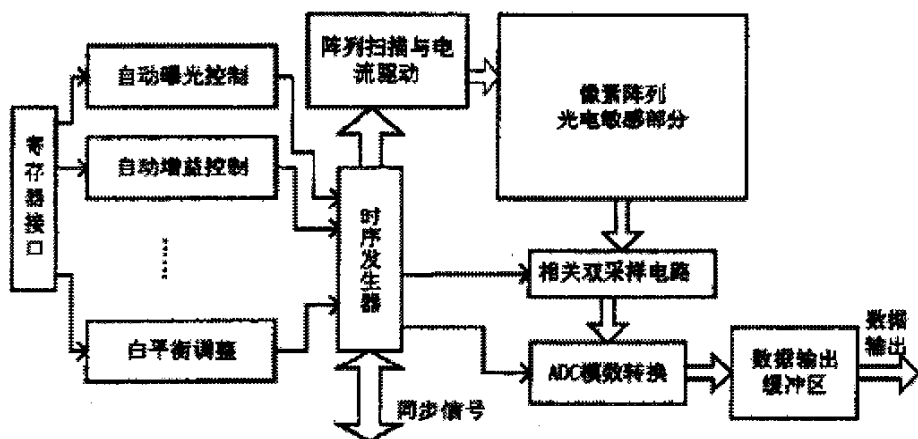


图 3-14 CMOS APS 图像传感器器件功能框图

目前 CMOS 图像传感器主要朝着高分辨率、高灵敏度、高动态范围、集成化、数字化方向发展。人们主要致力于提高 CMOS 图像传感器，尤其是新近开发出来 CMOS APS 器件的综合性能，缩小像素尺寸，将时钟和控制电路、信号处理电路、ADC 电路、图像压缩等电路，与图像传感阵列完全集成在一起，并制作滤色片和微透镜阵列，以期实现低成本、低功耗、高度集成的单芯片成像微系统。

#### 4. CCD 与 CMOS 图像传感器的比较

CCD 与 CMOS 图像传感器是当前被普遍采用的两种固体图像传感器，两者都是利用光电效应，将光学图像转换为图像电信号，它们的主要差异是图像电信号传送和输出方式的不同。表 3-6 对比了它们的主要差异。

表 3-6 CCD 与 CMOS 图像传感器的特性差异

| 特性      | CCD                     | CMOS 图像传感器        |
|---------|-------------------------|-------------------|
| 像素通道    | 仅可获取整个图像                | 可以获取单个像素数据        |
| 转换      | 全为无源噪声，静态噪声             | 有额外的有源噪声源         |
| 噪声      | 须采用抗溢出技术                | 像素结构对溢出免疫         |
| A/D 转换  | 片外实现                    | 片内实现              |
| 时序及控制电路 | 片外实现                    | 片内实现              |
| 自动增益控制  | 片外实现                    | 片内实现              |
| 系统功耗    | 大于 1.5W                 | 小于 150mW          |
| 集成情况    | 只能单独集成传感器部分，应用系统为多片、多元件 | 单片高度集成，可以集成其他功能部件 |

归纳起来，与 CCD 图像传感器相比，CMOS 图像传感器具有以下优势：

##### (1) CMOS 图像传感器在硬件系统上更为简化

在电源的提供上，CCD 需要多路不同的非标准供电电源来满足特殊时钟驱动



的需要,支持基于模拟移位寄存器的 MOS 电极内电荷重复的横向转移,以读出光生电信号。CMOS 仅需要提供标准的 5V 或者 3.3V 单电压电源即可工作,这给应用电路设计带来了很大的方便。

在芯片集成度上,CCD 成像系统实现 A/D 转换、信号处理、自动增益控制、精密放大等功能需要 3-8 个芯片组合,为多芯片系统;CMOS 工艺是超大规模集成电路(VLSI)的主流工艺,集成度很高。借助于 VLSI 工艺,CMOS 图像传感器能够很容易得把光敏阵列、驱动和控制电路、模拟信号处理电路、A/D 转换器、全数字接口电路等完全集成在一起,实现单芯片数字成像系统。并且,CMOS 图像传感器和其他 CMOS 电路兼容,这样就可以花很低的成本增加一些特殊功能,如自动增益控制,自动曝光控制等。从一些 CMOS 图像传感器主要生产厂商的产品清单上也可以看出这一特点,新产品中集成了越来越多的新功能,使系统开发人员可以很方便的实现各种原本需要软件支持的功能。

## (2) CMOS 图像传感器的电源功耗更低

单从芯片本身考虑,CCD 大多需要三种电源供电,功耗较大;CMOS 图像传感器只需一个单电源供电,这在很大程度上减少了系统的功率损耗。

从图像传感器应用在数字摄像头系统上看,在 CCD 成像系统中,信号放大电路、双采样电路及 A/D 转换器均为单个芯片,这就需要为分立电路提供时钟驱动和外部电路,将消耗很大的系统功耗。相反,虽然 CMOS 图像传感器芯片本身的功耗可能比 CCD 略大,但在组成完整的应用系统是,CCD 成像系统由于需要配置较多的外围支持电路,其功耗可能达到器件本身功耗的十倍以上。而实用 CMOS 成像系统由于大多数功能都在 CMOS 图像传感器芯片上实现,不需要有特殊的外围支持电路,所以 CMOS 图像传感器的系统功耗比 CCD 系统低约 10-100 倍,大大改善了系统性能。

## (3) CMOS 图像传感器的成本更低

CCD 是用特殊的工艺生产的,而 CMOS 图像传感器能利用半导体器件所用的现有生产工艺和设备进行制造,故可以大大降低生产成本。而且,更紧凑的结构降低了故障发生率,增加了系统可靠性,减少了对外围支持芯片的要求,从而进一步降低了整个系统的成本。

# 4. 彩色 CMOS 图像传感器的图像采集方式

在 CMOS 图像传感器的光电转换过程中,光子转换为电荷的多少与光波波长关系不大,所以它原本是单色传感器。彩色 CMOS 图像传感器是通过应用微平板技术,在每个像素上镀上颜色滤光器制造出来的。各像素滤光器颜色分配常采

用传统的“Bayer”模式，每四方相邻的四个像素构成一组，每组有两绿、一红、一蓝。多出的绿色像素是为了使传感器的输出更接近于人眼对光的反应。

为了将尽可能多的光线都集中到像素的光敏单元，常常还给 CMOS 图像传感器每个像素装上微透镜。微透镜有两种方法实现。一种方法是将塑料在每个像素上沉积为圆形或正方形；然后采用腐蚀或融制的方法，将透镜变为弯形。还有一种技术是通过几个掩模蚀刻步骤，在不同颜色像素上制成不同的台阶状透镜。

最常见的 CMOS 图像传感器器件的数据输出格式是 Bayer 原始数据输出格式。

Bayer 原始数据的一般格式为：

奇数扫描行 GRGRGR..... GRGR

偶数扫描行 BGBGBG..... BGBG

数据采样时，奇数扫描行的第 1, 2, 3, 4.....像素分别采样和输出 G, R, G, R.....数据；偶数扫描行的第 1, 2, 3, 4.....像素分别采样和输出 B, G, B, G.....数据。

在像素颜色值的后处理过程中，首先要根据一定的彩色图像恢复算法，参照该像素周围的另两种颜色像素，估计出该位置像素本来 RGB 三色的分量值。算法的讨论在第五章中详细阐述。

### 3.6.2 DM642 视频端口

使用一般的 DSP 芯片做设计时，我们需要把视频采集芯片输出的视频信号放到 FIFO 中，然后通过 DSP 的外部数据总线传输到 DSP 内部。这种设计方法在硬件实现上比较复杂，需要增加 FIFO 芯片，并且在和 DSP 外部总线的连接上也增加了复杂度。此外，视频格式多种多样，DSP 把视频信号都作为普通的数据会出现各种实际的问题，如信号格式和同步的问题<sup>[35]</sup>。

多媒体处理器的出现，解决了这一问题。以 DM642 为例，它有三个 20-bit 的视频端口，我们在设计时无需外加缓存芯片，而且可以把视频采集、显示芯片直接连接到端口上。

DM642 的每个视频端口都包含了两个通道 A 和 B<sup>[9]</sup>，但是整个端口总是被配置成一整个采集或者显示模式。在被配置成同一模式的前提下，16/20-bit 的端口可以被分为两个 8/10-bit 的通道。FIFO 缓存的容量总共是 5120-Byte，可以分配给两个通道。

在网络摄像机的设计中，我们把视频端口配置成采集模式。DM642 的视频采集端口可实现以下功能：

(1) 采集速率可以达到 80MHz；

(2) 两路 8/10-bit 数字视频输入，数字视频可以为 YCbCr4: 2: 2 格式或者 ITU-R

BT.656 格式，精度为 8bit 或者 10bit；

(3) 一路 YUV4: 2: 2 格式的 Y/C 16/20-bit 数字视频输入，两个 8/10-bit 通道分别输入 Y 和 Cb/Cr 信号。支持 SMPTE260M, SMPTE274M, SMPTE296M, ITU-BT1120 等标准；

(4) 通过 A/D 转换器的直接连接，能够同时接收两路 10-bit 或一路 20-bit 的原始视频数据 (Raw Data)。

DM642 的每个视频端口都包含了一个 FIFO 来储存输入或输出的视频数据。视频端口和芯片内部的 DMA 传输器一起在视频端口 FIFO 与外部或片上内存之间搬移数据。

视频端口的结构如图 3-15 所示。

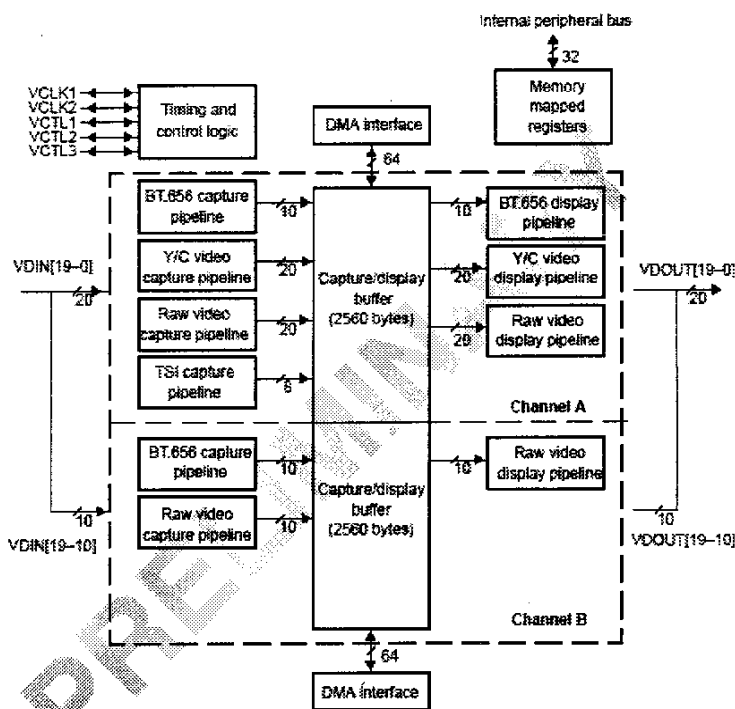


图 3-15 DM642 视频端口结构图<sup>[9]</sup>

### 3.6.3 网络摄像机的视频采集模块设计

前文提到，CMOS APS 图像传感器在价格、性能和功耗等各方面都优于 CCD 图像传感器，而且集成了很多图像处理功能，因此在本文的网络摄像机采集模块设计中，我们选用了 Micron 公司生产的 CMOS APS 图像传感器芯片——MT9T001。

MT9T001 是一款 OXGA 格式（有效像素为 2048\*1536）的 CMOS 数字图像传感器。芯片上集成了模拟及数字自动增益调整、电平偏置调整。视窗大小切换、

行列调整和闪光模式等功能，这些功能都可通过 I<sup>2</sup>C 总线接口进行编程控制<sup>[24]</sup>。

该传感器可以工作在默认模式或者通过寄存器编程设置的用户模式。默认模式将以每秒 12 帧的速度输出 QXGA 格式图像。芯片上的 A/D 转换器为每个像素提供 10bit 的数据流，并伴随有行、场同步信号输出。

这款 300 万像素的传感器除保持了 CMOS 图像传感器器件一贯的小巧、低价、集成度高的优势外，还额外增加噪声抑止功能，具备了 CCD 传感器的低噪声特性，能够提供高清晰的锐利影响，并能捕捉到连续和静态图像，可以为本文的高清晰度网络摄像机提供高质量的视频信号数据。功能框图如图 3-16 所示。

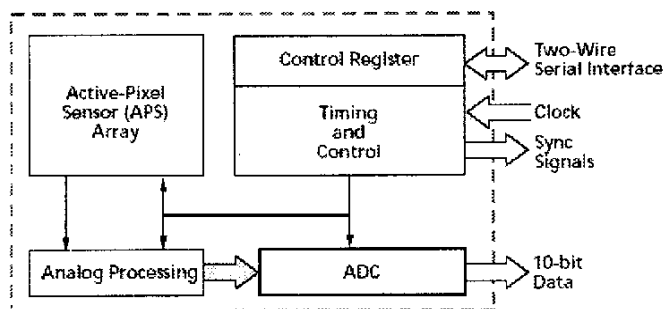


图 3-16 MT9T001 功能框图<sup>[24]</sup>

DM642 和 CMOS 图像传感器的连接如图 3-17 所示。为了接收视频数据，DM642 的视频端口必须配置成原始数据采集模式。在这种模式下，DM642 对接收到的数据不作任何选择或插值处理。这种操作模式适合接收 CMOS 图像传感器等特殊格式的数据。由于是传输原始数据，DM642 和 MT9T001 之间的连线也相对简单，不需要行、场同步信号。当 CAPENA 信号被使能后，VP1D 数据总线将开始接收数据；采集速率由 CMOS 传感器的 PIXCLK 时钟决定。DM642 通过 I<sup>2</sup>C 总线（SCL 和 SDA）控制 CMOS 图像传感器的工作模式。

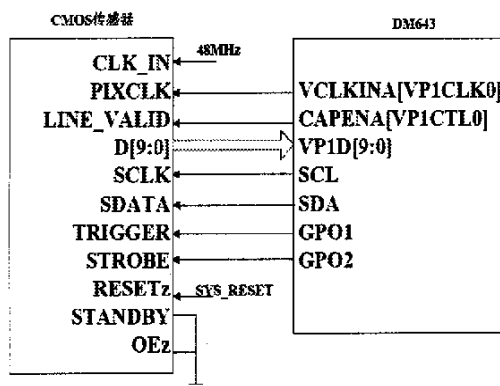


图 3-17 DM642 和 MT9T001 的电路连接

### 3.7 音频传输模块

考虑到多媒体监控这个发展方向, 本文对利用 DM642 的多通道音频串口 (McASP) 实现音频输入、输出模块, 扩展了网络摄像机的应用。音频输入模块的作用是把输入的模拟音频信号, 经过 A/D 转换并压缩编码后, 交由网络模块传输到以太网上。音频输出模块则是将网络模块接收到的音频数据进行解码和 D/A 转换后, 通过 3.5mm 的音频端子输出。音频传输模块的功能结构图如图 3-18 所示。

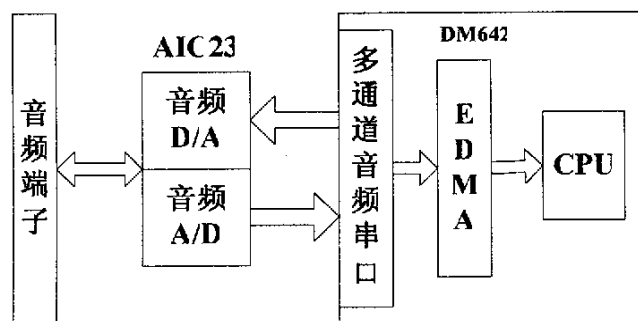


图 3-18 音频传输模块的功能结构图

#### 3.7.1 DM642 的多通道音频串口 (McASP)

McASP 的功能是为多通道的音频应用提供一个通用的串行接口, 它支持 TDM 流, I2S (Inter-Integrated Sound) 协议等多种音频传输。McASP 包括了传输和接收部分, 它们可以完全独立的传输不同的音频数据格式、工作在不同的时钟。当然, 传输和接收部分也可以被同步。

McASP 的特点包括:

- (1) 两个独立的时钟 (发送和接收);
- (2) 8 个串行数据通道, 独立可分配;

每个时钟包括:

- (1) 可编程的时钟生成器;
- (2) 可编程的帧同步生成器;
- (3) 支持时隙大小包括 8、12、16、20、24、28 和 32bits。

利用 DM642 的多通道音频串口, 我们选用一片音频编解码芯片 (Codec) 直接和它连接, 就可以完成所需的音频传输功能<sup>[9]</sup>。

#### 3.7.2 音频编解码芯片

由于在网络摄像机中音频传输是一个辅助性的模块, 我们希望它不要占用太

多的电路板空间和系统资源。同时,为了满足高采样率、高信噪比、高速数据传输及控制灵活方便等要求,我们选择了 TI 公司的音频编解码芯片(CODEC) TLV320AIC23 芯片来实现音频模块的功能。TLV320AIC23 是一款把模拟功能高度集成的高性能立体声音频编解码器,主要由以下功能模块构成<sup>[26]</sup>:

#### (1) 两路 D/A 转换输出——Line\_Out 和耳机输出

AIC23 片内两路 Sigma-delta 型 DAC 转换电路可提供 100dB 的输出信噪比,数据精度为 16 位,采样率可以在 8k 到 96k 的频率范围内调节。左右两路声道经 DA 变换后的模拟量直接从 ROUT 和 LOUT 引脚输出;同时也可以经片内可调增益放大器放大后,分别从 RHPOUT 和 LHPOUT 引脚输出耳机信号。网络摄像机利用两个可以选择的 0 欧姆电阻,可以根据不同的应用场合选择。默认的状态是 RHPOUT 和 LHPOUT 输出耳机信号。

#### (2) 两路 A/D 转换输入——Line\_In 和麦克风输入

AIC23 片内两路 Sigma-delta 型 ADC 转换电路可提供 90dB 的输出信噪比,数据精度为 16 位,采样率可以在 8k 到 96k 的频率范围内调节。所采样的左右两路模拟信号分别从 RLINEIN 和 LLINEIN 引脚输入,经可调增益放大器放大后送入 ADC 转换器的输入端。通过设定片内的选择器,ADC 的输入信号也可来自 MICIN 引脚所接的麦克风。网络摄像机系统使用两个 0 欧姆电阻做为选择开关,根据不同应用场合选择。默认状态是用 RLINEIN 和 LLINEIN 输出。

#### (3) 数字音频接口

AIC23 通过数字音频接口向外围设备传送两路数字音频数据;并通过数字音频接口从外围设备获取音频数据,经 D/A 转换器转换成模拟信号输出。数字音频接口支持多种工作模式,可方便的与多种外围设备接口。串行传输时钟最高可达 20MHz。

#### (4) 控制接口

外围设备通过控制接口向 AIC23 单向传输控制命令,AIC23 片内的所有控制寄存器均由控制接口修改。通过向控制接口发送命令,外围设备可以方便地修改 AIC23 的工作片内控制寄存器,从而实现对 AIC23 工作模式的控制,如调节各通道增益,设定数字音频接口工作模式等。

同时,AIC23 还具有有很低的能耗,回放模式下功率为 23mW,省电模式下小于 15uW。硬件模块选择 AIC23 实现音频模块,可以保证测试系统对采样频率和采样精度的要求,提高测试结果的准确性。

### 3.7.3 数字音频接口设计

DM642 和 AIC23 的数字音频接口采用串行同步传输方式来进行音频数据的双向传输。数字音频接口使用以下信号实现串行传输时序：

(1) BCLK—数字音频接收时钟信号，当 AIC23 为从模式时，该时钟由 DM642 产生；AIC23 为主模式时，该时钟由 AIC23 产生。由 DM642 通过 I<sup>2</sup>C 总线控制接口，修改数字音频接口格式寄存器设定；IC23 缺省工作于从模式。

(2) LRCIN —AIC23 数字音频接口接收的帧信号

(3) LRCOUT—AIC23 数字音频接口传输的帧信号

(4) DIN —AIC23 数字音频接口数据输入

(5) DOUT —AIC23 数字音频接口数据输出

在进行数据传输时，BCLK 信号作为串行时钟决定着串行传输速率。在 LRCIN 信号的同步下，音频数据由 DIN 信号携带从外围设备输入数字音频接口；在 LRCOUT 信号的同步下，音频数据由 DOUT 信号传送从数字音频接口传向外围设备。DM642 和 AIC23 的连接电路图如图 3-19 所示。

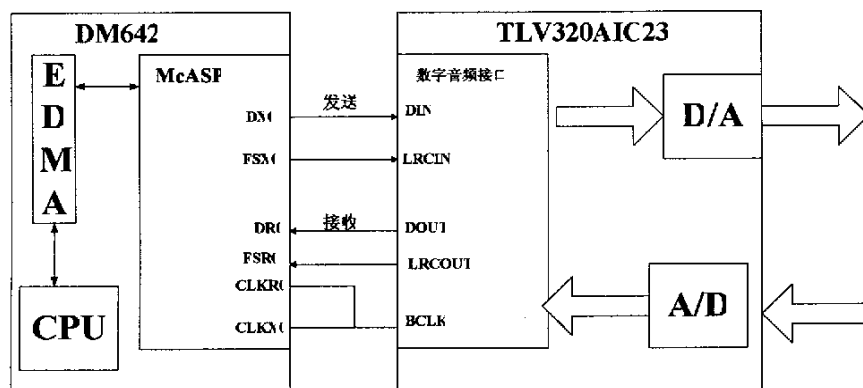


图 3-19 DM642 和 AIC23 的连接电路图

## 3.8 以太网、RS-485 通信模块

### 3.8.1 以太网通信模块

网络摄像机的重要功能就是可以直接接入以太网或者 Internet，通过网络传输视频数据。因此，网络摄像机的以太网通信模块必须提供一个标准的 RJ45 接口和可靠的网络传输质量。

ISO 组织将网络按其功能划分为 7 个功能层，每层都完成一个特定功能。以太网 IEEE802.3 也是按体系结构方法来组织的，它强调将系统划分为两大部分，严格地对应于 ISO 开放系统互连模式的最低两层：数据链路层和物理层。而

IEEE802.3 又将数据链路层分割为两个子层: MAC (Media Access Control)层和 LLC (Logical Link Control)层,从而使 LAN 体系结构能适应多种传输媒体。换言之,在 LLC 层不变的条件下,只需改变 MAC 层,便可适应不同的媒体和访问方法。在体系结构模式中,各层通过精确定义的接口相互作用,同时提供服务规范中所规定的服务。MAC 层和 LLC 层之间的接口具有发送和接收帧的功能,并提供每个操作的状态信息,供给更高一层进行差错恢复。MAC 层和物理层之间的接口,包括成帧和冲突控制的信号,实现在两层之间对串行比特流的流量控制和定时等功能<sup>[27]</sup>。

## 1. 以太网 802.3 协议中的 MAC 层

802.3 协议中的 MAC 层采用的是带冲突检测的载波侦听多路访问 CSMA/CD (Carrier Sense Multiple Access with Collision Detection) 介质访问控制协议。在发送之前,站点会侦听信道的状态,如果没有其他站点在发送,它就会发送。在发送时站点会检测冲突,一旦检测到冲突就尽快停止发送。MAC 还要完成数据封装,成帧,编址,差错检测等功能<sup>[28]</sup>。

当发送一帧数据时,需要:

- (1) 从 MAC 的上层收到数据,再把数据组成帧;
- (2) 为物理层提供串行比特流,发送到网线上。

当从以太网接收一帧数据时,需要:

- (1) 从物理层上接收比特数据流;
- (2) 把广播数据或只发给本站的数据送给 MAC 的上层。

MAC 还会处理以下事务:

- (1) 延迟帧的发送,使帧与帧之间有时隙;
- (2) 在半双工模式下,检测到冲突就停止发送;
- (3) 在半双工模式下,在冲突发生后,组织重发;
- (4) 在半双工模式下,发送阻塞信息,在网上产生强制冲突;
- (5) 丢弃小于最小帧长的帧;
- (6) 为所有的帧加前导码、起始界定符、目的地址、源地址、长度、FCS,对不够最小帧长的帧还要加填充字段,处理完后发送给物理层;
- (7) 把收到的帧的前导码、起始界定符、目的地址、源地址、长度、FCS,和填充字段都去掉,处理完后发送给 LLC 子层;
- (8) 在速度高于 100Mb/s 的半双工状态下,如果头帧的长度小于时间片 (512-bit),则加扩展比特;
- (9) 在速度高于 100Mb/s 的半双工状态下,从接收帧中去掉扩展比特<sup>[19]</sup>。



## 2. DM642 网络功能的基本模块

DM642 在芯片内部包含了一个网络功能模块，它已经集成了以太网媒介介入层协议 (Ethernet MAC)，为 DM642 内核和以太网物理层收发器 (PHY) 之间提供了高效率接口。设计者务须太多关注 EMAC 协议的实现，提高了开发效率。

DM642 的网络功能由三个主要功能模块组成：EMAC 控制模块、EMAC 模块、MDIO 模块<sup>[29]</sup>。如图 3-20 所示。

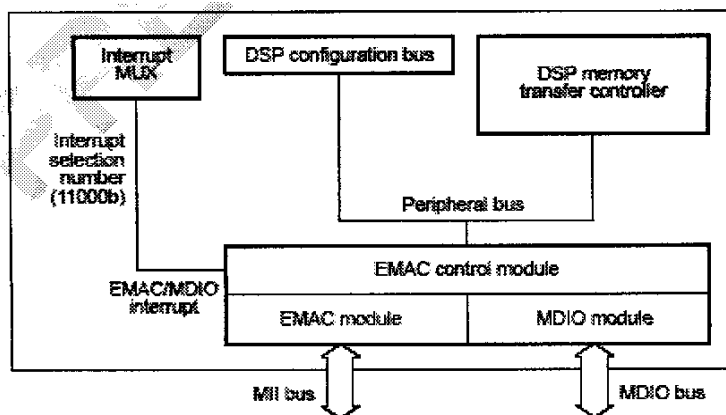


图 3-20 EMAC 模块框图<sup>[29]</sup>

EMAC 控制模块是 DM642 内核与 EMAC 模块和 MDIO 模块之间的接口，EMAC 控制模块包含能有效使用 DSP 存储器必需的组件，其控制网络模块的复位、中断和存储器接口的优先权。控制存储器的优先权用来平衡 EMAC 设备同 DM642 外围设备对存储器的操作。EMAC 控制模块的外围总线接口允许 EMAC 模块通过 DM642 的存储控制器读、写内部和外部的存储器。EMAC 控制模块内部具有 4K 的随机存储器用来保存信息包的缓冲描述符。

EMAC 模块提供 DM642 内核与网络之间的高效率接口，它具备 8 条传输队列用来发送和接收网络信息包。EMAC 模块支持 10Mb/s 或 100Mb/s 以太网模式，能工作在半双工或全双工模式下，具有硬件流控制及服务质量保证(QoS)支持。为避免传输数据错误，采用 CRC 校验码来确保数据帧的有效性。

MDIO 模块通过双总线，采用满足 802.3 规范的串行接口控制器对以太网的物理层进行监视和控制。主机软件通过 MDIO 模块来配置每个基于 EMAC 模块的物理层自适应参数、检索自适应参数的值，并且配置使 EMAC 模块正常运作的参数。同时，DM642 内核只需很少量的维护工作就可以通过 MDIO 模块接口，对该模块进行透明的操作。

EMAC 控制模块、EMAC 模块、MDIO 模块都具备控制寄存器，这些寄存器都通过 DM642 的地址总线映射到存储空间。同这些寄存器一样，控制模块内

部的随机存储器也被映射到这块存储空间。EMAC 和 MDIO 的中断都合并为控制模块中的一个中断,控制模块的中断又作为 DM642 中断的一部分。因为 EMAC 和 MDIO 的中断都合并到控制模块中去了,所以应用程序只响应控制模块的中断。

### 3. 以太网物理层的连接

100BAS-T 等以太网中各网络设备是通过双绞线互相连在一起。两对双绞线用水晶头接在 RJ45 上,分别用来传输数据和接收数据。这就要求在没有外部参考时钟的情况下,接收方要能明确的定位比特的开始与结束。曼切斯特编码 (Manchester encoding) 就是实现该功能的一种方法。使用曼切斯特编码,每个比特周期被分成两个相同的时间段。发送“1”时,该周期内前半段电压为高,后半段为低;发送“0”时则相反,先低后高。这种方案保证在每一比特周期的中部总有跳变,便于发送方与接收方的同步。

### 4. 以太网收发器和 DM642 的接口设计

LXT971A 是一个快速以太网物理层收发器芯片 (PHY)。它提供和 100BASE-TX 和 100BASE-T 以太网的直接连接接口,有与接入媒质无关的 (Media Independent Interface MII) 接口,可以与 DM642 的 EMAC 控制模块连接。它高度集成的设计减少了对外围器件的需求,内置了物理层编码子层 (PCS)、物理层媒质接入子层 (PMD)、发送/接收滤波器等<sup>[30]</sup>。在设计以太网模块时, LXT971A 是 DM642 和以太网 RJ45 接口之间的桥梁,连接图如图 3-21 所示。

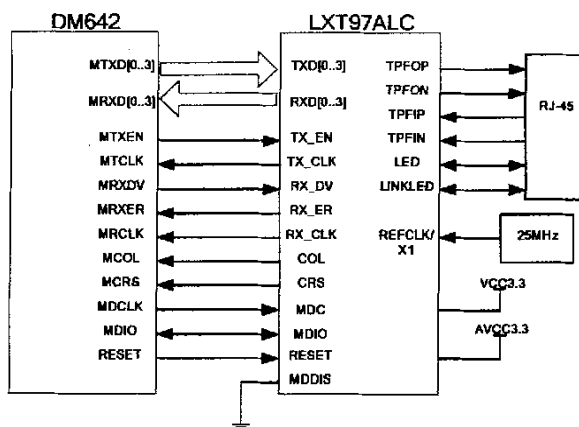


图 3-21 LXT971A 与 DM642 的连接电路图

通过电路图,我们可以看到 DM642 通过 MDIO 总线,对 LXT971A 的寄存器读写实现对其的控制管理,包括提供 MDIO 时钟、PHY 芯片检测和连接情况

监控、PHY 工作情况的实时监控等。

### 3.8.2 RS-485 通信模块

网络摄像机需要对镜头自动对焦，也需要留出对云台等外部扩展设备的控制。本文设计了 RS-485 串口通信模块，来实现这些功能。

#### 1. RS-485 协议

RS-485 是从 RS-232 与 RS-422 基础上发展起来的一种串行数据接口标准 [31][32][33]。最初是由电子工业协会 (EIA) 制订并发布的，最新的修订版是 1998 年出版的 TIA/EIA-485-A 标准。TIA/EIA-485-A 标准全称是“多点系统的数字平衡差分发送器与接收器的电气特征” (Electrical Characteristics of Generators and Receivers for Use in Balanced Digital Multipoint Systems)。由于 EIA 提出的建议标准都是以“RS”作为前缀，所以在通讯工业领域，仍然习惯将上述标准以“RS”作前缀称谓。在本论文中也采用习惯用法，即用 RS-485 代替 TIA/EIA-485-A。

RS-485 是一种平衡通信接口，传输速率可达 10Mb/s，传输距离最大为 4000 英尺（速率低于 100kb/s 时），并在 RS-422 的基础上增加了多点、双向通信能力，即允许多个驱动器连接到同一条总线上，最多可接 32 个节点；同时增加了驱动器的驱动能力和冲突保护特性，扩展了总线共模范围（-7V—+12V）。接收器的门限为  $\pm 200\text{mV}$ 。

RS-485 标准只对接口的电气特性做出规定，而不涉及接插件、电缆或协议，在此基础上用户可以建立自己的高层通信协议。相当多的协议和标准都构建在 RS-485 基础之上，或者与 RS-485 保持兼容，例如 CAN, PROFIBUS, FF 以及 INTERBUS-S 的物理层都是基于 RS-485 的总线标准。

#### 2. RS-485 串口通信模块的实现

DM642 芯片内部没有专门集成串口通信接口，所以我们通过一块通用异步收发器 (Universal Asynchronous Receiver and Transmitter UART)，在 DM642 的外部储存数据总线上建立了一个串口通信接口。

TL16C752B 是 TI 公司生产的通用异步收发器 (Universal Asynchronous Receiver and Transmitter)，它具有以下特点：

- (1) 芯片内含两套 UART 系统，可以独立工作。
- (2) 芯片包含容量为 64Byte 的接收/发送 FIFO（接收 FIFO 包含错误标志）。
- (3) 自动进行软件编程和硬件控制。由于收、发 FIFO 的触发等级可以通过软件编程实现，因而减少了 CPU 的中断次数。

(4) 波特率可以通过软件编程控制，最大波特率可达 3Mbps。

此外，TL16C752B 还提供了其它一些增强功能，可通过设定 EFR 寄存器的相关位来实现。

由于我们采用 RS-485 的电平标准，在 UART 之后需要连接 RS-485 收发器芯片—SN75HVD3052，以完成电平转换。TL16C752B 的数据发送引脚和数据接收引脚分别与 SN75HVD3052 的数据输入引脚和数据输出引脚连接。这里只使用一套 UART 来完成网络摄像机的串口通信。数据收、发采用中断方式，UART-INTA 通过 CPLD 和 DM642 中断输入相连接。UART 被连接到 DM642 的地址和数据总线上，同时被映射到 EMIF 的 CE1 地址空间。

### 3.9 时钟及看门狗电路

网络摄像机在使用时一般都无需专门人员看管，所以在发生外部干扰使系统程序陷入死循环时，需要有看门狗电路使系统重新启动；而且在停电等故障发生时，系统时间必须仍然保证正常。为了达到这些目的，我们利用芯片 FM4005 来设计时钟及看门狗电路。

FM4005 内部集成了实时时钟，可通过 I<sup>2</sup>C 接口为系统提供年月日时分秒时钟信息。在系统掉电的情况下，可以通过超级电容作为备用电源供电，保证提供一个准确的时钟。芯片内部的看门狗电路部分通过探测电压或者内部计数器计数，在电压过低或者计数器 timeout 的情况下输出 reset 信号，重新启动系统。芯片还集成了 64-bit 的 EEPROM，我们可以通过 I<sup>2</sup>C 接口把网络摄像机的 MAC 地址存储在里面。

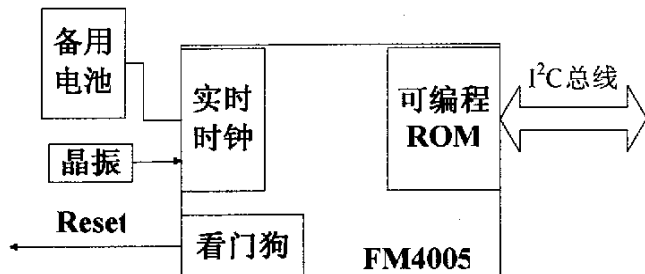


图 3-22 时钟及看门狗电路

## 第四章 高速电子线路设计中的关键技术

随着电子电路技术的不断发展,数字电路的工作频率越来越高,高速数字电路的信号完整性和信号时序问题成为电路设计中不可回避的问题。高速数字电路方面的问题突出体现为以下的类型:

(1) 信号的质量是第一位的。传输线效应导致的信号震荡、过冲和下冲都会对系统的故障容限、噪声容限以及单调性造成很大的威胁。

(2) 时序问题非常关键,工作频率的提高和信号上升/下降时间的缩短,会使设计系统的时序裕量缩小,甚至出现时序方面的问题。

何谓高速信号呢?高速信号是由信号的上升边沿速度决定。如图 4-1 所示, $T_r$  为信号上升时间; $T_{pd}$  为信号线传播延时:

当:  $T_r \geq 4T_{pd}$ , 为安全区域;

当:  $2T_{pd} \leq T_r \leq 4T_{pd}$ , 信号落在不确定区域;

当:  $T_r \leq 2T_{pd}$ , 信号落在问题区域。

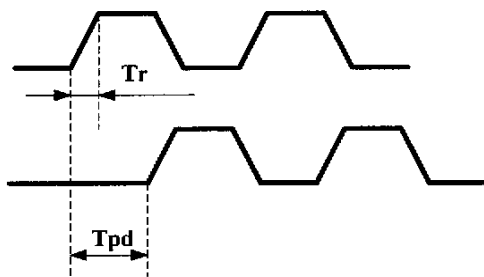


图 4-1 高速信号传输示意图

对于落在不确定区域及问题区域的信号,会出现信号质量的突变。一般认为上升时间小于 4 倍信号传输延迟时可视为高速信号,应该使用高速数字电路和高速数字布线的方法<sup>[34]</sup>。

网络摄像机的主处理器 DM642 工作在 600MHz 的频率上,SDRAM 和 DM642 之间的数据交换速率也达到了 133MHz。为了设计一个性能稳定的网络摄像机系统,我们对高速数字电路的设计做了较为深入的研究,。在制作印制电路板(PCB)之前,做了大量的信号完整性和信号时序仿真实验,并就仿真结果对电路布局和布线做了反复调整,直至仿真结果达到理想效果。在这一过程中,我们对高速电路的布局和布线得到了一些有用的经验。本章将会对高速电子线路理论和实际解决信号完整性和信号时序的方法作深入阐述。

## 4.1 高速电子线路设计中的信号完整性 (SI) 问题

数字系统的运作依赖于驱动器和接收器之间的可靠通信, 这里可靠的通信指的是系统能在不利的噪声环境中正确的传输信号。一旦信号传输出现错误, 这个通信就成为不可靠的。通常, 系统设计中会采取一些算法来确保通信的可靠, 例如奇偶校验和纠错编码。然而这些措施并不是万无一失的, 况且由于成本的限制, 在某些场合不能完全依赖算法的纠错能力。近年来, 随着高速电路的迅速发展, 高速芯片和器件越来越被广泛使用, 信号完整性问题变得越来越突出。

信号完整性 (Signal Integrity, 简称 SI) 是信号在电路中能以正确时序和电压做出响应的能力<sup>[23]</sup>。通俗地说, 可以理解为信号的质量, 它是表明信号通过信号线传输后仍保持其正确的功能特性。由芯片信号的时序可知, 若信号具有良好的信号完整性, 则电路具有正确的时序关系和信号幅度, 数据不会出现错误的捕获, 意味着接收端能够得到比较纯净的数据。相反, 若出现误触发、阻尼振荡、过冲等信号完整性问题, 就会引起任意的信号跳变, 导致输入的畸变数据被送入锁存, 或在畸变的时钟跳变沿捕获数据, 信号不能正常响应, 使得系统工作异常, 性能下降。

信号完整性问题的影响主要包括: 接口反射、串扰、地平面反弹噪声等等。芯片工作频率高、端接元件的布局不正确或高速电路的错误布线都会引起 SI 问题。

### 4.1.1 传输线

在印刷电路板 (PCB) 设计中, 把元器件互连起来要使用大量连接线, 有的连接线很短, 仅有几厘米, 而有的连接线较长。在较长的连接线上, 信号从驱动器到接收器需要一定的时间, 实验和电动力学的理论都证明了以空气为绝缘介质的均匀导体, 电信号的传输速度可以接近光速, 即  $3 \times 10^8 \text{ m/s}$ 。假设有 5m 长的导线, 信号从驱动端到接收端需要 17ns 的时间, 也就是说, 接收信号对于驱动信号有 17ns 的延迟。这段时间对于微秒级或更低速度的系统是可以忽略的, 但对于纳秒量级的高速电路, 这个延迟就不容忽视了。高速门电路 (如 74FTTL 系列数字集成电路) 的每级平均延迟时间可以小到几个 ns, 而速度更高的 ECL 数字集成电路, 其典型延迟时间为 1-2ns, 甚至只有 300- 500ps。在这样的高速电路系统中, PCB 上的连线 (通常不超过 10-20 厘米) 延迟也都不可再忽略。

在高速数字系统中, 这种要考虑延时的信号线被称为传输线, 它和我们以前对信号线的假设模型有很大的不同。对此, 研究传输线理论是解决信号完整性问题的基础。

在一般的电路分析中, 所涉及的网络都是集总参数的, 即所谓的集总参数系

统。电路的所有参数，如阻抗、容抗、感抗都集中在空间的各个点上，即各个元件上。各点之间的信号是瞬间传递的。集总参数系统是一种理想化的模型。它的基本特征可以归纳为：

1. 电参数都集中在电路元件上；

2. 元件之间连线的长短对信号本身的特性没有影响，即信号在传输过程中无畸变，信号传输不需要时间；

3. 系统中各点的电压或电流均是时间且只是时间的函数。

集总参数系统是实际情况的一种理想化近似。实际的情况是各种参数分布于电路所在空间的各处，当这种分散性造成的信号延迟时间与信号本身的变化时间相比已经不能忽略时，就不能再用理想化的集总参数模型来描述系统。这时，信号是以电磁波的速度在信号连接线上传输，信号连接线是带有电阻、电容、电感的复杂网络，是一个典型的分布参数系统。

## 1. 基本传输线理论

当传输信号速率或频率达到一定时，传输信号的通道上的分布参数必须考虑。以平行双导线为例，其上的集肤效应带来单位长度射频频阻抗增大；到射频段，平行双线周围的磁场很强，其寄生电感必须考虑；平行双线间的电场要用电容来等效；导线间在频率很高时还要考虑导线间的漏电现象。所以一条单位长度传输线的等效电路可由： $R$ 、 $L$ 、 $G$ 、 $C$ 四个元件组成，如图4-2所示<sup>[23]</sup>。

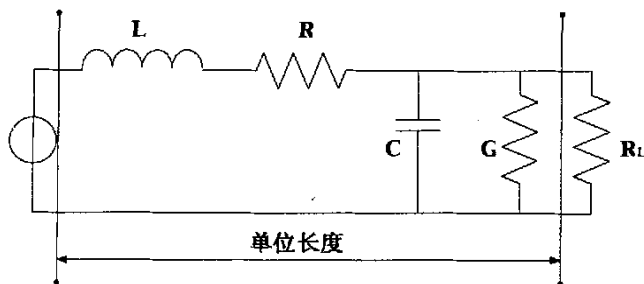


图 4-2 单位长度传输线的等效电路

传输线上一点的电压和电流分别是入射波与反射波的叠加。在  $Z$  轴上任一点的电压及电流表达式为：

$$v(z,t) = V(z)e^{j\omega t} \quad (4-1)$$

$$i(z,t) = I(z)e^{j\omega t} \quad (4-2)$$

上式说明在传输线上传输的电压波和电流波是时间及传输距离的函数。

## 2. PCB 板的传输线模型

多层 PCB 中传输线有多种技术。常用的有两种基本结构，每种结构又有两种形式：微带线和带状线。

### (1) 微带线

微带线是用于在 PCB 上的数字电路实现阻抗调节的常用方法。微带线贴附在介质平面并直接暴露于空气中，其结构如图 4-3 所示。

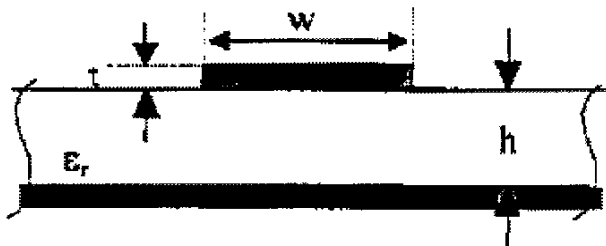


图 4-3 微带线模型

微带线的参数近似计算公式如下：

特性阻抗：

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8\omega + t} (\Omega) \quad (4-3)$$

传输延迟：

$$t_{PD} = 1.017 \sqrt{0.457\epsilon_r + 0.67} (ns / ft) \quad (4-4)$$

由于典型的 PCB 板是用介电系数近似为 4.4 的 FR4 制造的，而空气的介电系数是 1.0，最后得到的有效介电系数是两者加权平均。

### (2) 带状线

带状线是在两个导电平面结构中被介质材料所包围的传输线，如图 4-4 所示。因此，带状线存在于板的内部，并非暴露在空气中。

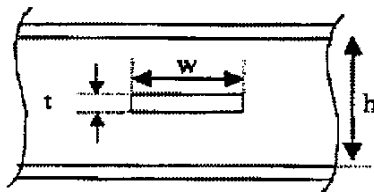


图 4-4 带状线模型

特性阻抗：



$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi\omega(0.8+t/w)} (\Omega) \quad (4-5)$$

传输延迟:

$$t_{PD} = 1.017\sqrt{\epsilon_r} (ns/ft) \quad (4-6)$$

## 4.1.2 常见的信号完整性问题

### 1. 反射

反射就是在传输线上的回波。如果一根信号线没有正确的终端匹配,那么来自于驱动端的信号脉冲在接收端被反射,从而引发非预期效应,使信号轮廓失真。反射是传输线的基本效应,在阻抗不连续的地方都会发生反射,传输线上任一点上看到的信号由入射和反射信号叠加而成多次反射。

我们以图 4-5 所示的理想传输线模型来分析与信号反射有关的重要参数。图中,理想传输线  $L$  被内阻为  $R_0$  的数字信号源  $V_S$  驱动,传输线的特性阻抗为  $Z_0$ ,负载阻抗为  $R_L$ 。

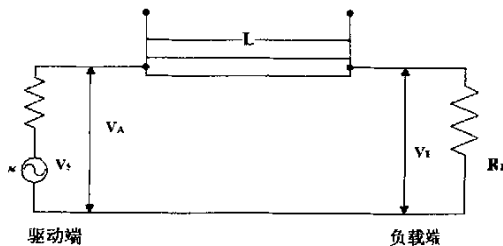


图 4-5 理想传输线模型和相关参数

理想的情况是当  $R_0=Z_0=R_L$  时,传输线的阻抗是连续的,不会发生任何反射,能量一半消耗在驱动端内阻  $R_0$  上,另一半消耗在负载电阻  $R_L$  上(传输线无直流损耗)。如果负载阻抗大于传输线的特性阻抗,那么负载端多余的能量就会反射回驱动端,由于负载端没有吸收全部能量,故称这种情况为欠阻尼。如果负载阻抗小于传输线的特性阻抗,负载试图消耗比当前驱动端提供的能量更多的能量,故通过反射来通知驱动端输送更多的能量,这种情况称为过阻尼。欠阻尼和过阻尼都会引起反向传播的波形,某些情况下在传输线上会形成驻波。当  $Z_0=R_L$  时,负载完全吸收到达的能量,没有任何信号反射回驱动端,这种情况称为临界阻尼。从系统设计的角度来看,由于临界阻尼情况很难满足,所以最可靠适用的方式是轻微过阻尼,因为这种情况没有能量反射回驱动端。

反射是造成过冲、下冲和振荡的直接原因,是一般信号完整性问题最常见的表现。

## 2. 串扰

串扰是指当信号在传输线上传输时，因电磁耦合对相邻的传输线产生不期望的电压噪声干扰。过大的串扰可能引起电路的误触发，导致系统无法正常工作。

在讨论串扰之前，首先要确定干扰源（Aggressor）和被干扰对象（Victim）。如图 4-6，如果位于 A 点的驱动源称为干扰源，则位于 D 点的接收器称为被干扰对象，AB 之间的网络称为干扰源网络，CD 之间的网络称为被干扰对象网络；反之，如果位于 C 点的驱动源称为干扰源，则位于 B 点的接收器称为被干扰对象，CD 之间的网络称为干扰源网络，AB 之间的网络称为被干扰对象网络。当干扰源状态变化时，会在被干扰对象上产生一个串扰脉冲，在高速系统中，这种现象很普遍。

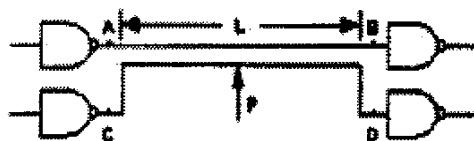


图 4-6 串扰中的干扰源和被干扰对象

## 4.2 高速电子线路设计中的信号时序匹配问题

高速同步时序电路设计必须留有充足的建立和保持时间，才能保证系统正常工作。建立时间（Setup Time）是指在芯片内部触发器的时钟信号上升沿到来以前，数据稳定不变的时间，如果建立时间不够，数据将不能在这个时钟上升沿被打入触发器；保持时间（Hold Time）是指在触发器的时钟信号上升沿到来以后，数据稳定不变的时间，如果保持时间不够，数据同样不能被打入触发器。如图 4-7 所示。数据稳定传输必须满足建立和保持时间的要求。

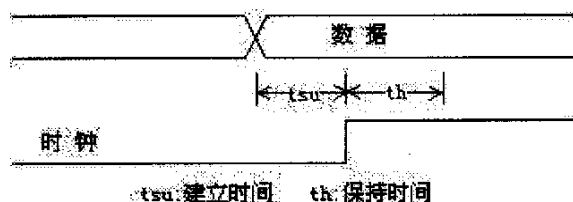


图 4-7 建立时间和保持时间

由于网络摄像机系统工作频率达 600MHz，信号上升/下降沿非常陡，布线延时相对信号传输时间已不可忽略，它对信号的建立和保持时间起着重要作用。

## 1. 源时钟同步系统

DM642 在发送数据信号的同时也发送时钟信号，而接收端 SDRAM 的触发器由该时钟信号脉冲控制数据的读取，这个时钟信号也可以称为源同步时钟信号，网络摄像机的 SDRAM 存储系统属于源同步时钟系统。

源同步时钟系统中，数据和源同步时钟信号是同步传输的，我们保证这两个信号的延迟时间完全一致，这样只要在发送端的时序是正确的，那么在接收端也能得到完全正确的时序。整个系统在时序上的稳定性完全体现在数据和时钟信号的匹配程度上，包括传输延迟的匹配，器件性能的匹配等等，只要两者条件完全相同，那么我们就可以保证系统的时序绝对正确，而对系统的最高时钟频率没有任何限制。当然，对于任何数据接收来说，一定的建立和保持时间都是必须满足的，源同步时钟系统也同样如此，主要体现在数据信号和选通信号之间的时序要求上。最理想的情况就是选通信号能在数据信号的中央部分读取，如图 4-7 所示，这样才能保证最充分的建立和保持时间。

为了保证选通信号和数据信号相对保持正确的时序，在源同步时钟系统中是通过 DM642 内部的数字延时器件 DLL 来实现，而不是通过 PCB 走线来控制，因为相比较而言，DLL 器件能做到更为精确的延时，而且调节起来比较方便。

## 2. 源同步时序要求

源同步时钟系统设计中最重要的一点就是保证数据和时钟信号之间的偏移最小，引起这些误差的最主要的因素就是系统中各器件的时序参数（如芯片要求的建立时间）的不同，此外还有布线上引起的差异，为了更好地说明这些偏移对时序的影响，下面我们通过 DM642 和 SDRSM 的时序关系图分析来计算源同步时钟系统中信号的建立时间裕量和保持时间裕量，以及布线延时对它们的影响。

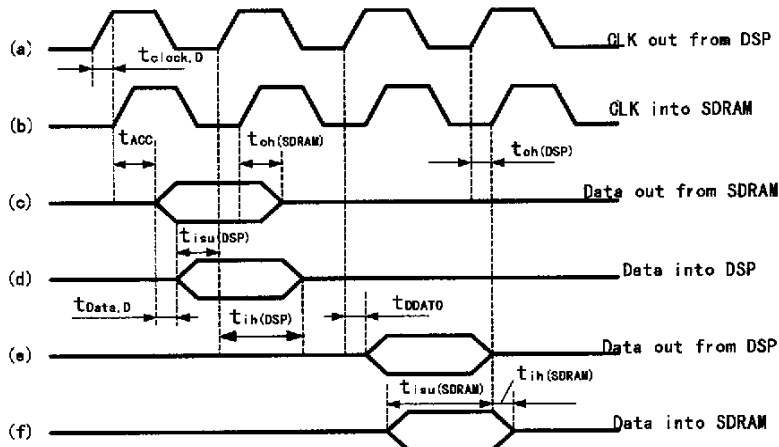


图 4-8 DM642 和 SDRSM 的时序关系图

由图 4-8 我们可以导出：<sup>[36]</sup>

(1) 对于控制和地址线，要求满足下列条件才能保证正确读写：  
建立时间应满足：

$$t_{isu(control)} = t_{osu(DSP)} + t_{Clock\ Route\ Delay} - t_{Control\ Route\ Delay(Slowest)} \geq t_{isu(SDRAM)} \quad (4-7)$$

其中  $t_{isu(SDRAM)}$  为 SDRAM 控制线和地址线所需的建立时间， $t_{osu(DSP)}$  为 DM642 为控制线和地址线建立时间， $t_{Clock\ Route\ Delay}$  为时钟线布线延时， $t_{Control\ Route\ Delay(Slowest)}$  为最慢的控制线或地址线延时。

保持时间应满足：

$$t_{ih(Control)} = t_{oh(DSP)} - t_{Clock\ Route\ Delay} + t_{Control\ Route\ Delay(Fastest)} \geq t_{ih(SDRAM)} \quad (4-8)$$

其中  $t_{Control\ Route\ Delay(Fastest)}$  为最快的控制线或地址线延时。

(2) 对于数据线要求满足下列条件，才能保证正确读写（分度、写两种情况）：  
读建立时间应满足：

$$t_{Clock\ Period} - t_{Clock\ Route\ Delay} - t_{Data\ Route\ Delay(Slowest)} + t_{Acc} \geq t_{isu(DSP)} \quad (4-9)$$

其中  $t_{Clock\ period}$  为时钟周期， $t_{DataRouteDelay(Slowest)}$  为最慢的数据线延时， $t_{Acc}$  为 SDRAM 存取时间。

读保持时间应满足：

$$t_{oh(SDRAM)} + t_{Clock\ Route\ Delay} - t_{Data\ Route\ Delay(Fastest)} \geq t_{ih(DSP)} \quad (4-10)$$

其中  $t_{oh(SDRAM)}$  为 SDRAM 数据线输出保持时间， $t_{DataRouteDelay(Fastest)}$  为最快的数据线延时， $t_{Acc}$  为 SDRAM 存取时间。

写建立时间应满足：

$$t_{osu(DSP)} - t_{Data\ Route\ Delay(Slowest)} + t_{Clock\ Route\ Delay(Slowest)} \geq t_{isu(SDRAM)} \quad (4-11)$$

写保持时间应满足：

$$t_{oh(DSP)} + t_{Data\ Route\ Delay(Fastest)} - t_{Clock\ Route\ Delay} \geq t_{ih(SDRAM)} \quad (4-12)$$

由上面的分析可见，时钟线的传输延时必须在某一范围之内，才能满足 DSP 与 SDRAM 间的时序参数要求，较短的时钟线增加控制信号线到 SDRAM 的保持时间，但却减少从 SDRAM 来的数据保持时间；较长的时钟线减少控制信号线到 SDRAM 的保持时间，但却增加从 SDRAM 来的数据保持时间，在设计高速同步时序电路时应该仔细考虑、规划时钟信号线，一旦时钟信号线的布线确定，控制和数据线的布线长度应该满足上述约束条件。

## 4.3 基于高速电子线路仿真的 PCB 设计

### 4.3.1 信号完整性和时序仿真模型和工具

由于高速数字系统中信号完整性和时序问题的存在，我们必须在印制电路板制作之前，对 PCB 设计图进行仿真实验，并根据结果调整布局和布线，直到仿真结果符合设计要求。仿真设计可行性和有效性取决于仿真模型的建立，在网络摄像机的设计中，我们用到了 IBIS 模型和仿真软件 Hyperlynx。

#### 1. IBIS 模型的原理及使用

IBIS (Input/Output Buffer Information Standard) 输入输出缓冲器信息规范，是一个元件的标准模型信息。IBIS 模型是一种基于 V/I 曲线，是对 I/O 缓冲器快速准确的模型，是反映芯片驱动和接收电气特性的一种国际标准。它提供一种标准的文件格式来记录，如驱动器输出阻抗、上升/下降时间以及输出负载等参数，非常适合做反射和串扰等高频效应的计算与仿真，IBIS 可用于系统板级或多板信号完整性分析仿真，可用 IBIS 模型分析的信号完整性问题包括：串扰、反射、上冲、下冲、阻抗不匹配、传输线分析、拓扑结构分析等。特别地，IBIS 模型能够对高速电路的振铃和串扰进行准确精细的仿真，它可用于检测最坏情况，处于信号上升时间阶段的信号行为及一些用物理测试无法解决的情况<sup>[37]</sup>。

IBIS 模型是用于描述 I/O 缓冲信息特性的模型，一个输出输入端口的行为描述可以分解为一系列的功能模块，如图 4-9 所示，由这些简单的功能模块就可以建立起完整的 IBIS 模型，在一个缓冲单元中的基本元素包括封装所带来的寄生参数（输入、输出或使能端），硅片本身的寄生电容，电源或地的嵌压保护电路，门限和使能逻辑、上拉和下拉电路。图 4-9 是一个完整的 I/O 端口的 IBIS 行为模型的示意方框图<sup>[38][39]</sup>。

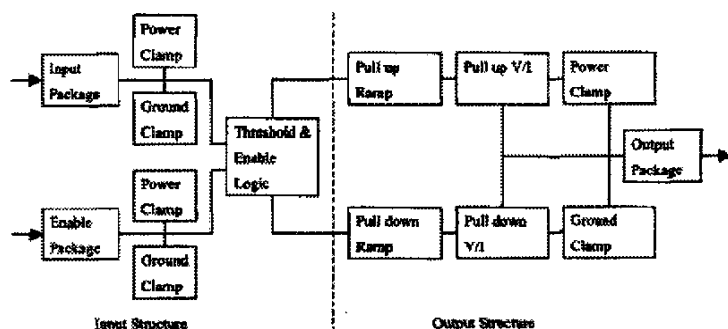


图 4-9 IBIS 基本结构框图

从图中可见，IBIS 模型包括了集成电路芯片 I/O 的输入和输出特性两部分。

在输入部分, IBIS 用两条 Clamp V-I 曲线来表示 I/O 中的静电保护设备 (ESD) 结构, 并且同时考虑到了输入信号的芯片封装参数。在输出部分, IBIS 提供两条完整的 V-I 曲线分别代表驱动器为高电平和低电平状态下的输出特性; 用两条 V-T 曲线来表示在确定速度下的状态转换情况; 用两条 Clamp V-I 曲线来表示 I/O 中 ESD 结构。同时, IBIS 模型还考虑了 I/O 输出部分中芯片封装的寄生参数。以上曲线在 IBIS 模型中都以 V-I 表和 V-T 表的形式来表示。

由于采用了曲线及查表的方式, IBIS 在 I/O 的非线性特性方面能够提供准确的模型, 并且能够大为减少仿真的计算量 (通常只有对应的 I/O 的 SPICE 模型的 1/10-1/100)。

IBIS 模型一般可以从半导体厂商处获取, 也可以通过实验测量得到。而模型的分析精度主要取决于 V-I 表和 V-T 表的数据点数和数据精确性。显然, V-I 表和 V-T 表中的数据点数越多, 数据越准确, 使用模型进行仿真计算的结果也越精确。

此外, PCB 板级的仿真软件还有 SPICE, Verilog-AMS/VHDL-AMS 等, 由于它们的复杂性、知识产权和对集成电路的支持等问题, 不适用于网络摄像机的设计, 本文不再赘述。

## 2. 信号完整性问题的分析仿真工具

在业界, 基于各种电路信号分析模型已经开发出了大量的 EDA 工具, 其中不少是专用于 PCB 板级和系统级设计的信号完整性分析工具。它们能够对 PCB 做布线前和布线后的信号完整性分析与校验, 帮助设计者选择元器件、调整元器件布局、规划系统时钟网络和确定关键线网的端接策略。在各种 EDA 工具软件中, PCB 设计业最为常用的有以下几种。

### (1) Cadence Design System 公司 Spectra Quest SI Expert:

Spectra Quest SI Expert 是 Cadence 公司专门为高速 PCB 设计而开发的一个可支持 IBIS 模型和 SPICE 模型的集成设计分析环境, 可以对数字 PCB 中的延迟、反射、串扰、同步切换噪声和电磁兼容干扰等多方面因素进行分析, 能够让 PCB 版图设计工程师在进行实际的布局布线之前就对系统的各个环节中存在的与电气性能相关的问题作一个最优化的规划。

Spectra Quest SI Expert 内部包括 SigXplorer, SigNoise 等信号完整性分析工具。SigXplorer 能够接受数字集成电路芯片的 IBIS 模型, 并将其转换为 Cadence 公司独特的设计建模语言 (Design Modeling Language, DML) 格式来完成复杂 I/O 结构的建模, 然后用其进行快速高效的仿真计算。而 SigNoise 则是一个用于对延迟、反射、串扰、同步切换噪声和电磁兼容干扰等信号完整性问题进行分析

的工具环境<sup>[39]</sup>。

## (2) Mentor Graphic 公司的 HyperLynx:

HyperLynx 是一套完整的电磁兼容和信号完整分析工具,用于解决高速和信号完整性问题。

HyperLynx 包括前仿真工具 LINE SIM 和后仿真工具 BOARD SIM。PCB 设计人员用这些工具在生产之前找到信号完整性和系统时序问题,并通过调整 PCB 设计来解决问题。同时包括 EMC Analysis、SPICE Netlist Writer、Crosstalk Analysis、Multiple Board Analysis 等分析工具。

它有良好的兼容性,与主要 PCB 产品都有接口,如: Power PCB、Expedition、BoardStation、Protel 等。

其主要特点:

- (1) 使用工业标准 IBIS 模型;
- (2) 主要 PCB 产品都提供接口;
- (3) 探索 PCB 物理规则以解决信号完整性问题;
- (4) 通过布局前仿真解决串扰问题;
- (5) 很容易找到准确的端接方式;
- (6) 在样机或生产之前找到和解决信号完整性问题;
- (7) 通过辐射的预测和电流的计算,对 EMI/EMC 失败提供预警。

我们在设计网络摄像机系统时,使用了 Protel 来设计 PCB 版图。考虑到 Hyperlynx 对 Protel 文件的支持和它强大而完善的功能,我们选用 Hyperlynx 工具包中的 BOARD SIM 来对已经初步设计好的 PCB 版图进行信号完整性和系统时序仿真,并依据该仿真结构对布局和布线作调整。实践中,我们采取以下几种方法改进信号完整性:

(1) 合理设置叠层参数、线宽、铜皮厚度,使得不同层间的传输线特征阻抗接近,以便减少信号在不同层间传输时的反射。

(2) 加适当阻值的端接电阻使传输线特征阻抗与负载阻抗匹配,来减少信号反射。如在数据发送端串连 33 欧姆匹配电阻。

(3) 对于一分为二的分支结构,应使分支线的长度相近,可改善信号传输效果。通过对 133MHz 高速数据、地址线做仿真,证明改进效果非常明显。

(4) 高速器件与低速器件隔离,以免低速器件对高速器件影响。如采用 SN74LVT16245 将工作频率 133MHz 的 SDRAM 和低速 FLASH、CPLD 隔开。

(5) 减小平行线长度,加大平行线间的距离(至少两倍线宽),使相邻平行线走不同层,来减少线间串绕。在布线中,尽量遵循相邻层信号线垂直的原则。

应用上述方法,并使用 Hyperlynx 对系统中的关键信号进行了信号完整性仿真,经过多次布局、布线、加端接电阻和仿真,得出了比较理想的信号仿真

波形。信号要求过冲小、单调性好、串绕小，质量好。当信号完整性满足要求后便可以进行时序分析,否则还要重新采用上述方法改进信号完整性。

### 4.3.2 对 PCB 设计流程的建议

如图 4-10 所示是一个典型的传统 PCB 设计流程:

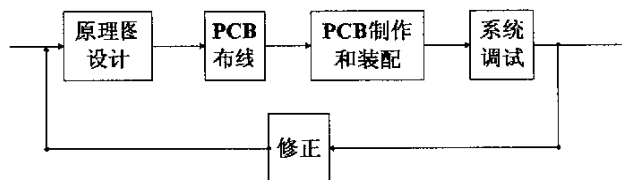


图 4-10 传统的 PCB 设计流程

在传统的设计流程中，PCB 的设计依次由电路原理图设计、PCB 版图设计、制造和焊接装配、调试等步骤组成。在电路原理图设计阶段，由于缺乏有效的对信号在实际 PCB 上的传输特性的分析方法和手段，系统中电路的设计一般只能参考以往的设计经验来进行。在 PCB 版图设计阶段，同样因为很难对 PCB 的元器件布局和信号布线所引起的信号性能变化进行实时地分析和评估，所以版图设计的好坏更加依赖于设计人员的经验。

在传统的 PCB 设计流程中，PCB 的性能只有在 PCB 制作完成后才能够通过仪器测量来评判。而在 PCB 调试阶段中发现出来的问题，也必须要等到在下一次的 PCB 设计中加以修改和提高。但最为困难的是，有些找到的问题往往很难将其量化成电路和版图设计中的参数。所以对于较为复杂的 PCB，一般都需要通过反复多次上述的重复才能最终定稿。

从中可以看出，采用传统的 PCB 设计方法，产品开发周期较长，研制开发的成本也相应较高。特别是在高速的电子线路设计中，要设计出稳定、正确的系统就更加需要科学的设计方法。

根据对信号完整性和系统时序问题的深入理解和一些分析模型及工具的掌握的基础上，本文对 PCB 的设计流程提出以下建议。

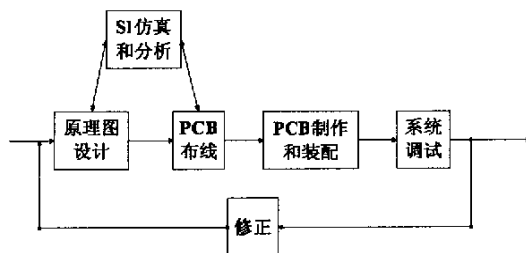


图 4-11 基于信号完整性和系统时序分析的 PCB 设计流程

在这种基于信号完整性分析的 PCB 设计流程中，我们利用仿真工具的设计



前仿真功能做最初的信号完整性仿真和分析。在这一过程中，我们把各种对信号完整性可能产生影响的 PCB 设计和制造因素全部都找出来，比如接收端的端接电阻连接方式等。在电路设计阶段，我们将依据前面仿真和分析所获得信息选择元器件型号、参数和电路结构，作为电路设计的依据。在此期间，我们还将对部分或全部完成的电路设计再反复进行信号完整性仿真和分析校验，以检查电路设计的正确性和可行性。

需要指出的是，为了缩短研发周期，对于一般高速 PCB 的设计来说，我们要先排除那些对信号的要求不太严格的低速电路，找出系统中对系统性能可能产生影响的高速数字信号，并针对这些信号采用这种设计流程。

在 PCB 版图设计阶段，我们对部分完成或全部完成的版图设计做布线后的信号完整性分析，以确认实际的版图设计是否符合预计的信号完整性和系统时序要求。若仿真结果不能满足信号要求，我们还需再修改版图设计甚至电路设计。这样我们就可以大幅降低因设计不当而导致产品失败的风险。

当 PCB 板制作完成并焊接装配之后，我们还会通过仪器对系统中的高速数字信号进行实际地测量调试，以验证电路及信号分析模型及仿真计算和分析的正确性，并以此作为模型修正和设计修正的依据。

按照上述这些设计步骤，我们就可以基本解决高速数字 PCB 的信号完整性和系统时序问题。在电路及信号分析模型以及仿真计算分析方法正确的情况下，采用基于信号完整性分析的设计方法所制造出来的 PCB 通常不需要或只需要很少几次的重复修改，就能够最终进入量产，从而可以缩短产品开发周期，降低开发成本。

## 第五章 板级支持软件的设计

### 5.1 硬件驱动程序设计

从广义上来说, 硬件驱动程序就是控制硬件设备的一组函数, 是可加载的核心态模块。驱动程序是 I/O 系统和相关硬件之间的接口, 提供了软件连接到计算机硬件的软件接口。在用户看来, 驱动程序就是一个软件, 它提供了一系列控制硬件设备的函数, 使用户应用程序能够以一种规范的方式访问硬件, 而不必考虑硬件的物理细节。

在这一节中, 我们将对网络摄像机硬件驱动程序的体系结构和最关键的驱动程序—视频端口驱动程序的设计做详细的阐述。

#### 5.1.1 网络摄像机驱动程序结构

为了提高驱动程序的代码利用率, 并充分发挥 DM642 的流水处理能力, 本文采用了 TI 的 Class/Mini 程序模型结构来设计网络摄像机硬件驱动程序。

Class/Mini 驱动程序模型在功能上分为依赖硬件层 (Mini 驱动) 和不依赖硬件层 (Class 驱动) 两层, 两层之间使用通用接口。Class/Mini 驱动程序模型的结构如图 5-1 所示。上层的应用程序不直接控制 Mini 驱动, 而是使用一个或一个以上的 Class 驱动对其进行控制。每一个 Class 驱动在应用程序代码中表现为一个 API 函数并且通过 Mini 驱动的接口与 Mini 驱动进行通信。使用了这种程序结构, 应用程序的设计人员将不必关心底层硬件设备的具体控制<sup>[40]</sup>。

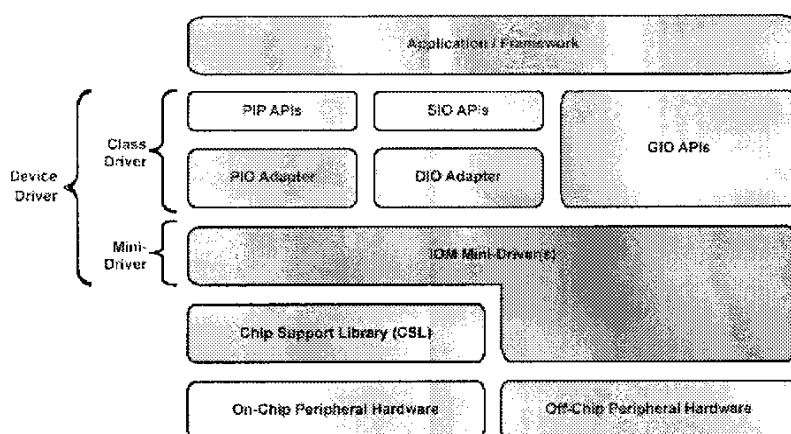


图 5-1 Class/Mini 驱动程序模型结构<sup>[40]</sup>

Class 驱动通常用于完成应用程序多线程 I/O 请求的序列化和同步功能, 同时对设备实例进行管理。在网络摄像机这种包括视频系统 I/O 和异步 I/O 的典型实

时系统中, Class 驱动不需要表示出外部设备的类型, 完全屏蔽了底层的硬件设备。

Class 驱动通过每个外部设备独有的 Mini 驱动对设备进行操作, Mini 驱动通过控制外设的寄存器、内存和中断资源对外部设备实现控制。Mini 驱动程序必须将特定的外部设备有效地表示给 Class 驱动。例如: 视频采集设备存在一些不同的帧存, 上层的应用程序会根据不同的 I/O 操作进行帧存的分配, 此时 Mini 驱动必须映射视频显存, 使得 Class 驱动可以对不连续的内存(分别存放 RGB 或 YUV 分量)设计特定的 I/O 请求<sup>[40]</sup>。

实践结果表明, 采用 Class/Mini 驱动模型进行设计后, 应用程序可以复用绝大部分相似设备的驱动程序, 从而提高驱动程序的开发效率。

## 5.1.2 视频接口驱动程序设计

### 1. 视频接口驱动程序体系结构

虽然 DM642 提供了非常丰富的视频端口, 但要求程序设计人员非常熟悉 DM642 的体系结构和具体的寄存器配置与控制方法才能使输入/输出端口能满足具体的要求, 而这通常需要花费很多的时间和精力。同时, 由于所有的视频应用均需使用视频接口, 也就是说只要用户想用 DM642 作为视频应用平台, 那么就会需要涉及它的视频端口。因此, 我们希望开发出专门的视频输入/输出驱动程序, 由驱动程序来控制硬件接口, 而高层应用程序只需要调用驱动程序就可以完成对视频输入/输出的控制, 从而减少重复劳动, 提高工作效率。视频采集驱动程序主要包含以下几个方面的功能:

#### (1) 外围接口芯片的初始化和控制

由于 DM642 只提供标准的数字视频输入/输出端口, 数字信号的采集或者模拟的视频信号到标准数字视频的转换和标准数字视频到模拟视频信号的生成均需要通过外围芯片来实现。比如, 在网络摄像机中用 CMOS 图像传感器采集图像并输出数字视频信号等。通常情况下, 这些外围芯片也需要正确配置(比如通过 I<sup>2</sup>C 接口写入相应的控制字)才能正确工作。因此驱动程序的功能之一就是完成这些外围芯片的初始化和控制功能, 但是, 由于参数配置组合比较多, 所以可以提供一些常用的参数组合, 而用户有可能需要根据实际情况修改其中的一些参数设置<sup>[41]</sup>。

#### (2) 视频端口的控制

DM642 的视频端口是多功能的标准数字视频接口, 它可以被配置成多种工

作模式。在网络摄像机这种特定的应用中，我们需要把视频端口配置成接收原始视频数据的输入端口，并根据具体应用的需要配置输入视频的图像大小、像素精度等。由于通过视频输入接口进入 DM642 的视频数据保存在 DM642 的内存中，因此驱动程序必须为输入的视频数据开辟足够的内存空间，并指定保存视频数据的内存地址。

### (3) 动态改变视频参数

在实际应用中，上层的应用程序很可能会根据需要随时改变视频参数，比如改变图像的尺寸、色彩分量的增益等，而实现这些功能必然要与 DM642 视频端口和外部硬件设备发生关系，因此驱动程序必须能满足上层应用的这些动态请求。

根据以上的分析，我们可以得到一个结论：视频接口的应用程序可以分为外围芯片相关部分和 DM642 视频端口通用部分。只要我们利用 DM642 来做视频开发平台的设计，DM642 视频端口通用部分的驱动程序都可以被复用，我们只需根据选用的外围芯片来开发芯片相关部分的应用程序就可以了。

因此，本文根据 TI 的视频驱动结构模型，把网络摄像机的视频端口 Mini 驱动程序被分成两个部分：DM642 视频端口通用部分（Generic Video Port）和外部设备部分（External Device Control Part）。视频接口的驱动程序结构如图 5-2 所示

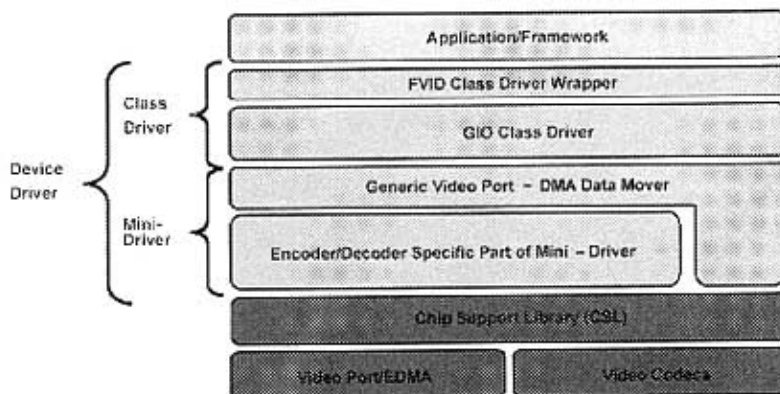


图 5-2 视频接口的驱动程序接口<sup>[41]</sup>

## 2. 视频接口驱动程序的缓存机制

为了提高程序的效率，我们为视频端口分配了三个缓存，三个缓存可以在应用程序和驱动程序之间被切换使用。

由驱动程序分配并且最初拥有这三个帧缓存。所有的缓存在初始状态都是空闲的，驱动程序可以以循环的方式访问它们，如图 5-3 (a) 所示。当应用程序调用其中一个缓存时，驱动程序就不再使用这个缓存，而在剩下的两个缓存中循环

操作，如图 5-3 (b) (c) (d) 所示。利用这种机制，应用程序和驱动程序可以并行的进行采集和数据处理工作，使得有限的内存可以如循环队列那样重复使用，提高内存的利用效率。

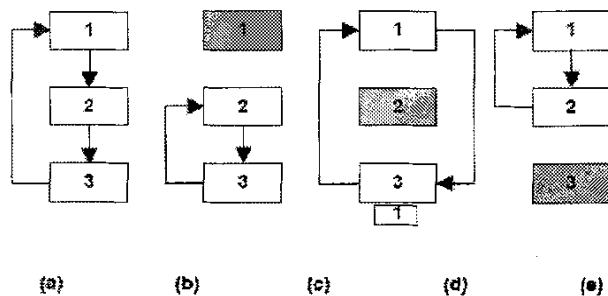


图 5-3 视频缓存机制

## 5.2 彩色图像的恢复插值

网络摄像机采用 CMOS 图像传感器作为视频采集器件。由于 DM642 的视频端口和 CMOS 图像传感器直接连接，所以 DM642 接收到的是 Bayer 格式的原始数据。在 Bayer 图像格式中，每个像素的三种颜色 (R、G、B) 中的两种被略去，这样 CMOS 图像传感器产生的每个像素都缺少了 2 种颜色。但是，网络摄像机的视频压缩编码模块需要获得全彩色图像，或者是已经转换为 YUV4: 2: 0 格式的图像数据，这就需要用周边像素的值近似计算出被滤掉的颜色分量，即彩色图像恢复。

### 5.2.1 彩色图像插值算法

彩色插值算法可按以下公式：

$$c(x, y) = \sum_k \sum_l c(x_k, y_l) h(|x - x_k|) h(|y - y_l|) \quad (5-1)$$

其中  $h$  是由  $c(x_k, y_l)$  决定的插值核，它是插值算法的最主要的部分。根据插值核的不同，插值算法可分为很多种，如邻域插值、中值插值、均值插值等。每一种插值方法都有各自的优点和不足，我们可以通过综合的比较来找到一种最实用的插入算法<sup>[42]</sup>。本文用 Visual C++ 实现了以下几种常见的彩色插值算法，图 5-4 (a) 是网络摄像机实际采集到 Bayer 图像，我们用它来做作为测试图做比较。

#### (1) 邻域插值算法

由于需要插值的像素 (除边界外) 都有四个相邻的像素，这种方法将被插值像素的颜色分量赋予邻域中任何一个像素的颜色分量作为插值结果。

在实现算法时，Bayer 图像和 RGB 图像分别用两个一维数组表示。在 Bayer

图像中，用一个活动的  $2 \times 2$  大小窗口移动，在窗口内按从左往右，从下往上的顺序进行处理。因在窗口内，Bayer 图像奇数行按 GR 规律排列，偶数行按 BG 规律排列，插值时按奇数行和偶数行分别处理。然后把要得到的 RGB 图像数组分成两个像素为一个单元进行处理，例如在偶数行，第一个像素的蓝色分量和第二个像素的绿色分量已有，则只需做第一个像素的红色、绿色插值，及第二个像素的红色、蓝色插值，然后做下一个单元，即下两个像素的处理。由于采用这种算法不能对边缘像素插值，因此我们在采集 Bayer 图像时多采集两行和两列，用来作为 RGB 图像边缘的参考像素。

## (2) 均值插值算法

这种插值方法考察被插值像素的邻域像素，用邻域中同色分量的平均值作为此像素的该色分量。

算法实现方式和 (1) 邻域插值法相似，Bayer 图像和 RGB 图像分别用两个一维数组表示。在 Bayer 图像中，用一个活动的  $2 \times 2$  大小窗口移动，在窗口内按从左往右，从下往上的顺序进行处理。像素中所有缺失颜色分量都用均值插值处理，即缺失分量由其相邻像素中同种颜色分量的值平均计算得到。

## (3) 考虑相关性的插值算法

这个方法是通过研究邻域像素的水平和垂直的相关性，选择在相关性大的方向的两个像素进行线性插值，在相关性一样的情况下，此法与线性插值一致。在本文中，我们认为，由于绿色分量数量最多，其中包含的图像信息也比红色分量和蓝色分量多，因此可将绿色分量作为考察相关性的根据。

具体算法：B(或者R)分量的像素中的G分量用“考虑相关性的插值算法”处理。即比较相邻四个像素中的G分量，若垂直方向两G分量的差的绝对值小于水平方向两G分量差的绝对值，则所求G分量的值为垂直方向两G分量的平均值，反之则为水平方向两G分量的平均值。

R、B 分量的插值考虑需要插值像素的 G 分量与邻域中的哪个同色像素的 G 分量最接近，则选择最接近的像素的 R 或 B 分量作为此像素的 R 或 B 分量。具体分为四种情况：

1. 如果像素只有 G 分量，且位于偶数行则有：

$$R = \begin{cases} R_{\text{left}} & \text{当 } |G - G_{\text{left}}| = \min(|G - G_{\text{left}}|, |G - G_{\text{right}}|) \\ R_{\text{right}} & \text{当 } |G - G_{\text{right}}| = \min(|G - G_{\text{left}}|, |G - G_{\text{right}}|) \end{cases} \quad (5-2)$$

$$B = \begin{cases} B_{\text{up}} & \text{当 } |G - G_{\text{up}}| = \min(|G - G_{\text{up}}|, |G - G_{\text{down}}|) \\ B_{\text{down}} & \text{当 } |G - G_{\text{down}}| = \min(|G - G_{\text{up}}|, |G - G_{\text{down}}|) \end{cases} \quad (5-3)$$

2. 如果像素只有G分量，且位于奇数行，情况与1相同，只是R与B互换位置。
3. 如果像素只有R分量，则有：

$$B = \begin{cases} B_{\text{left\_up}} & \text{当 } |G - G_{\text{left\_up}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{right\_up}} & \text{当 } |G - G_{\text{right\_up}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{left\_down}} & \text{当 } |G - G_{\text{left\_down}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{right\_down}} & \text{当 } |G - G_{\text{right\_down}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_down}}|) \end{cases} \quad (5-4)$$

4. 如果像素只有B分量，情况与3相同，只是R与B互换位置<sup>[42]</sup>。



(a) Bayer图像 (b) 邻域插值法 (c) 均值插值法 (d) 考虑相关性的插值

图5-4 几种插值算法比较

通过比较，可以看到使用“考虑相关性的插值算法”与“均值插值算法”的效果最好，考虑到在网络摄像机系统中，插值算法要尽量少的占用系统资源且要求较高的处理速度，我们选用“均值插值法”作为彩色插值算法。图5-5所示的是利用邻域插值法的整体效果图。

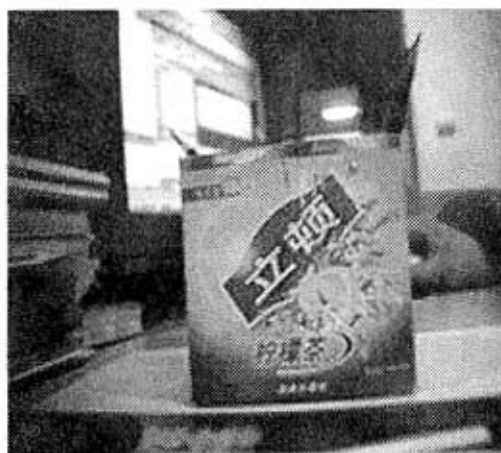


图5-5 邻域插值效果图

## 5.2.2 算法在多媒体处理器上的实现

因为 DM642 采用哈夫曼计算机结构和流水线指令等技术，它的运算速度很

快, 算法在 PC 机上实现之后, 需要根据 DM642 的体系结构和指令集特点做相应的移植工作。

## 1. DM642 的存储结构

DM642 的存储器系统由片内内存和片外外存两部分组成。其中, 片内内存采用两级缓存结构, 第一级包括相互独立的 L1P (16KByte) 和 L1D (16 KByte), 只能作为高速缓存使用。第二级 L2 (256 KByte) 是一个统一的程序/数据空间, 可以整体作为 SRAM 映射到存储空间, 也可以整体作为第二级 Cache, 或是作为二者按比例的一种组合, Cache 和 SRAM 混合使用。第三级是片外外存, 一般由 SDRAM 构成, 对于我们这个系统, 片外外存是 32MByte 的 SDRAM。L1、L2 和片外 SDRAM 构成了整个存储器系统的层次结构。DM642 还提供了 64 个独立通道的 EDMA 控制器负责片内 L2 存储器与片外外存及其他外设之间的数据传输。

图 5-6 是 DM642 三层次的存储器系统: L1、L2 和片外存储器 SDRAM。DM642 还提供了 64 个独立通道的 EDMA 控制器负责片内 L2 存储器与片外外存、其他外设之间的数据传输。

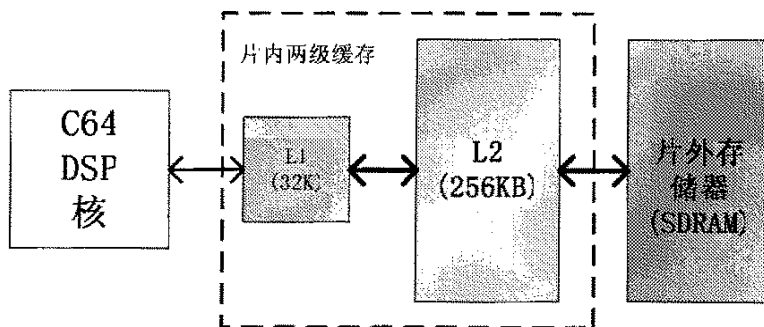


图 5-6. 三层次的存储器系统

L1 和 L2 组成了 DM642 的两级缓存。L1 距离 DSP 核最近, 数据访问速度最快, 只能作为不能寻址的 Cache 使用, 由相互独立的 L1P 和 L1D 组成。L1P cache 大小 16KB, 直接映射, 每行大小 32 Bytes; L1D Cache 大小 16KB, 2 路映射, 每行大小 64 Bytes。

L2 是 L1 和外存储器的中间层, 容量较大, 有 256KB, 是统一的存储空间, 即可同时存储程序和数据。L2 可作为 SRAM 映射到存储空间使用, 也可整体作为第二级 Cache, 或是作为二者按比例的一种组合混合使用。L2 作为 SRAM 使用时, 即是 DM642 的片内内存, 从整个系统地址空间的起始地址 0x00000000 开始编址。当作为 Cache 使用时, 4 路映射, 每行大小 128Bytes, 容量在 32KByte 到 256KByte 之间 (SRAM 空间增大, 则 Cache 容量相应减少)。



DM642 的两级缓存结构若能运用恰当, 将能极大地提高程序性能。在实际应用时, 把 L2 配置为 Cache 和 SRAM 混合使用模式。程序中要用到的一些关键数据段和代码段都放入片内内存中, 如把堆栈 Stack 区放入片内内存。

根据三层次的存储器系统, DM642 访问数据的流程如图 5-7 所示: DSP 内核要访问数据时, 先查看一级缓存 L1, 若 L1 已缓存了该数据, 则直接从 L1 读写数据; 若 L1 没有该数据的缓存, 则访问二级缓存 L2; 若 L2 也没有缓存该数据, 则通过 EMIF 接口访问外部 SDRAM, 把数据从外部 SDRAM 拷贝到 L2 缓存区, 再从 L2 缓存区拷贝到 L1, 最后由 DSP 内核取得<sup>[7]</sup>。

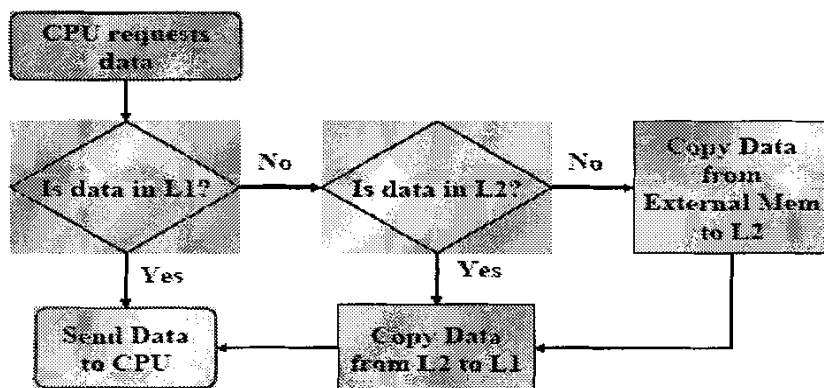


图 5-7 CPU 访问数据的流程图

## 2. 算法移植

下面以 D1 (720\*576) 的 Bayer 图像为例, 每个像素的数据为 8bit, 占 1 个字节, 讨论在 DM642 上实现邻域插值, 主要包括 3 部分:

(1) 分配变量和两个数据段。在插值算法中要用到很多参数常量和变量, 如存储单元的地址等, 把这些参数都存储在内部存储单元 L2 中。在外部 SDRAM 分配两个数据段, 一个存放 CMOS 采集的 Bayer 数据, 空间大小为  $720*576=405\text{KByte}$ , 一个存放插值后的图像数据, 空间大小为  $720*576*3=1.2\text{MByte}$ 。两个数据段在细分成行, 并给当前行分配一个指针。

(2) 定义数据结构和编写程序。考虑到 DM642 的内外存储单元访问速度快慢, 程序先使用 EDMA 将原始数据读入内部 L2 数据缓存区。考虑到 L2 数据缓存区的大小为  $1/2*256=128\text{KByte}$ , 我们不能读入一帧完整的 D1 数据, 只能分块处理。

在网络摄像机的设计中, 我们每次读入 45 行 Bayer 数据, 只需要  $720*45=31.6\text{KByte}$  空间; 存储插值后的数据空间为  $720*45*3=95\text{KByte}$ 。插值处理后将结果通过 EDMA 读出到外部 SDRAM, 一阵图像需要重复 13 次这样的操作。这样的处理方法, 满足了对内存空间的需求, 同时处理速度也是相对较快的<sup>[43]</sup>。

### 5.3 图像的彩色校正

CMOS 图像传感器在采集图像时,由于红绿蓝滤色镜及传感器的光谱特性原因,常不能很好地获得逼真的彩色图像,须通过彩色校正获得正常的彩色图像。论文中为简化计算,通过对采集到的图像做白平衡校正,达到彩色校正的目的。

不同的光源具有不同的光谱成分和分布,这在色度学上称之为色温<sup>[40]</sup>。物体在不同的光源照射下呈现的颜色是不同的。这是由光源的不同色温决定的,它使得物体的反射光谱较真实色彩有一定的偏差。对同一个白色物体而言,在低温光源照明下,其反射变得偏红;反之,在高温光源下变得偏蓝。网络摄像机必须对不同色温所引起的色差进行校正,从而使白色物体呈现真正的白色,这称之为白平衡<sup>[46]</sup>。

白平衡技术的核心,是通过调整由 CMOS 图像传感器得到的一个彩色视觉信号分量增益(如 R、G、B),使得其组成颜色更接近真实色彩。传统的白平衡方法是在色温环境中拍摄一纯白色物体,分析所摄得的图像数据,对白色物体部分进行平均,求其 R、G、B 的均值,定义为 R、G、B。若得到的 R、G、B 三色分量近似相等,则认为系统是白平衡的;否则调整 R、B 通道增益,实现白平衡。这种方法要求以标准白色参照物进行白平衡,但是用户摄人的图像中不一定有白色参照物,所以给用户带来不便<sup>[47]</sup>。

我们采用了局部白平衡法<sup>[45]</sup>对 Bayer 格式的原始图像数据做了白平衡校正。首先通过计算图像中 R、G、B 的直方图得到各颜色分量的分布情况,如对 Bayer 图像做直方图计算,得到图 5-8 所示的结果。

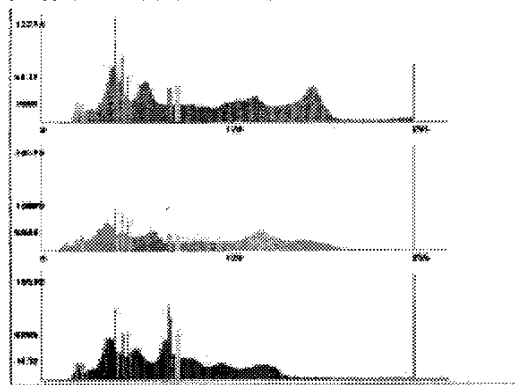


图 5-8 对 Bayer 格式计算得到的直方图

由图 5-8 可以看到,图像中的蓝色分量明显比其他要少,所以整体偏黄。我们对三个分量中像素值最大的前 50%的像素进行平均值计算,得到像素值前 5%大的绿色分量均值  $avr\_G=163$ ,红色分量  $avr\_R=163$ ,蓝色分量  $avr\_B=135$ 。

我们用这三个均值中的最大值作为参考量,计算其他两个分量和它的比值,再用这个比值对各分量的像素值分别按比例扩大,使 R、G、B 三个分量基本处于一个平衡状态。做了上述处理后,效果如图 5-9 所示。



(a) 未作白平衡的

(b) 做了白平衡之后

图 5-9 做全局白平衡后的效果图

## 5.4 图像的 $\gamma$ 校正

网络摄像机系统是由多个部件组成的，那么整个系统的传递函数就是一个幂函数，它的指数  $\gamma$  等于所有单个部件的  $\gamma$  的乘积。如果图像系统的整个  $\gamma = 1$ ，输出与输入就成线性关系。这就意味在重现图像中任何两个图像区域的强度之比与原始场景的两个区域的强度之比相同，但实际情况却不完全是这样。

在整个网络摄像机系统中（包括摄像--信号处理--图象重现）的  $\gamma$  是和摄像机的光电转换指数  $\gamma_s$ 、后端监视器显像管电光转换指数  $\gamma_x$  和信道指数  $\gamma_e$  有密切关系。一般来说  $\gamma_s$  和  $\gamma_x$  都由制造工艺所确定，所以是固定值（通常  $\gamma_s=1$ 、 $\gamma_x=2.2$ ），为此网络摄像机系统总的  $\gamma$  就由信道指数  $\gamma_e$  来决定了，当  $\gamma_e=1$  时信道工作在线性状态，那么  $\gamma=\gamma_s*\gamma_e*\gamma_x=1*1*2.2=2.2$ ， $\gamma>1$ ，图像的对比度比原景物的大，这样一部分较亮的景物挤到白的一端，较暗的景物挤到黑的一端，图像发生了非线性失真。为了校正这种失真，网络摄像机上需要加入  $\gamma$  校正算法模块，它是一种预失真处理，使信道的  $\gamma_e \neq 1$  即信道工作在预失真状态<sup>[44]</sup>。其变化形式为：

$$\text{输出图像} = (\text{输入图像})^\gamma$$

通过理论分析和经验，一般设置  $\gamma=0.45$  或者  $0.5$ 。使用这种摄像机得到的图像就预先做了校正，在  $\gamma=2.5$  的 CRT 屏幕上显示图像时，屏幕图像相对于原始场景的  $\gamma$  大约等于  $1.25$ 。这个值适合“暗淡环境”下观看。在论文中，采用了  $\gamma=0.45$  和  $\gamma=0.56$  做校正实验之后，图像的亮度有了显著的增强，虽暗处的细节得到提升，但是整体显得饱和度不足。分析其原因，可能是 CMOS 图像传感器芯片中已经有了  $\gamma$  预失真电路，在网络摄像机的实际运用中，我们暂不作  $\gamma$  校正。

## 第六章 总结与展望

随着社会发展和安全防护要求的提高,人们对视频监控的要求已经从简单的低分辨率监视系统,发展到高清、智能并且可以交互的新一代网络摄像机。而宽带接入和视频编解码技术的迅猛发展给网络摄像机的应用开辟了广阔的市场。可以预见在不久的将来,网络摄像机将成为监控市场中的主力军。

另外,网络摄像机的发展和运用将极大的简化视频监控网络,方便设备安装,对视频监控在各行各业的应用起了很大的促进作用;对于人民生活和生产安全,生产力的提高等都有积极的推动作用。

本文所研究的,就是在详细分析视频监控应用需求的基础上,充分考虑视频监控本身的特点,结合嵌入式计算平台设计原理、高速电子线路设计原则和图像处理理论,对网络摄像机系统的硬件系统和板级支持软件的设计方法进行了较为深入的研究。本文的主要贡献和成果包括以下几点:

### (1) 基于高性能多媒体数字信号处理芯片的系统设计:

由于应用条件的限制,网络摄像机要求结构简洁,所有的硬件模块都必须集成为一个 15\*6\*6 (cm) 的小机壳内;但是功能却要求完整,如可以实现视、音频的采集和编码,网络通信等功能,并且要求性能稳定。这就对系统设计提出了较高的要求。本文充分考虑了网络摄像机对体积的限制和对功能的要求,采用了诸如以太网供电 PoE 等最新技术,并精心考虑印制电路板的布局,达到了设计指标,并节约了产品成本。

### (2) 高速电子线路设计的理论和方法研究:

采用的中央处理芯片是美国德州仪器公司(TI)的高性能多媒体处理器 TMS320DM642,它的工作频率高达 600MHz。为了使网络摄像机系统稳定地工作,本文对高速电子线路设计的理论进行了较为深入的研究;并就其设计方法,结合 IBIS 模型和 Hyperlynx 等仿真软件的使用,进行了多种尝试,总结出一些设计原则。

### (3) 基于 TI 多媒体处理器 DM642 的嵌入式平台驱动程序设计:

网络摄像机功能繁多,系统资源复杂,板上有多种需要软件驱动的芯片。为了提高驱动程序的代码重复利用率,充分利用多媒体处理器流水线结构的综合处理能力,本文参考了以往的设计经验,结合 TI 的 Class/Mini-Driver 体系,对系统的驱动程序结构进行了深入研究。特别是针对视频采集器件软件接口在利用缓存和 EDMA 等资源上的特殊性,专门设计了一套相关的驱动软件。

### (4) 网络摄像机板级支持软件的开发:

网络摄像机需要有硬件驱动程序、图像预处理等板级支持软件，如其软件系统需要对传感器采集的数据进行相应处理，才能为压缩编码模块提供高质量的视频源。本文对图像传感器彩色图像恢复、图像彩色校正及 $\gamma$ 校正技术进行了研究。

由于时间的限制，本文所进行的研究在某些方面还不够完全。例如对图像白平衡、彩色校正、图像增强等算法可以做进一步的研究。

## 参 考 文 献

1. 胡青松. IP 网络摄像机的研究和应用 [J]. 电视技术, 2003-12: 77-79.
2. 唐慧明. 网络摄像机技术文档. 网络摄像机设计小组文档, 2005-11.
3. 李徽. 基于FPGA的MPEG-4编解码芯片开发系统设计研究 [D]. 浙江: 浙江大学, 2004.
4. 熊辉. 嵌入式系统设计和网络摄像机解决方案 [D]. 天津: 天津大学, 2003.
5. 马海杰. 基于 TMS320DM642 的音视频编解码系统硬件设计 [D]. 浙江: 浙江大学, 2005.
6. 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用 [J]. 电子工业出版社, 2003-1.
7. 徐华根. 视频编码算法研究及其在 DM642 上的实现 [D]. 浙江: 浙江大学, 2005-2.
8. Texas Instruments. TMS320DM6446 Digital Media System on chip [Z], 2005-12.
9. Texas Instruments. TMS320DM642 Video/Imaging Fixed-Point Signal Processor [Z], 2004-4.
10. National Semiconductor. LMS1585A Datasheet [Z], 2002.
11. Elantec Semiconductor. EL7558BC Datasheet [Z], 2002.
12. Texas Instruments. TPS54310 Datasheet [Z], June, 2002.
13. Jacob Herbold. IEEE 802.3af 以太网供电系统分析 [Z]. Linear Technology 公司, 2004-6.
14. Texas Instruments. DM642 EVM Help [Z], 2003.
15. Texas Instruments. TMS320DM642 Evaluation Module Technical Reference [Z], 2003-8.
16. 柯玉军. 基于 DSP 的透镜参数测量系统的研究 [D]. 合肥: 合肥工业大学, 2004.
17. ST Microelectronics. M29DW324DB datasheet [Z], 2003-6.
18. 何立民. I<sup>2</sup>C 总线应用程序设计 [M]. 北京: 北京航空航天大学出版社, 2002: 25-26.
19. <http://www.fpga.com.cn/introduction2.htm>.
20. Altera Corporation. MAX3000A Datasheet [Z], 2003-6.
21. Philips Semiconductors. The I<sup>2</sup>C-bus Specification [Z], 2000-1.
22. 高光天, 张伦, 冯新强. 传感器与信号调理器件应用技术 [M]. 科学出版社, 2002.

23. 范寿康, 卢春兰, 李平辉. 微波技术与微波电路 [Z]. 机械工业出版社, 2003-7 .
24. Micron Technology . MT9T001 Datasheet [Z], 2003-6 .
25. 连华, 林斌, 陈伟. CMOS 图像传感器成像系统 [J]. 光学仪器, 2003, 25 (4): 12-19 .
26. Texas Instruments . TLV320AIC23 Datasheet [Z], May 2002 .
27. 雷震甲.《网络工程师教程》[M]. 北京: 清华大学出版社, 2004-7 .
28. Douglas E. Comer, David L. Stevens . Internetworking With TCP/IP (中文版) [M]. 北京: 电子工业出版社, 1998-6 .
29. Texas Instruments . TMS320C6000 Ethernet Media Access Controller (EMAC) / Management Data Input /Output(MDIO) Module Reference Guide [Z], 2003-6 .
30. Inter . LXT971A Datasheet [Z], 2002-8 .
31. TIA/EIA .Electrical characteristics of generators and receivers for multipoint systems [Z]. TIA/EIA STANDARD, 1998-3 .
32. TIA/EIA .Electrical Characteristics of Balanced Voltage Digital Interface Circuits [Z]. TIA/EIA STANDARD, 1994-8 .
33. Texas Instruments . Interface Circuits for TIA/EIA-485(RS-485) [Z], 2000-12 .
34. Stephen H. Hall, Garret W, Hall. James McCall. High-Speed Digital System Design-A Handbook of Interconnect Theory and Design Practices [Z]. John Wiley & Sons, Inc, 2000 .
35. Texas Instruments . TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide [Z], 2003 .
36. 李波等. 基于通用 DSP 的多模式视频编码器 [J]. 计算机学报, 2004, 12: 1648-1656 .
37. Dr. Lynne Green . An Introduction to IBIS Models and Model Validation [Z]. CADENCE DESIGN SYSTEMSINC, 2003-3 .
38. MAXIM High-Frequency/Fiber Communications Group . IBIS Data for CML[Z],PECL and LVDS Interface Circuits, 2002-1 .
39. Cadence Design Systems, Inc .SECCTRA Quest system level design and analysis[Z], 2000 .
40. Texas Instruments, DSP/BIOS Driver Developer's Guide[Z], Nov 2002 .
41. 徐之海, 冯华君, 李奇. 一种基于绿色分量的 CCD 颜色插值算法 [J]. 光电子·激光, 2001, Vol.12 No.08: 842-844 .
42. 李奇, 徐之海, 冯华君. 用于数字相机的 CCD 颜色插值算法研究 [J]. 激光与红外, 2002.10, Vol32, No.5: 300-302 .
43. 俞再光, 赵群飞. 基于 YCbCr 三基色插值及其在 DSP 上的实现 [J]. 计算机工程与应用, 2005.10: 104-106 .
44. 马力. CMOS 传感器图像采集与增强 [D], 浙江: 浙江大学, 2005-6 .
45. X. Wu, N. Zhang .Primary-consistent soft-decision color demosaic for digital cameras

- [J] . Proc. ICIP, vol. I: 477-480, Sept. 2003 .
46. 周荣政, 何捷, 洪志良. 自适应的数码相机自动白平衡算法 [J] . 计算机辅助设计与图形学学报, 2005-3, 7 .
47. 姚亮. 基于数码相机的图像预处理研究 [D]. 广州: 华南理工大学, 2003: 529-533 .



## 硕士在读期间发表的论文

《一种高清晰度网络摄像机的硬件设计》 蔡荣，唐慧明，已被《科技通报》录用

## 硕士在读期间所参加的科研工作

- [1] 基于 TMS320DM642 的视频开发硬件系统设计
- [2] 高清晰度网络摄像机硬件平台的设计与研究

## 致 谢

时光如白驹过隙，即将要结束两年半的硕士学习生活，心中充满了对学校的依依不舍，同时也对未来充满了期待。

本文是在导师唐慧明副教授的悉心指导下完成的。从论文选题、进展到最后定稿，每一步都凝聚着导师的心血。在我读硕士期间，唐老师无论在学习上，还是在生活上都给予我悉心的指导和关心，让我受益匪浅。导师渊博的知识、严谨的治学态度、深厚的专业功底和谦逊正直的为人给我留下了深刻的印象，更是我终身学习的榜样。值此硕士学位论文完成之际，谨向导师表示诚挚的感谢和敬意！

在课题研究过程以及论文撰写过程中，得到了研究所的韩草铭老师、刘云海老师的帮助和指导，在他们的指导与交流学习过程中，我也收获了很多，让我深受启发，在此我向他们表示最诚挚的感谢。

还要感谢在求学路上一同走来的同学和朋友，如网络摄像机开发小组的林海涵、张芙蓉、刘先虎、王一刚和高国鲁。这是一个充满激情、活力和团队协作精神的集体。在这个团队中，我们的目标是一致的，合作是十分愉快的。在学习和生活上，他们都给了我很多的帮助，让我顺利完成开发工作和毕业论文。同时我也要感谢同门的师兄弟吴恩平，万春新，吴参毅，徐华根，杨黎波，雷东壁，蒋国华，褚方杰，艾丹，感谢你们的帮助。

感谢一贯理解和支持我的家人和女友，正是他们多年来的关怀和支持，使我在任何困难面前都能获得无尽的动力，顺利完成了学业。

最后，向所有支持、关心、帮助和鼓励我的老师、同学和朋友表示衷心的感谢。

蔡 荣

2006年2月17日 求是园