

实验一 运算器及其应用

2022春季

zjx@ustc.edu.cn

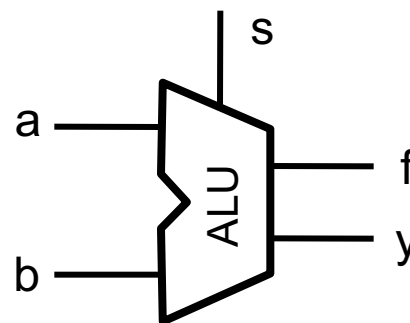
实验目标

- 熟练掌握算术逻辑单元 (ALU) 的功能
- 掌握数据通路和控制器的设计方法
- 掌握组合电路和时序电路，以及参数化和结构化的Verilog描述方法
- 了解查看电路性能和资源使用情况

实验内容

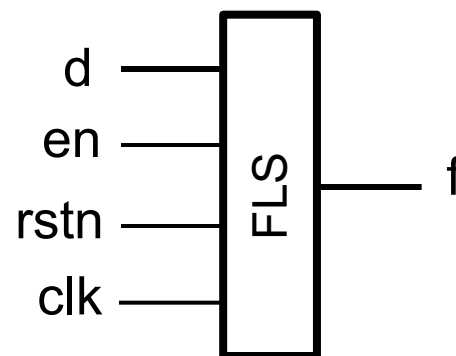
1. 算术逻辑单元 (ALU)

- s: 功能选择, 加、减、与、或、异或、逻辑左移、逻辑右移、算术右移等运算
- a, b: 两个操作数
- y: 运算结果, 和、差
- f: 标志, 相等(eq), 小于(lt, ltu)



2. ALU应用: 计算斐波那契—卢卡斯数列 (Fibonacci Lucas Series)

- d: 输入数列初始项
- en: 输入和输出使能
- f: 输出数列
- clk, rstn: 时钟, 复位信号



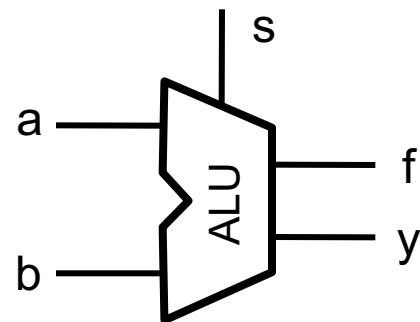
ALU模块

```
module alu #(
    parameter WIDTH = 32    //数据宽度
)(
    input [WIDTH-1] a, b,    //两操作数
    input [2:0] s,           //功能选择
    output [WIDTH-1:0] y,    //运算结果
    output [2:0] f           //标志
);
```

- f[0]: 相等(eq)
- f[1]: 有符号数小于(lt)
- f[2]: 有符号数小于(ltu)

* 表示根据运算结果设置
x 表示与比较结果无关

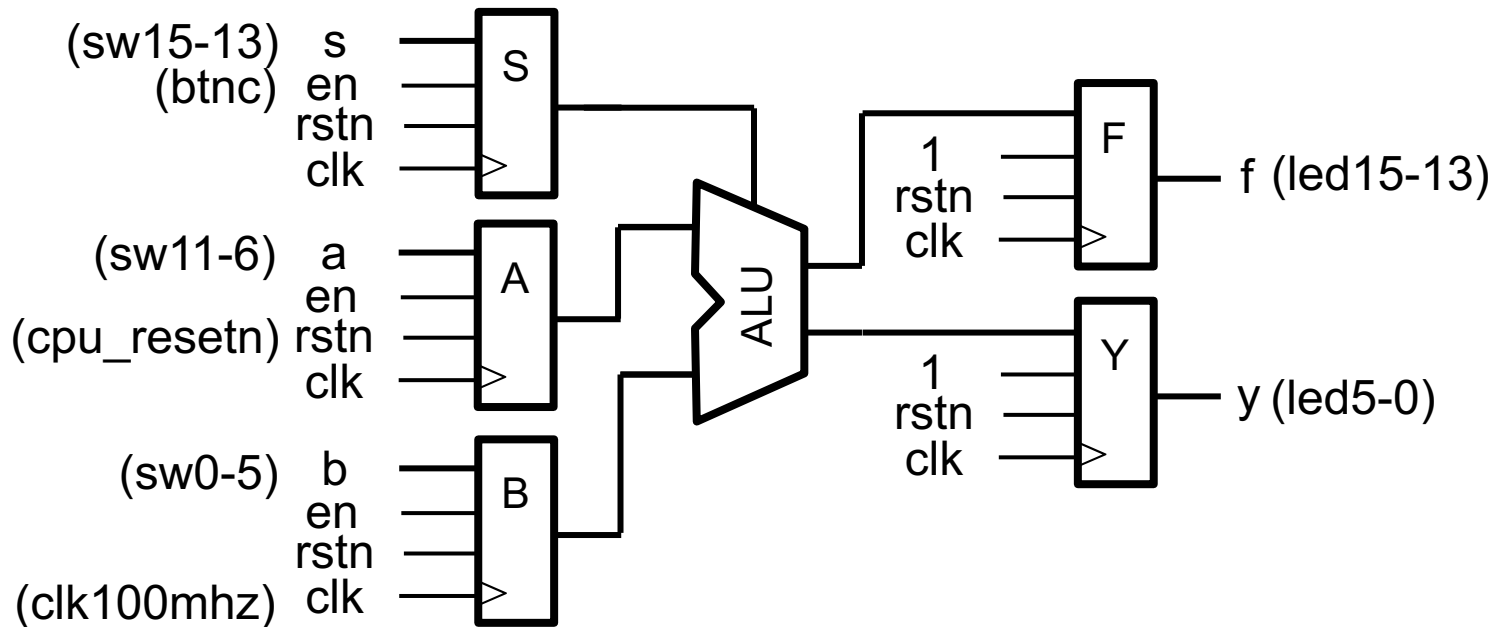
大小关系	f		
	ltu	lt	eq
$a = b$	0	0	1
$a \neq b$	x	x	0
$a <_s b$	x	1	0
$a \geq_s b$	x	0	x
$a <_u b$	1	x	0
$a \geq_u b$	0	x	x



s	y	f
0	$a - b$	*
1	$a + b$	0
2	$a \& b$	0
3	$a b$	0
4	$a \wedge b$	0
5	$a \gg b$	0
6	$a \ll b$	0
7	$a \ggg b$	0

ALU模块下载测试

- 测试6位ALU，其输入和输出端均连接至寄存器
 - 寄存器的时钟clk连接100MHz时钟，复位rstn和使能en分别连接按钮cpu_resetn和btnc



Nexys4-DDR 时钟配置

- 下载实验板测试时，使用实验板100MHz时钟

```
## Clock signal
```

```
#set_property -dict { PACKAGE_PIN E3  IOSTANDARD LVCMOS33 } [get_ports  
{ CLK100MHZ }]; # clk100mhz
```

```
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports  
{CLK100MHZ}];
```

- 若用开关输入信号 (例如, BTNC) 作为时钟信号，必须在约束文件(.xdc)中设置如下：

```
set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets {BTNC}]
```

ALU模块电路资源

- 查看Vivado生成电路

- RTL电路: Flow Navigator >> RTL Analysis >> Open Elaborated Design >> Schematic
- 综合电路: Flow Navigator >> Synthesis >> Open Synthesized Design >> Schematic

- 查看电路资源使用情况

- 综合电路: Flow Navigator >> Synthesis >> Open Synthesized Design >> Report Utilization

ALU模块电路性能

- 查看综合电路性能

- Flow Navigator >> Synthesis >> Open Synthesized Design >> Report Timing Summary

Timing

General Information

Timer Settings

Design Timing Summary

Clock Summary (1)

> Check Timing (12)

▼ Intra-Clock Paths

▼ clk

Setup 7.713 ns (4)

Hold 0.137 ns (4)

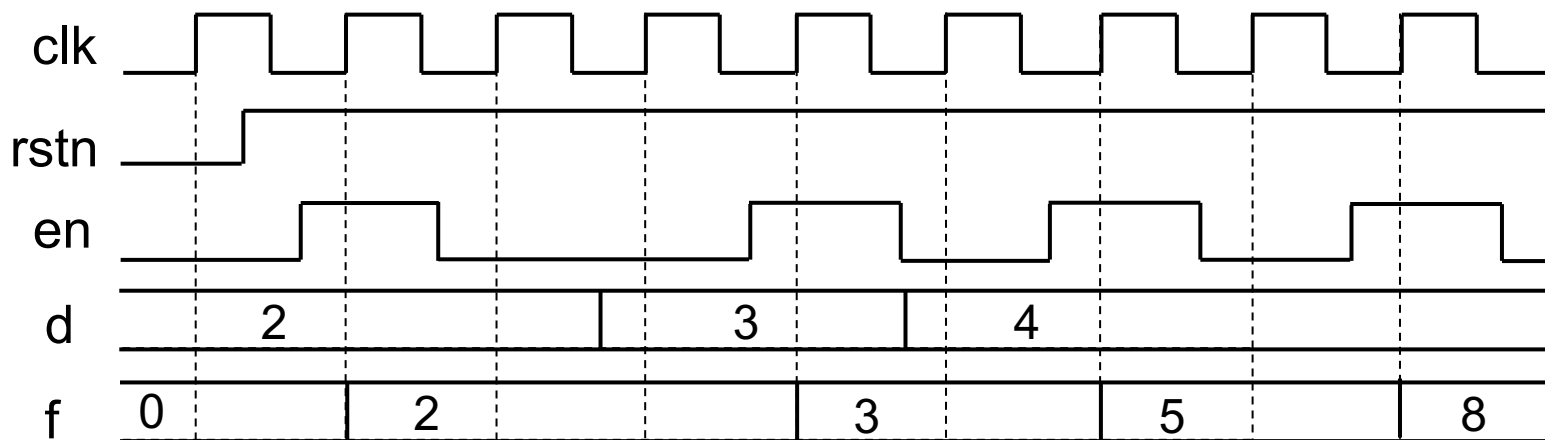
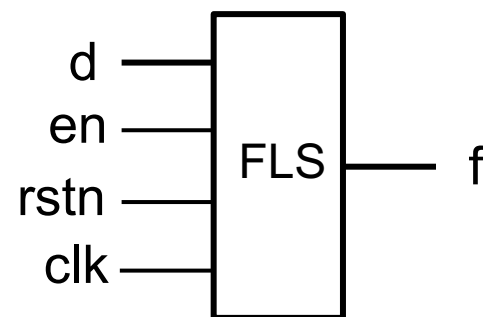
Pulse Width 4.500 ns

Timing Summary - timing_1

Name	Slack	Levels	High Fanout	From	To	Total Delay
Path 1	7.713	2	3	A_reg[1]/C	S_reg[3]/D	2.151
Path 2	8.102	1	4	B_reg[0]/C	S_reg[2]/D	1.762
Path 3	8.304	1	4	B_reg[0]/C	S_reg[1]/D	1.560
Path 4	8.597	1	4	A_reg[0]/C	S_reg[0]/D	1.267

FLS模块

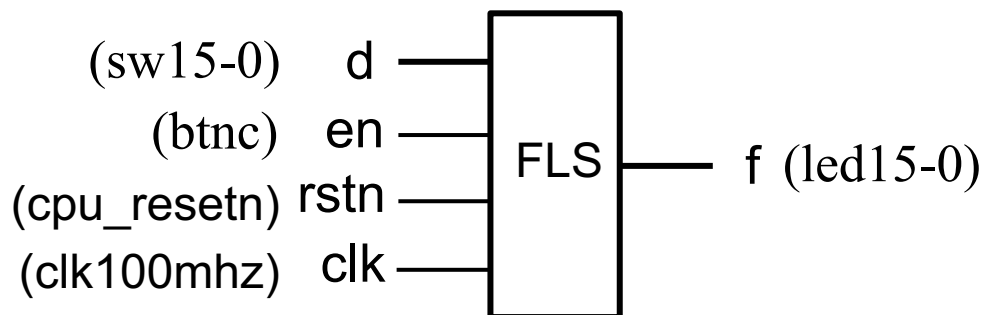
- 复位后，前2次en有效时，f分别输出f0和f1 (= d)
- 随后en有效时，f依次输出 $f_n = f_{n-2} + f_{n-1}$, $n > 1$



FLS模块 (续)

- 端口定义

```
module fls (  
    input clk,  
    input rstn,  
    input en,  
    input [15:0] d,  
    output [15:0] f  
);
```



- 逻辑设计要求

- 数据通路：结构化
- 控制器：Moore型FSM，采用两段式Verilog描述

实验步骤

1. 完成ALU模块的逻辑设计和仿真
2. 完成6位ALU的下载测试，并查看RTL电路图，以及实现电路资源和时间性能报告
3. 完成FLS的逻辑设计、仿真和下载测试
4. 选项：完成32位ALU的下载测试，并查看RTL电路图，以及实现电路资源和时间性能报告

The End