1. 什么是FIFO

**FIFO（First In First Out，即先入先出），是一种数据缓存器**， 用来实现数据先入先出的读写方式。在FPGA 或者 ASIC 中使用到的 FIFO 一般指的是对数据的存储具有先入先出特性的缓存器，**常被用于多比特数据跨时钟域的转换、读写数据带宽不同步等场合**。

1. FIFO IP核介绍

FIFO 本质上是由 RAM 加读写控制逻辑构成的一种先进先出的数据缓冲器，其与普通存储器 RAM 的区别在于 FIFO 没有外部读写地址线，使用起来非常简单，但 FIFO 只能顺序写入数据， 并按顺序读出数据，其数据地址由内部读写指针自动加 1 完成，不能像普通存储器那样可以由地址线决定读取或写入某个指定的地址，不过也正是因为这个特性，使得 FIFO 在使用时并不存在像 RAM 那样的读写冲突问题。根据 FIFO 工作的时钟域，可以将 FIFO 分为同步 FIFO 和异步 FIFO。**同步 FIFO 是指读时钟和写时钟为同一个时钟，在时钟沿来临时同时发生读写操作，常用于两边数据处理带宽不一致的临时缓冲。异步 FIFO是指读写时钟不一致，读写时钟是互相独立的，一般用于数据信号跨时钟域处理**。

1. FIFP IP核常见参数

1、FIFO 的宽度： FIFO 一次读写操作的数据位宽 N。

2、FIFO 的深度： FIFO 可以存储多少个宽度为 N 位的数据。

3、 将空标志： almost\_empty， FIFO 即将被读空。

4、 空标志： empty， FIFO 已空时由 FIFO 的状态电路送出的一个信号，以阻止 FIFO 的读操作继续从FIFO 中读出数据而造成无效数据的读出。

5、 将满标志： almost\_full， FIFO 即将被写满。

6、 满标志： full， FIFO 已满时由 FIFO 的状态电路送出的一个信号，以阻止 FIFO 的写操作继续向 FIFO中写数据而造成溢出。

7、写时钟： 写 FIFO 时所遵循的时钟，在每个时钟的上升沿触发。

8、读时钟： 读 FIFO 时所遵循的时钟，在每个时钟的上升沿触发。

9、可配置满阈值：影响可配置满信号于何时有效，其可配置范围一般为 3~写深度-3。

10、可配置满信号： prog\_full，表示 FIFO 中存储的数据量达到可配置满阈值中配置的数值。

11、可配置空阈值：影响可配置空信号于何时有效，其可配置范围一般为 2~读深度-3。

12、可配置空信号： prog\_empty，表示 FIFO 中剩余的数据量已经减少到可配置空阈值中配置的数值。

4. FIFO配置





