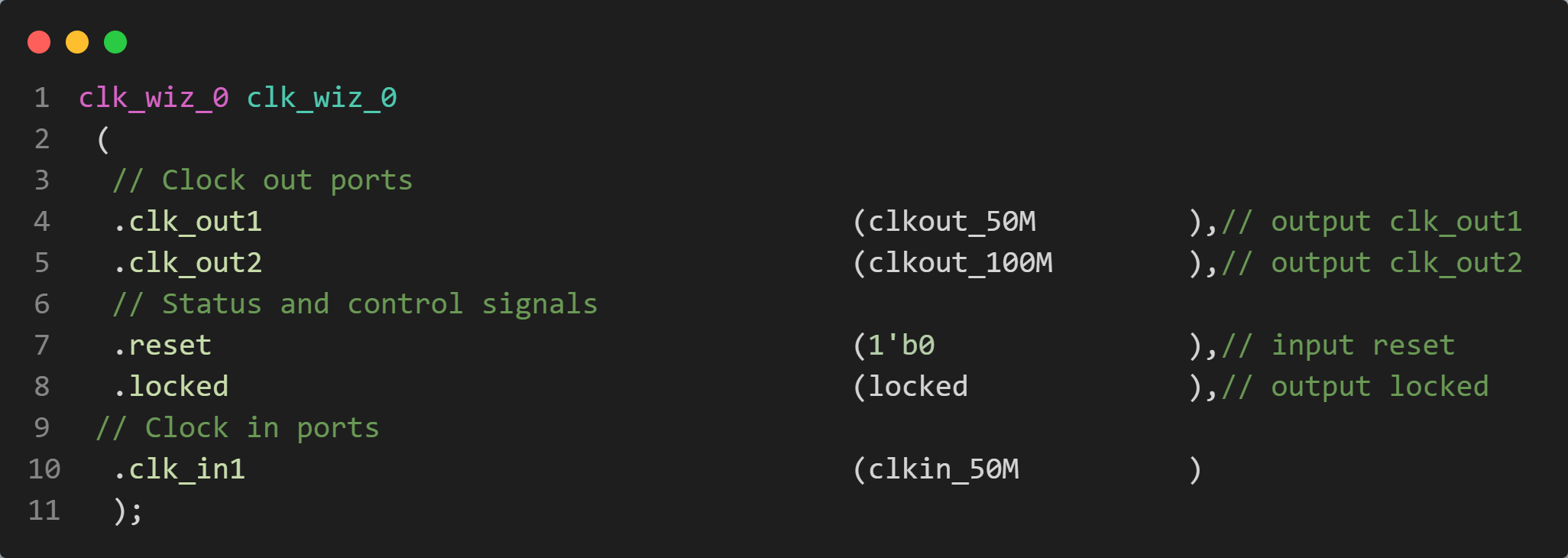
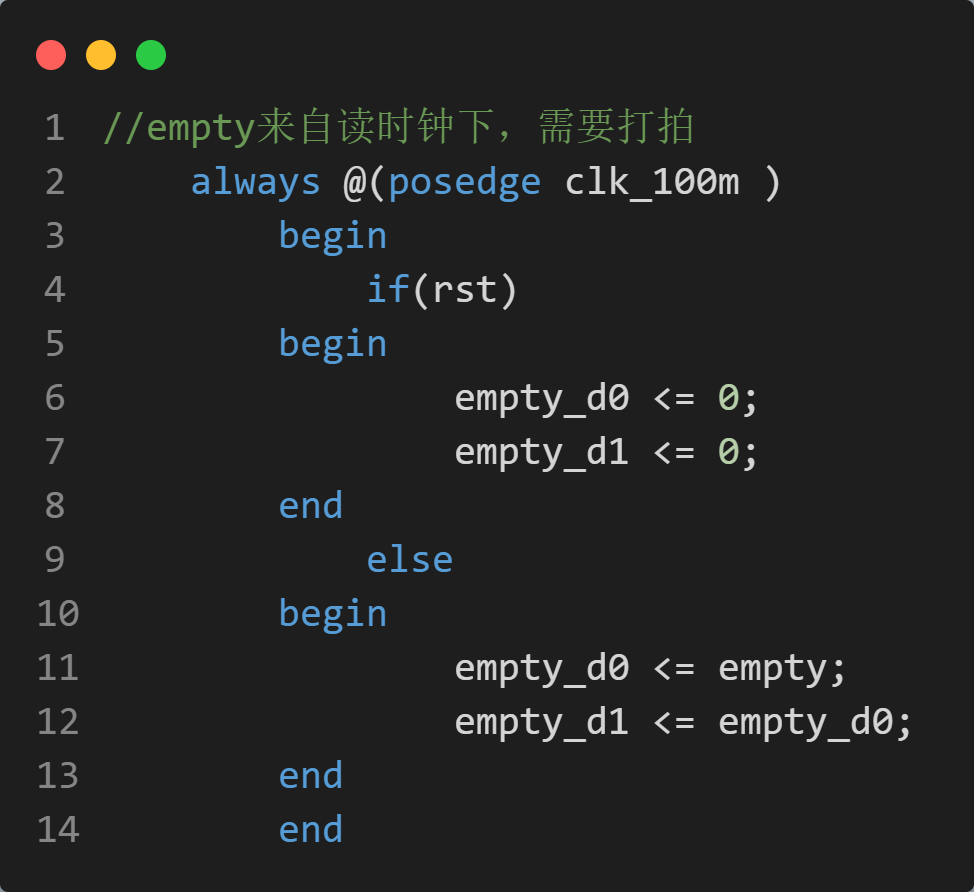
1. 写模块

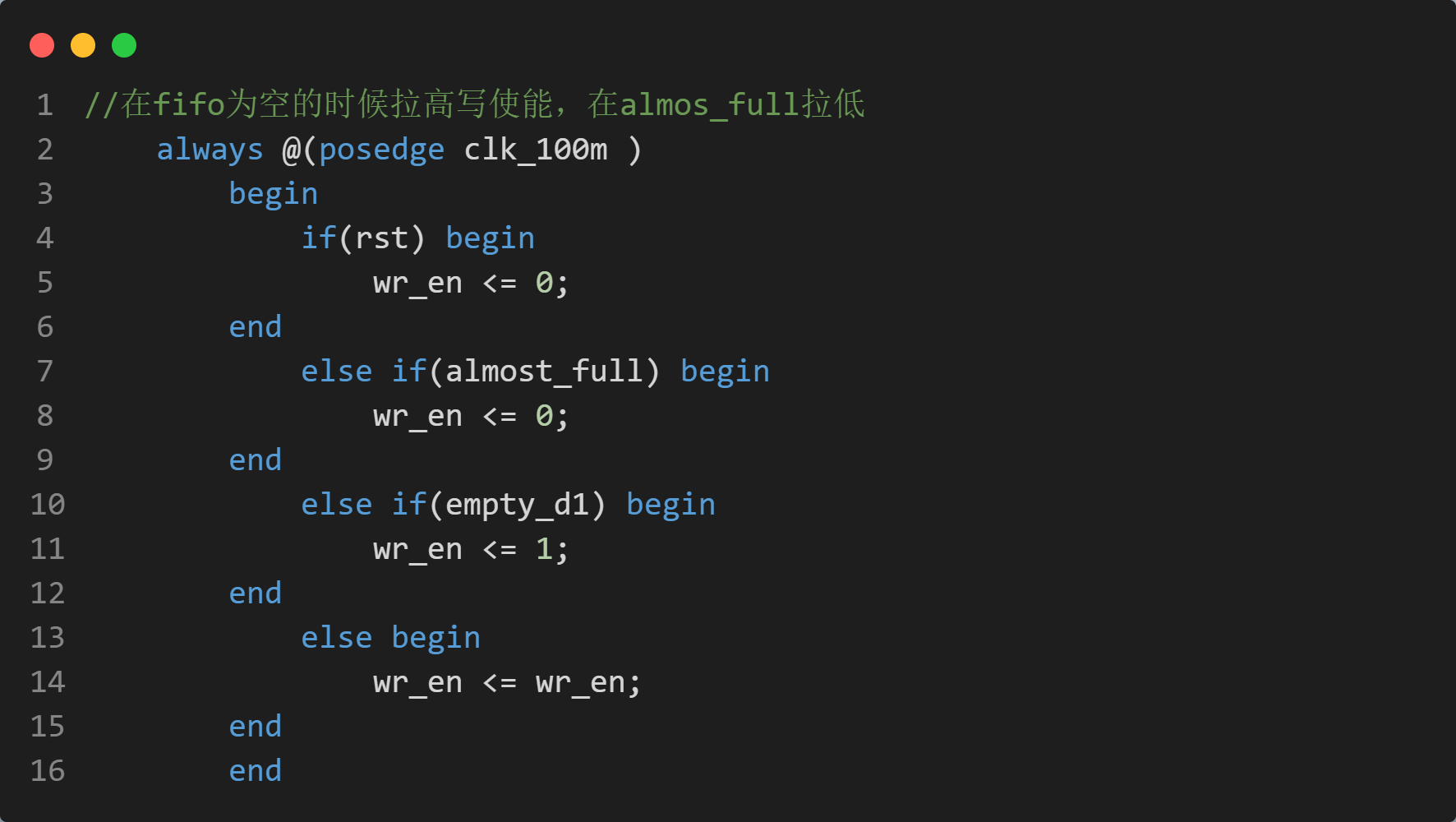
Fifo写部分的时钟为100MHZ，由pll ip核产生

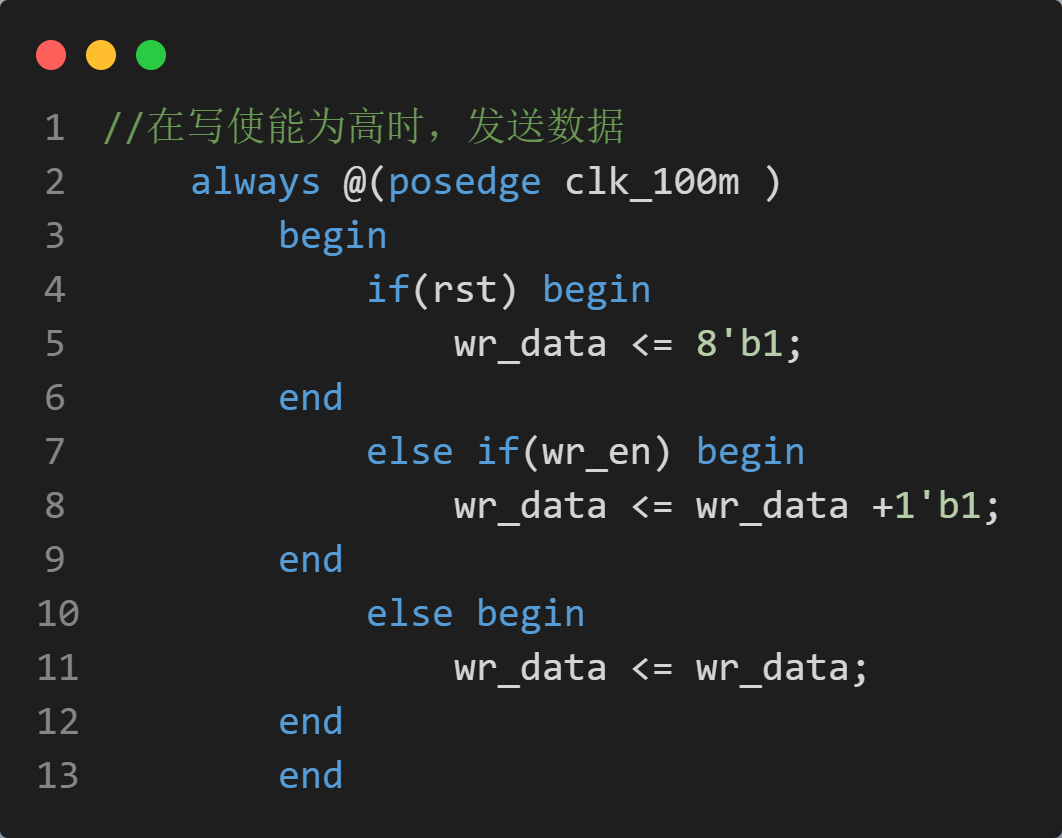


Wr\_en由empty信号来确定，因为empty来自读时钟域，因此进行打拍处理

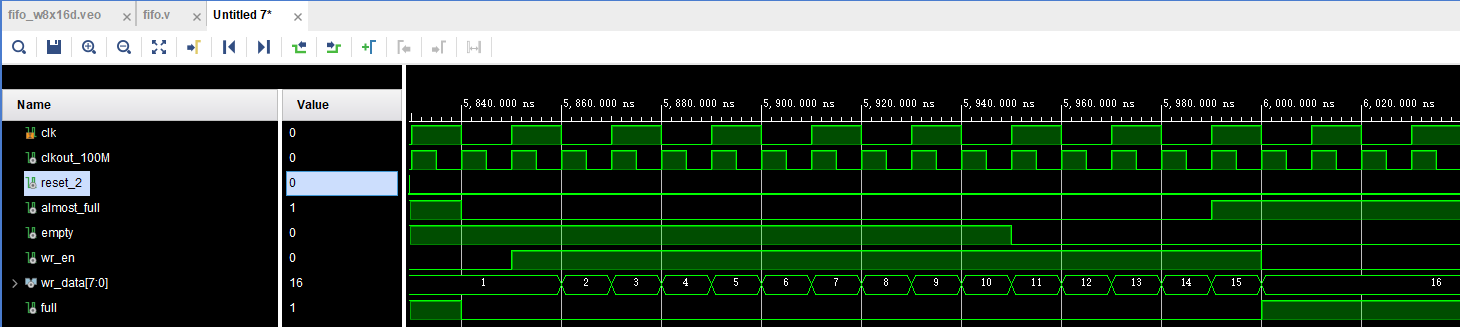


防止fifo爆满，在almost\_full信号为高时，拉低wr\_en



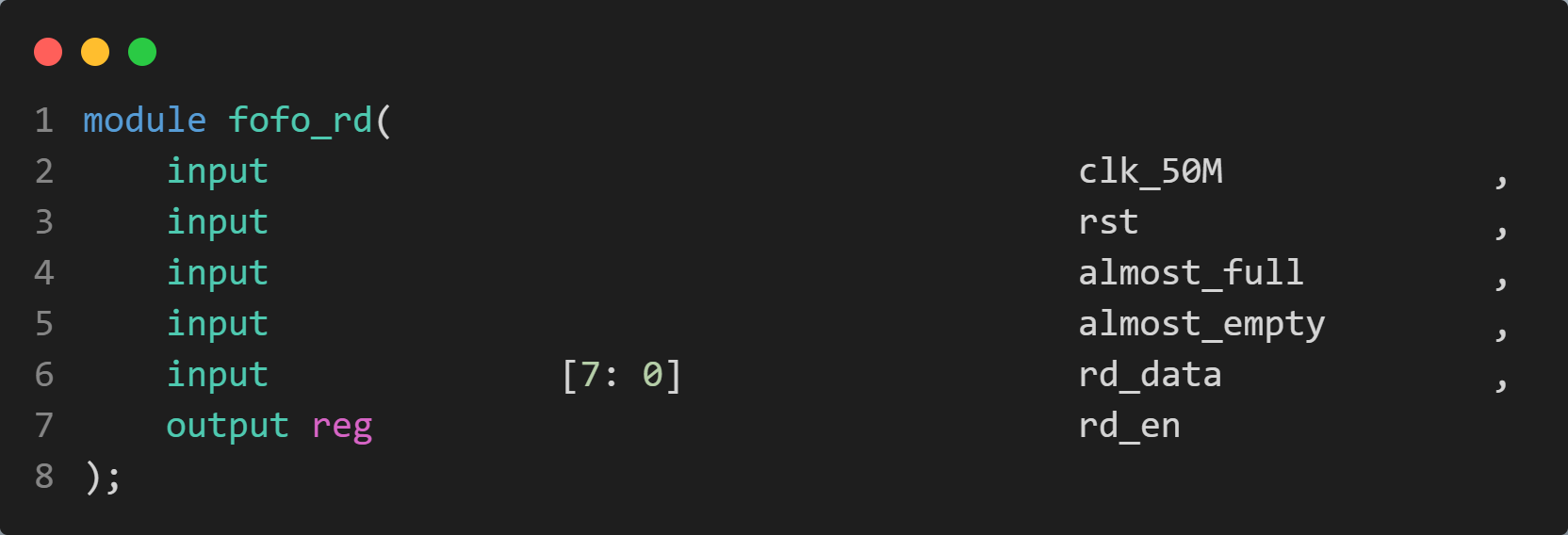


仿真波形如下：

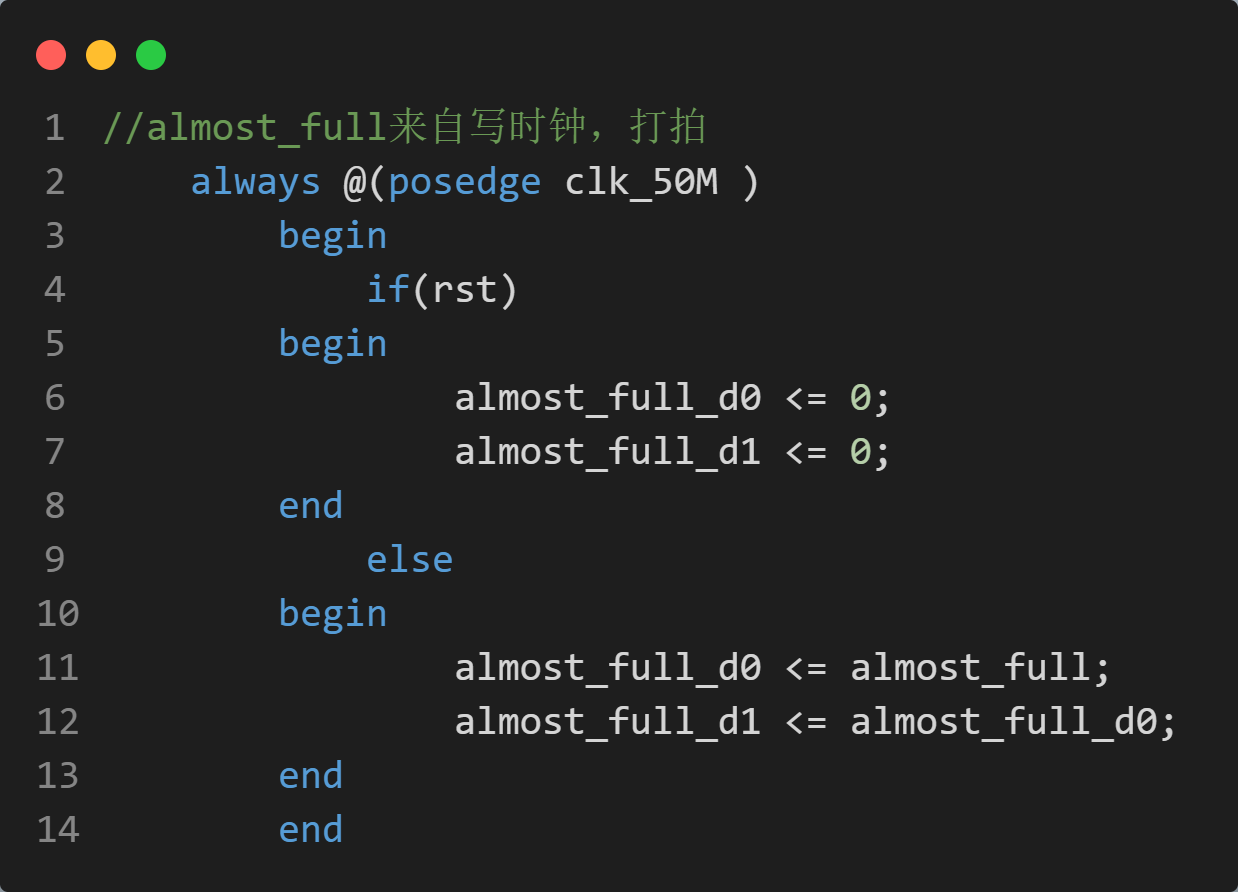


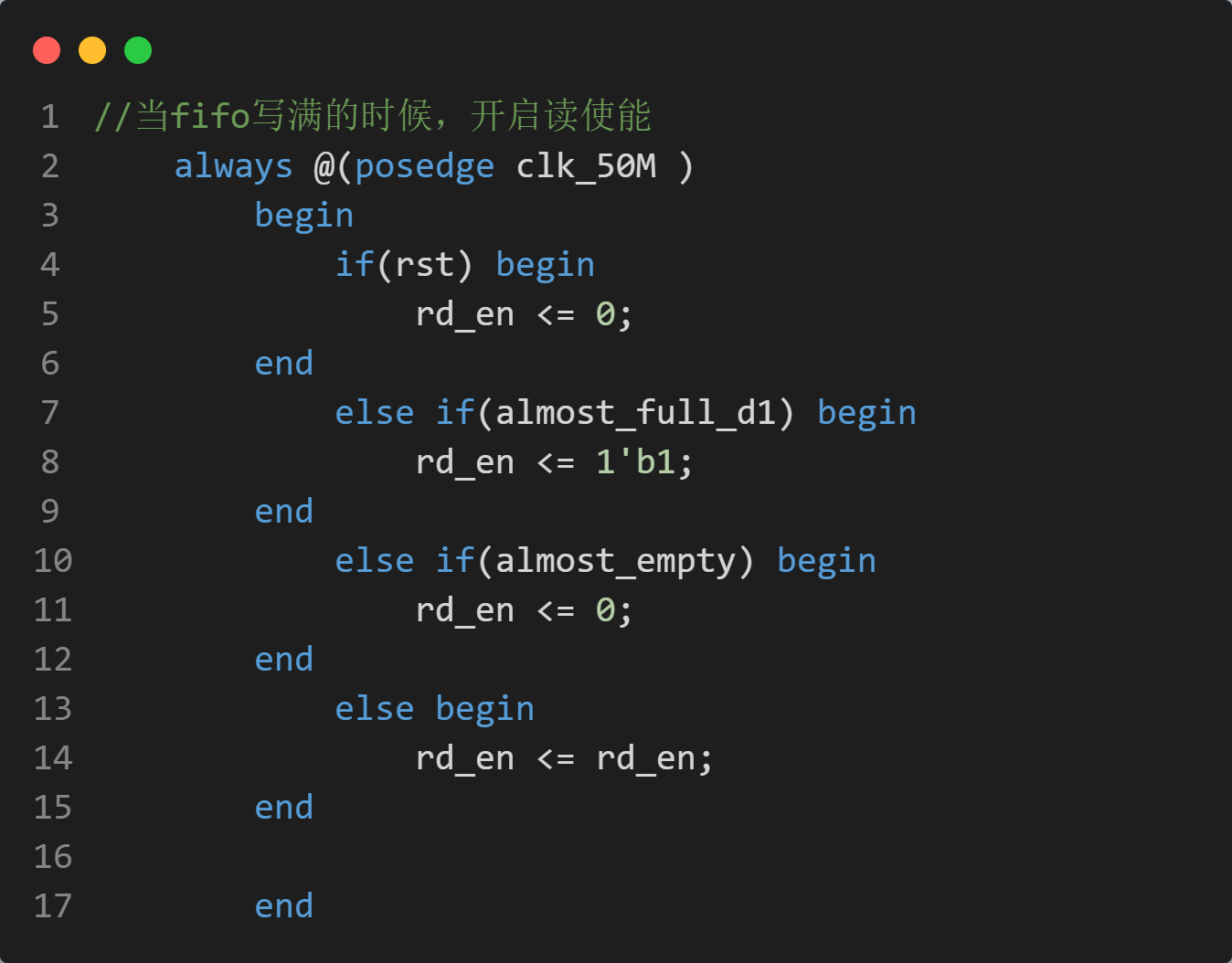
1. 读模块设计

读模块时钟为50MHZ，由pll ip核产生



用almost\_full来指示rd\_en





仿真波形如下：

