**武汉大学计算机学院**

**本科生实验报告**

**计算机组成原理实验**

专 业 名 称 ：人工智能

课 程 名 称 ：计算机组成原理

指 导 教 师 ：

学 生 学 号 ：2023302051161

学 生 姓 名 ：薛领

2025年 1月

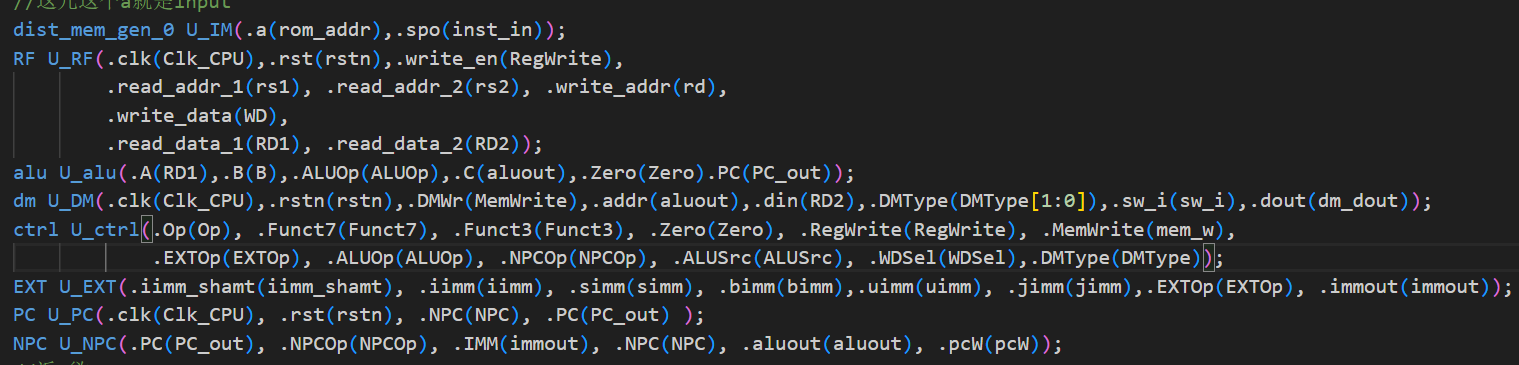
**1**□**实验内容**

本实验的主要内容是使用verilog语言以及开发板对单周期CPU的实现，通过分模块设计再组装的方式进行整体的规划，其主要包含五个部分，即：Im：读取指令，RF：寄存器访存，ALU:计算，以及DM：数据读取和写入，除此之外还有seg7x16模块进行数字码和显像的转换以及CTRL实现指令码到控制信号的转换，对此不再赘述。总体实验要求即为加深对单周期CPU的理解，以及其中的指令具有一定程度的了解。

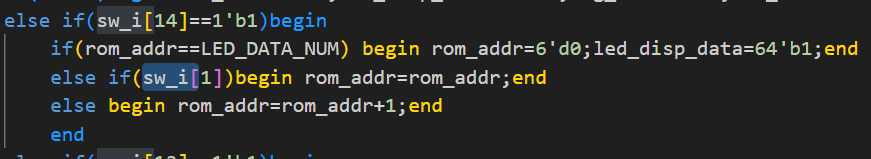
**2**□**实验步骤与分析**

本实验使用的软件是Vivdao，并使用Verilog语言进行代码的编写。具体的实验流程步骤如下：首先在Vivado上进行工程的创建，同时引入管脚约束文件icf以及ROM IP核的配置保从而保证rom使用。然后是代码的编写，对是各个模块进行实现，以及在主模块里进行综合、例化，在完成代码的编写后即可下板进行测试。

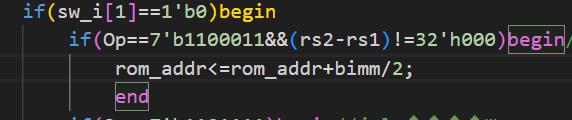
四模块基本组成不再赘述，下主要解释一下最后的封装模块。其中除了包含四模块，还包含有对PC的更改模块，立即数操作模块以及控制信号输出模块，其中的PC更改模块与立即数模块的部分功能我进行整合后置于一处。其四大模块组装过程中需要注意各个信号间的关联，如下：



其余部分则几乎不变，同时需要注意，由于sw\_i[1]对数据信号有中断作用，所以需要在部分模块中将其添加以实现中断处理：

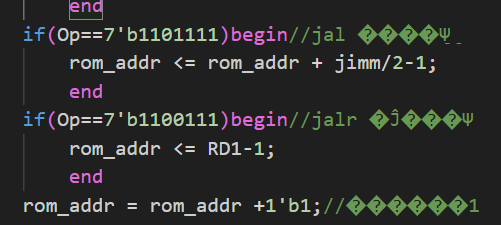


在最终机测中我所测试指令为bne,jal以及jalr，下对其进行分析：

首先为bne指令：  
 

其逻辑如此，即当判断为alu的两个输入源相同时，则采用bimm立即数对其进行更改。

同理有jal与jalr：



与bne不同的是其亦需要添加一步返回寄存器x1来保存返回地址。

同时代码中有部分是对 led\_o的更改，其是我自行修改用来查看控制信号是否正确输入输出的。

**3**□**实验结果与总结**

本实验通过各个模块的具体分析，模块组装以及对特例指令的具体应用，循序渐进的让我们更加深入的了解了计算机CPU的组成原理以及单周期的具体过程。不得不说，本次实验加深了我对单周期CPU控制信号以译码解码的理解深刻程度，即如WDSel等信号的具体来源；除此之外也着呢个开了我对开发板使用以及verilog代码编写的熟练程度，同时也学会了用虚拟仿真的方法来进行代码的调试。

教师评语评分

评语：

评分：

评阅人：

年 月 日

（备注：对该实验报告给予优点和不足的评价，并给出百分之评分。）