

Pokročilé číslicové systémy, FIT, VUT Brno

Praktický projekt

David Mihola

xmihol00

15. Prosinec 2023

1 Provedené změny

V následujících VHDL souborech došlo ke změnám:

- `comp/jenkins_final.vhd` a `comp/jenkins_mix.vhd`:
 - Do původně plně kombinačních obvodů byly doplněny registry a nyní je výpočet řetězen do několika stupňů. Registry byly přidány na vstupy, výstupy a za každé druhé kombinační úseky. Ačkoliv se kritická cesta celého obvodu nachází mezi prvním a druhým registrem v souboru `comp/jenkins_final.vhd`, již není třeba dále vkládat další stupně řetězené linky. Délka kritické cesty je takto s přehledem přijatelná pro požadované časování a přidáním dalších registrů by se dal obvod zrychlit pouze poměrně málo za cenu větší latence a využití zdrojů.
- `filter.vhd`:
 - BRAM byla nakonfigurována tak, aby implementovala výstupní registr, čímž se zkrátí délka kombinační cesty mezi BRAM a logikou filtru.
 - Kombinační logika porovnání a dekódování pravidel získaných z BRAM (komentář *Match decoding stage*) byla rozdělena do dvou oddělených stupňů (nyní komentáře *Match stage* a *Decoding stage*). Mezi tyto stupně byl vložen registr, který opět zkrátí délku kombinační cesty a umožní tak použít větší frekvenci hodin.
 - Zpoždění vyhledávacího klíče (`INPUT_KEY` a následně `hash_key`) bylo s pomocí dalších dvou registrů dále prodlouženo, což kompenzuje přidání výstupního registru do BRAM a rozdělení kombinační logiky porovnání a dekódování do dvou stupňů.

2 Výsledky syntézy

		Celkově	Změna
Frekvence [MHz]		322,5	+267,5
Latence [cyklů]		14	+11
Zdroje	LUT	3482	+27
	Registry	3771	+3208
	BRAM	34	+0

Rozdělením obvodu na více stupňů došlo k významnému vylepšení frekvence na 322,5 MHz. Zřetězení si vyžádalo do obvodu přidat registry, což se významně projevilo na počtu odpovídajících využitých zdrojů. Přidáním registrů také samozřejmě dojde k významnému zhoršení latence obvodu. Nic méně můžeme konstatovat, že navržené zřetězení výpočtu je poměrně efektivní, kde každý stupeň v průměru vylepší dosaženou frekvenci o 24,3 MHz.

3 Doplněk

Textu v následující sekci již není třeba věnovat pozornost při opravování projektu. Je zde uveden pouze pro zajímavost.

3.1 Maximální dosažená frekvence obvodu

Maximální frekvence byla dosažena při plném řetězení výpočtu v souborech `comp/jenkins_final.vhd` a `comp/jenkins_mix.vhd` a při rozdělení kombinační logiky porovnání (*Match stage*) v souboru `filter.vhd` na dva stupně. Poté byly parametry obvodu následující:

		Celkově	Změna od referenční implementace	Změna od odevzdané implementace
Frekvence [MHz]		375,9	+320,9	+53,4
Latence [cyklů]		21	+18	+7
Zdroje	LUT	3985	+530	+503
	Registry	6205	+5642	+2434
	BRAM	34	+0	+0

Zde lze konstatovat, že poměrně malé navýšení frekvence způsobí významný nárůst v počtu využitých zdrojů, zejména registrů, a současně klesne efektivita zřetězení, kde každý stupeň v průměru vylepší dosaženou frekvenci pouze o 17,8 MHz.

3.2 Další vytvořené a upravené soubory

Při práci na projektu byly dále ještě vytvořeny/upraveny následující soubory, které jsou součástí odevzdaného archivu:

- `testbenches/latency_tb.vhd` a `testbenches/Makefile`:
 - Test bench a Makefile pro zjištění latence obvodu popsaného ve `filter.vhd`.
- `ver_free/test.sv`, `ver_free/comp/exact_match.sv` a `ver_free/comp/signal_driver.sv`¹:
 - Simulace funkce `std::randomize` pomocí funkce `$urandom_range` a změna program na module, aby bylo možné verifikaci spustit v [ModelSim od Intel](https://www.intel.com/content/www/us/en/software-kit/750637/modelsim-intel-fpgas-standard-edition-software-version-20-1.html)² se základní licencí.
- `fastest/filter.vhd`, `fastest/comp/jenkins_final.vhd` a `fastest/comp/jenkins_mix.vhd`:
 - Soubory obsahující implementaci popsanou v sekci 3.1.

¹Soubory jsou odevzdány tak, aby po rozbalení neovlivnily původní obsah adresáře `ver`

²<https://www.intel.com/content/www/us/en/software-kit/750637/modelsim-intel-fpgas-standard-edition-software-version-20-1.html>