EDGAR AGUADÉ NADAL GRUP 62

Exercicis Tema 13

S'ha d'entregar un únic fitxer PDF que inclogui la solució que vosaltres proposeu als problemes plantejats. El fitxer PDF no te que ser necessàriament una solució feta per ordinador, pot ser una solució escrita a ma i digitalitzada. El PDF ha d'incloure una capçalera on s'indiqui el vostre nom i cognoms, i l'enunciat de cada pregunta abans de la vostra resposta.

Exercici 1

Donat el següent fragment de programa SISA, volem executar-lo en el processador SISC von Newmann.

MOVI R1, 0x96 ADDI R2, R1, -4 LDB R3, 6(R2) CMPLT R7, R3, R1 BNZ R7, -4

Ompliu el contingut de la taula per als 16 primers cicles de l'execució del codi anterior (la primera línia ja esta omplerta a tall d'exemple). Indica el node i la instrucció que s'executa en cada cicle, i el valor dels bits de la paraula de control que genera el bloc SISC CONTROL UNIT durant el cicle al que fa referencia. Poseu x sempre que el valor d'una senyal no sigui necessari per a l'execució de la seva tasca encara que poguéssim deduir-lo a partir del valor emmagatzemat al registre IR. Assumiu que tots els valor inicials dels registres són 0.

| Cicle | Node/Estat MnemoSortida | Instrucció en l'IR (en assamblador) | @A | @B | Pc/Rx | Ry/N | OP | F | P/I/L/A | @D | WrD | Wr-Out | Rd-In | Wr-Mem | LdIr | LdPc | Byte | Alu/R@ | R@/Pc | N (hexa) | ADDR-IO hexa) |
|-------|----------------------------|--|-----|-----|-------|------|----|-----|---------|-----|-----|--------|-------|--------|------|------|------|--------|-------|-------------|------------------|
| 1 | F | | xxx | xxx | 1 | 0 | 00 | 100 | XX | xxx | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0002 | XX |
| 2 | D | MOVI R1, 0x96 | 001 | xxx | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | x | x | FF2C | XX |
| 3 | MOVI | MOVI R1, 0x96 | xxx | xxx | x | 0 | 10 | 001 | 00 | 001 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | x | x | FF96 | XX |
| 4 | F | | xxx | xxx | 1 | 0 | 00 | 100 | XX | xxx | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0002 | XX |
| 5 | D | ADDI R2, R1, -4 | 001 | xxx | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | x | x | FF78 | XX |
| 6 | ADDI | ADDI R2, R1, -4 | 001 | xxx | 0 | 0 | 00 | 100 | 00 | 010 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | X | x | FFFC | XX |
| 7 | F | | xxx | xxx | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0002 | XX |
| 8 | D | LDB R3, 6(R2) | 010 | 001 | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 1 | X | x | FF8C | XX |
| 9 | ADDR | LDB R3, 6(R2) | 010 | 001 | 0 | 0 | 00 | 100 | XX | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 1 | x | x | 0006 | XX |
| 10 | LDB | LDB R3, 6(R2) | xxx | xxx | x | x | XX | XXX | 01 | 011 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | x | x | 0006 | XX |
| 11 | F | | xxx | xxx | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0002 | XX |
| 12 | D | CMPLT R7, R3, R1 | 011 | 001 | 1 | 0 | 00 | 100 | XX | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | x | 00F0 | XX |
| 13 | CMP | CMPLT R7, R3, R1 | 011 | 001 | 0 | 1 | 01 | 000 | 00 | 111 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | x | x | 0078 | XX |
| 14 | F | | xxx | xxx | 1 | 0 | 00 | 100 | XX | xxx | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0002 | XX |
| 15 | D | BNZ R7, -4 | 011 | xxx | 1 | 0 | 00 | 100 | xx | xxx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | FFF8 | XX |
| 16 | BNZ | BNZ R7, -4 | 011 | xxx | 1 | 0 | 10 | 000 | xx | xxx | 0 | 0 | 0 | 0 | 0 | ٦Z | 0 | 0 | X | FFF8 | XX |

EDGAR AGUADÉ NADAL GRUP 62

Exercici 2

Indica breument, quines creus que són les característiques principals que fan que la arquitectura Von Neumann predomini en els processadors actuals sobre la arquitectura Harvard.

En primer lloc, l'arquitectura Von Neumann considera només una memoria, en lloc de dues com proposa la arquitectura Hardvard. Per altra banda, a l'arquitectura Von Neumann el cost de hardware al afegir una instrucció es menys preable, i, a més, tenir una instrucción molt llarga no afecta al temps de cicle del computador (és a dir, al temps que trigarán les altres instrucción) en canvi, a l'arquitectura hardavard per a afegir una nova instrucción caldría afegir hardware específic que la fes, fent així que si la instrucción és lenta, tot el temps de cicle és més lent.