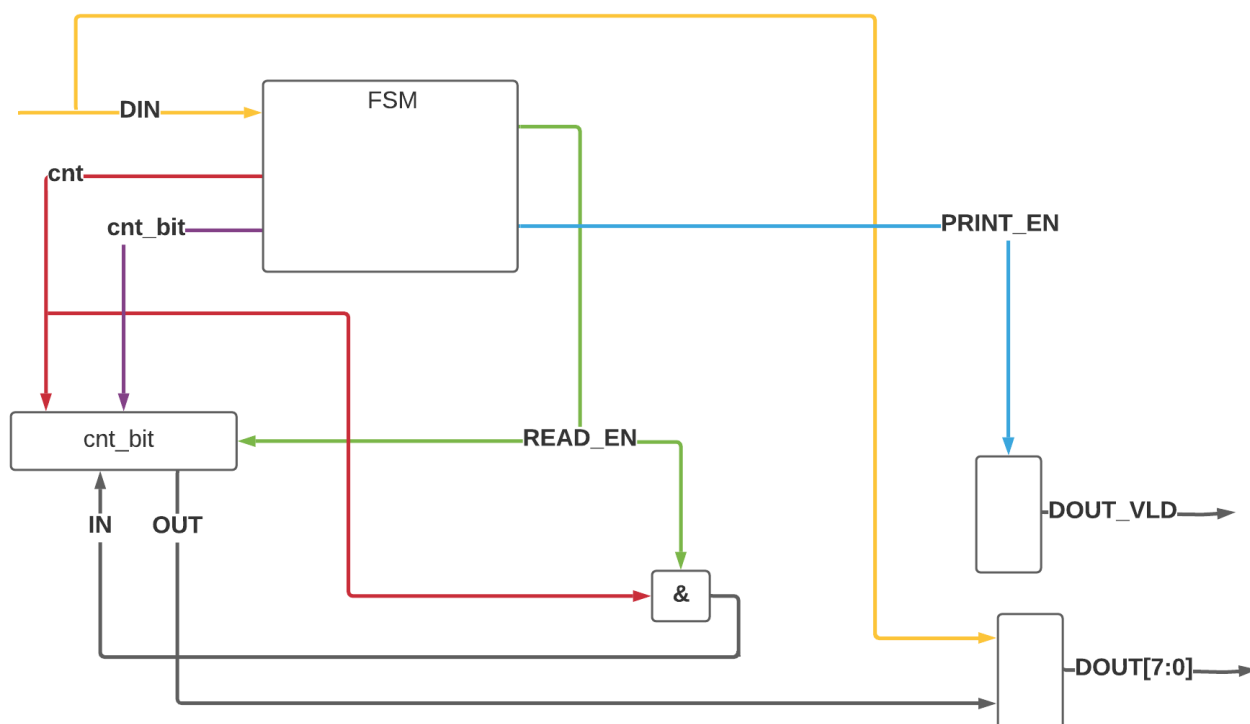


1 Výstupní zpráva

- Jméno: Maxim Plička
- Login: xplick04

2 Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu:

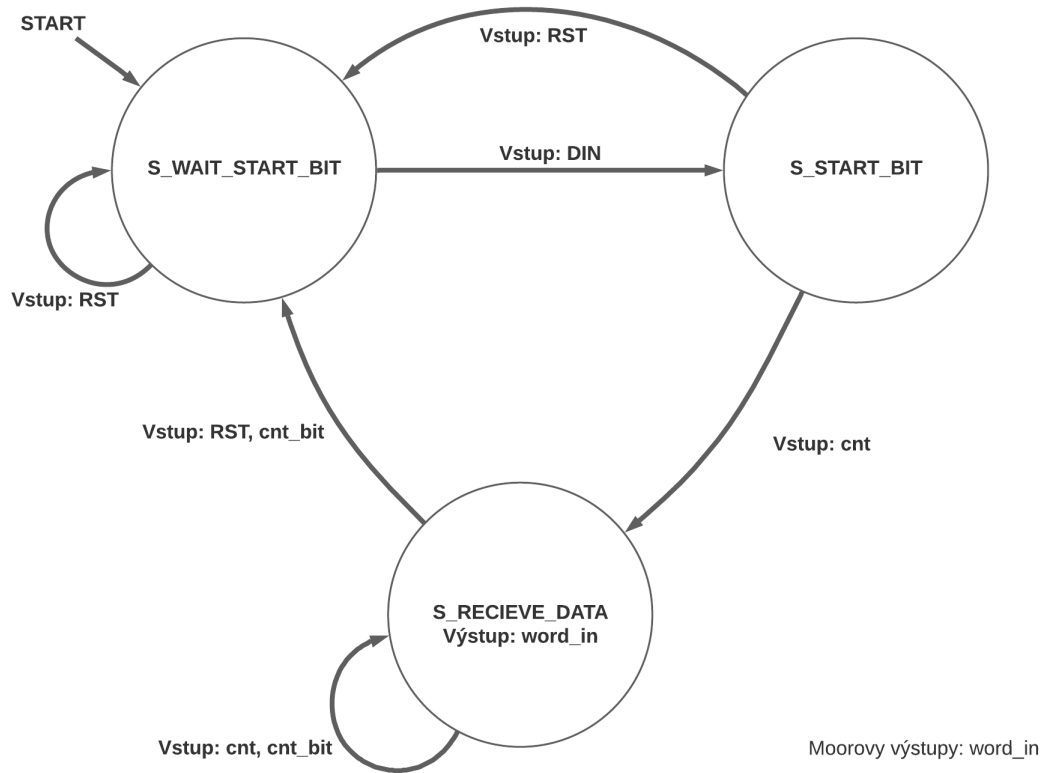


2.1 Popis funkce

Celý proces začne, jakmile se `READ_EN` nastaví na '1', tímto zjistím, že jsem na prvním mid bitu slova. Během toho, co je `READ_EN` na '1' počítám `cnt` (počítanka clock signálů), abych věděl v na jakém bitu slova se nacházím. Následně vypisuju hodnotu `DIN` na daný `DOUT` v intervalech po 16 clock signálech. Poprvé se vypíše hodnota `DIN` hned, jakmile je `cnt` rovno nule, poté se vypisuje po 16 příchodích clock signálech. Na konci slova se zapne `PRINT_EN`, který značí konec slova. Společně s příchodem signálu `PRINT_EN` se nastaví `DOUT_VLD` na '1' po dobu periody jednoho clock signálu a resetuje se `cnt`. Poté je "controller" připraven na příchod dalšího slova. V případě `RST` signálu se resetuje `cnt` a čeká se než přijde další slovo.

3 Návrh automatu (Finite State Machine)

Schéma automatu:



3.1 Popis funkce

Prvotní stav je nastaven na `S_WAIT_START_BIT`, následně se čeká, než na `DIN` přijde start bit. Jakmile přijde start bit (`DIN = 0`), přepne se stav na `S_START_BIT`. Následně se musí `cnt` (počítanka clock signálů) dostat na 23. Toto značí, že jsem na 24. clocku (mid bit prvního přijímaného bitu slova). Nyní se přepne stav FSM na `S_RECEIVE` a vynuluje se `cnt`. Díky tomu se pošle signál `READ_EN` do "controller", takže vím, kdy chci začít načítat vstup na výstup. Teď už chci `cnt` počítat jen do 15, což bude značit mid bity příchozího slova. Pokaždé, co se `cnt` rovná 15 vynuluju `cnt` a přičtu `cnt_bit` (značí přečtené bity slova). Pak už jen čekám než se `cnt_bit` rovná 7, v tento moment jsem přečetl celé slovo, přepnu `word_in` na '1', čím zároveň vyšlu do "controlleru" signál `PRINT_EN`, který značí konec slova. Nyní můžu nastavit všechny hodnoty zpět na nulu a stav na `S_WAIT_START_BIT`. FSM je pak znovu připraveno na příchod dalšího slova. V případě příchodu `RST` signálu FSM okamžitě zareaguje a nastaví všechny hodnoty na nulu a stav na `S_WAIT_START_BIT`.

4 Snímek obrazovky ze simulací

