Intel 80186

- 1982 год — процессор 80186

Intel 80186

- 1982 год — процессор 80186
- 6-25 МГц, 3мкм, 55000 транзисторов

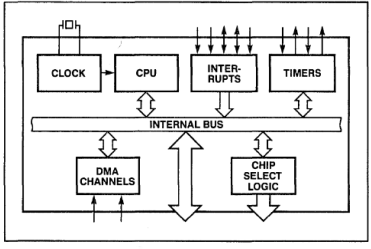
Intel 80186

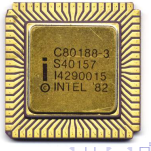
- 1982 год — процессор 80186
- 6-25 МГц, 3мкм, 55000 транзисторов

Microprocessor	Technology	Pins	Description
8086 Central Processing Unit (CPU)	HMOS	40	8/16 bit general-purpose microprocessor; 16-bit external data path.
8088 Central Processing Unit (CPU)	HMOS	40	8/16 bit general-purpose microprocessor; 8-bit external data path.
8089 Input/Output Processor (IOP)	HMOS	40	8/16 bit microprocessor optimized for high-speed I/O operations; 8-bit and 16-bit external data paths.

Support Component	Technology	Pins	Function
8259A Programmable Interrupt Controller (PIC)	NMOS	28	Identifies highest-priority interrupt request.
8282 Octal Latch 8283 Octal Latch (Inverting)	Bipolar	20	Demultiplexes and increases drive of address bus.
8284 Clock Generator and Driver	Bipolar	18	Provides time base.
8286 Octal Bus Transceiver 8287 Octal Bus Transceiver (Inverting)	Bipolar	20	Increases drive on data bus.
8288 Bus Controller	Bipolar	20	Generates bus command signals.
8289 Bus Arbiter	Bipolar	20	Controls access of microprocessors to multimaster system bus.

Микросхемы поддержки Intel 8088





Intel 80286

- 1982 год — второе поколение 16-разрядных процессоров
- 16-разрядная шина данных, 24-разрядная шина адреса, демультиплексированы
- Частота 6-20 МГц, технология 1.5 мкм
- Увеличено количество регистров (+11)
- 16 новых команд

Intel 80286

- 1982 год — второе поколение 16-разрядных процессоров
- 16-разрядная шина данных, 24-разрядная шина адреса, демультиплексированы
- Частота 6-20 МГц, технология 1.5 мкм
- Увеличено количество регистров (+11)
- 16 новых команд

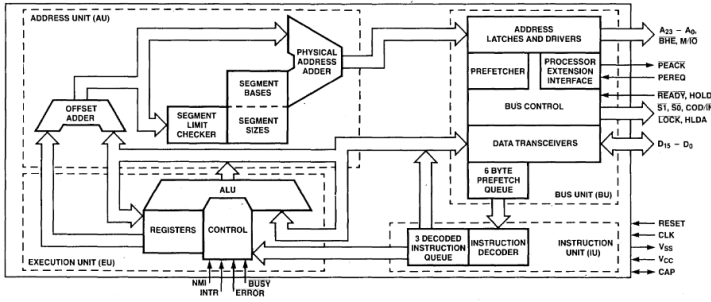
Intel 80286 — внутренняя архитектура

- **Блок шины**, BU (Bus Unit) — операции с шиной, генерация адресов и данных на выводах, а также управляющих сигналов для доступа к внешней памяти и устройствам ввода/вывода. Выполняет предварительное извлечение инструкций из памяти в очередь
- **Блок инструкций**, IU (Instruction Unit) — извлекает инструкции из очереди, декодирует их и помещает в другую очередь (глубиной 3) декодированных инструкций для EU

Intel 80286 — внутренняя архитектура

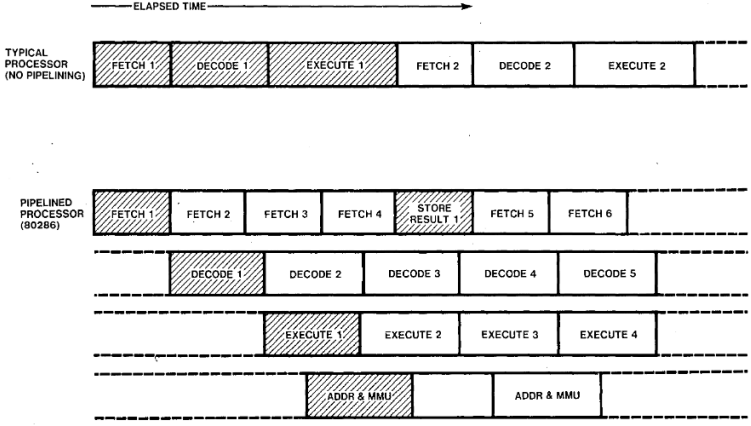
- **Блок шины**, BU (Bus Unit) — операции с шиной, генерация адресов и данных на выводах, а также управляющих сигналов для доступа к внешней памяти и устройствам ввода/вывода. Выполняет предварительное извлечение инструкций из памяти в очередь
- **Блок инструкций**, IU (Instruction Unit) — извлекает инструкции из очереди, декодирует их и помещает в другую очередь (глубиной 3) декодированных инструкций для EU

- **Блок исполнения**, EU (Execution Unit) — исполняет инструкции
- **Блок адресов**, AU (Address Unit) — предоставляет управление памятью и защиту для CPU, транслируя логические адреса в физические для BU



Intel 80286 — конвейер

Наличие отдельных блоков позволяет организовать конвейер, повышающий производительность процессора



Intel 80286 — режимы работы

- 8086 Real-Address Mode
  - Адресация до 1М с использованием 20 разрядов шины адреса
- Protected Virtual-Address Mode
  - Защищенный режим, позволяющий адресовать до 16Мб (2^{24}) физической памяти (до 1Гб (2^{30}) виртуальной памяти)

Intel 80286 — организация памяти

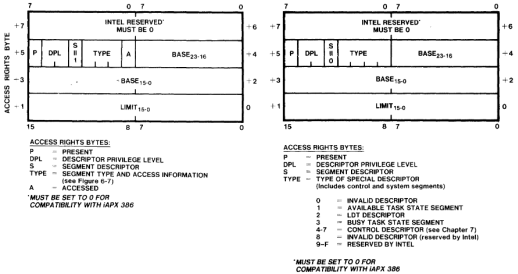
- Виртуальное адресное пространство — организация памяти с точки зрения приложения
- В реальном режиме приложение напрямую «видит» всю память, виртуальное адресное пространство совпадает с физическим
- В защищенном режиме приложения не имеют прямого доступа к памяти. Для них память представляется как большое виртуальное адресное пространство размером 1Гб
- Виртуальная адресное пространство представляется как набор до 16K линейных подпространств с определенным размером (сегмент). Размер сегмента может меняться от одного байта до 64 килобайт

Intel 80286 — организация памяти

- В реальном режиме содержимое сегментных регистров интерпретируется как физический адрес начала соответствующего сегмента
- В защищенном режиме содержимое регистра сегментов представляет собой «селектор» сегмента
- Селектор — это индекс (14 бит), который указывает на адрес начала сегмента (всего может быть 2^{14} сегментов) в таблице дескрипторов и 2 бита, которые описывают свойства сегмента (RPL, Requested Privilege Level).
- Один бит индекса селектора определяет глобальное адресное пространство или локальное адресное пространство
  - Глобальное адресное пространство используется для общеупотребительных процедур, включая операционные системы, библиотеки, которые доступны всем приложениям. GDT (global descriptor table) — таблица глобальных дескрипторов для глобальных сегментов
  - Локальное адресное пространство принадлежит только одному приложению. LDT (local description table) — таблиц локальных дескрипторов для локальных сегментов (может быть несколько таких таблиц)
- Тринадцать бит индекса определяют сегмент в таблице дескрипторов

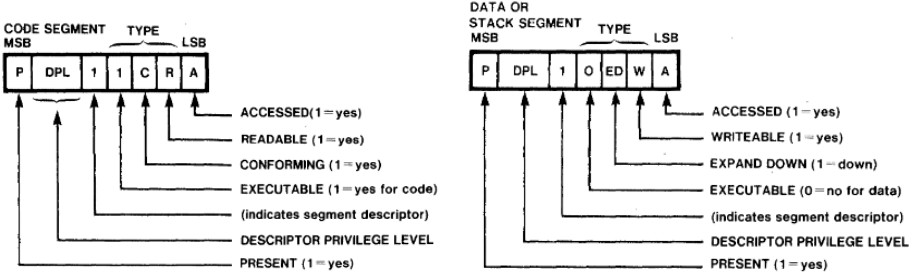
Intel 80286 — таблица дескрипторов сегментов

- Каждая запись в таблице дескрипторов состоит из 8 байт и описывает соответствующий сегмент
- Сегментные дескрипторы, описывают обычные сегменты (данные, код, стек) ($S = 1$)
- Специальный или системный дескриптор ($S = 0$, например, описывает сегмент, где хранится LDT и т.п.)



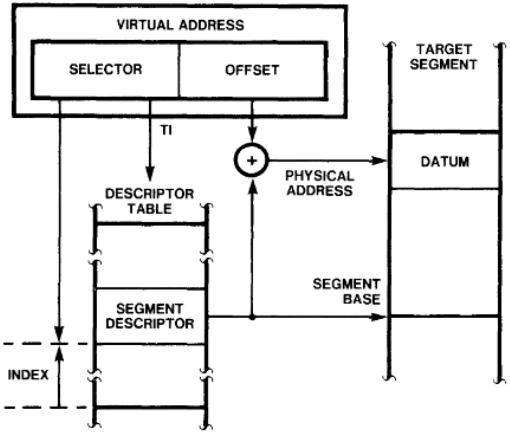
Intel 80286 — дескриптор сегмента

- Limit — размер сегмента
- Base — адрес начала сегмента
- Type — тип сегмента и информация о доступе
- DPL — уровень привилегий дескриптора



Intel 80286 — трансляция адресов

- Для хранения базы сегментов GDT и LDT используются специальные регистры GDTR (40-бит, Base (24) и Limit (16)) и LDTR
- Значение регистра LDTR (56 бит: Base, Limit, Visible Selector, кэшируется) перезаписывается при переключении задачи
- Таблица векторов прерываний также хранится в отдельном сегменте, адрес которой содержится в регистре IDTR (40-бит, Limit и Base)



Intel 80286 — механизмы защиты памяти

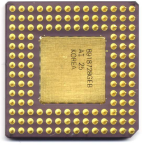
- Аспекты защиты
  - Изоляция системного кода (например, выполнение операций I/O) от пользовательского
  - Изоляция задач пользователей друг от друга
  - Проверка данных
- Механизмы защиты основываются на понятии «иерархия доверия»
- Введены четыре уровня привилегий: уровень 0 — самый доверенный, уровень 4 — наименее доверенный
- Все сегменты данных и сегменты кода отнесены к одному из четырех уровней (DPL)
- Приложение (задача, task) выполняется в одном из четырех уровней, при этом не может обращаться к данным из более высокого уровня доверия или вызывать процедуры из более низкого уровня привилегий
- У каждой задачи есть текущий уровень привилегий (CPL, 2 бита), определяется по селектору сегмента кода
- При загрузке сегмента (дескриптора) сравнивается его DPL и CPL задачи

Intel 80386

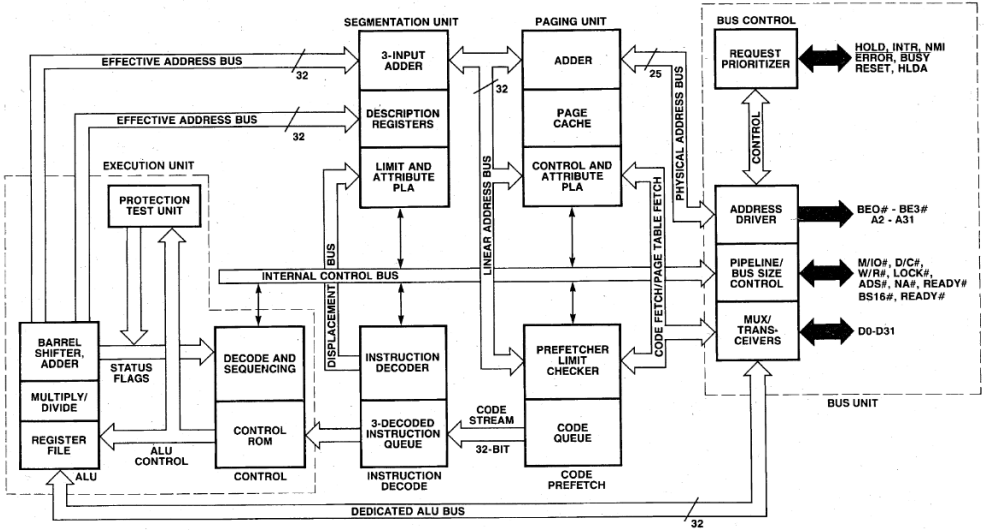
- 1985 год — 32-разрядный процессор (DX)
- 32-разрядные шины адреса и данных, до 4Гб (2^{32}) физической памяти, до 64Тб (2^{46}) виртуальной памяти
- Частота 12-40 МГц, технология 1.5-1.0 мкм, 275000 транзисторов
- Почти все регистры 32-битные (за исключением сегментных). Увеличено количество регистров (+11)
- Набор инструкций расширен в основном за счет появления 32-битных вариантов существующих команд

Intel 80386

- 1985 год — 32-разрядный процессор (DX)
- 32-разрядные шины адреса и данных, до 4Гб (2^{32}) физической памяти, до 64Тб (2^{46}) виртуальной памяти
- Частота 12-40 МГц, технология 1.5-1.0 мкм, 275000 транзисторов
- Почти все регистры 32-битные (за исключением сегментных). Увеличено количество регистров (+11)
- Набор инструкций расширен в основном за счет появления 32-битных вариантов существующих команд



Intel 80386: внутренняя архитектура



Intel 80386: внутренняя архитектура

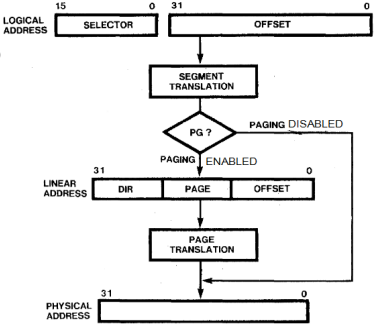
- **Bus Interface Unit** — интерфейс между ЦПУ и «внешним» миром, извлекает инструкции, обеспечивает пересылку данных, управляет взаимодействием с внешними контроллерами системной шины
- **Code Prefetch Unit** — посылает команды BIU для извлечения возможных следующих инструкций программы. 16 байтовая очередь (Code Queue)
- **Instruction Decode Unit** — извлекает инструкции из очереди и транслирует их в микрокод. Декодированные инструкции хранятся в очереди (Instruction Queue)
- **Execution Unit** — исполняет инструкции из очереди Instruction Queue, взаимодействуя с остальными блоками
  - **Control Unit** — содержит микрокод и быстродействующие параллельные схемы для выполнения операций умножения, деления, вычисления адресов
  - **Data Unit** — содержит АЛУ, восемь 32-битных регистров общего назначения, 64-битное устройство сдвига; выполняет команды по запросу от Control Unit
  - **Protection Test Unit** — выполняет проверку доступа к сегментам с помощью микрокода
- **Segmentation Unit** — преобразует логические адреса в линейное адресное пространство по запросу Execution Unit. Полученные адреса передаются в блок Paging Unit. Содержит кэш таблицы дескрипторов сегментов. Также выполняет проверку доступа к сегментам
- **Paging Unit** — транслирует адреса из линейного адресного пространства в физические адреса, после этого передает их в блок Bus Inferface Unit

Intel 80386: режимы работы

- **Real-Address Mode (Real Mode)** — реальный режим, соответствует 8086 с несколькими новыми инструкциями
- **Protected Mode** — защищенный режим, доступны все инструкции и возможности процессора
- **Virtual 8086 Mode (V88 mode)** — динамический режим, в котором происходит переключение между реальным режимом и защищенным режимом

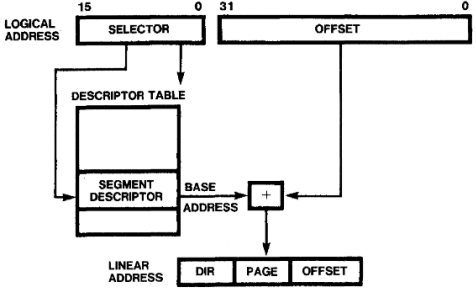
Intel 80386: организация памяти

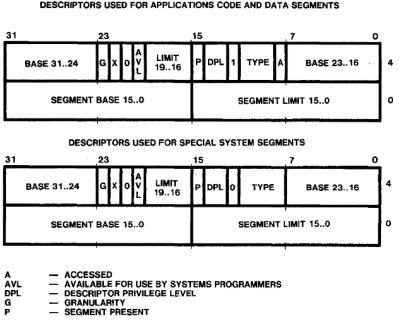
- Адреса в программах не зависят от физического адресного пространства
- «Плоская» (flat) модель – память для приложения представлена как единый массив размером 4Гб
- Сегментная модель – память рассматривается как набор 16383 сегментов, каждый их которых имеет длину до 4Гб; адрес состоит из двух частей:
  - селектор сегмента (16 бит), который определяет соответствующий сегмент
  - смещение (32 бита)
- Преобразование адресов из логического адресного пространства в физическое происходит в два этапа
  - Преобразование сегмента: логический адрес преобразуется в линейный
  - Преобразование страницы: линейный адрес преобразуется в физический



Intel 80386: дескрипторы сегментов

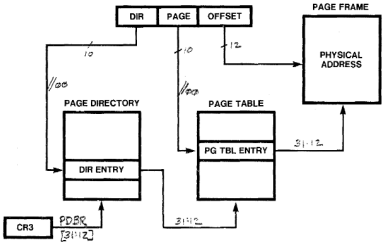
- BASE — определяет расположение начала сегмента в 4Гб линейном пространстве
- LIMIT — размер сегмента, измеряется в единицах по 1 байту или по 4Кб (бит гранулярности)





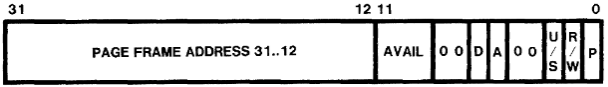
Intel 80386: преобразование страниц

- Таблица страниц — массив 32-битных идентификаторов (спецификаторов) страниц, занимает 4Кб, определяет 1К страниц
- Каталог страниц — массив указателей на таблицу страниц, 1К указателей
- Всего 1М страниц по 4К — полное физическое адресное пространство ($2^{20} * 2^{12} = 2^{32}$)
- Физический адрес текущего каталога страниц хранится в специальном регистре CR3 (PDBR, Page Directory Base Register)
- Может использоваться один каталог страниц для всех задач или отдельный каталог для каждой задачи



Intel 80386: дескриптор страницы

- Frame — страница в оперативной памяти
- ACCESSED и DIRTY могут использоваться операционной системой для алгоритма замещения страниц
- READ/WRITE и USER/SUPERVISOR используются для защиты на уровне страниц
- Только бит P (Present) проверяется аппаратно
- Часто используемые части таблицы страниц хранятся в кэше процессора

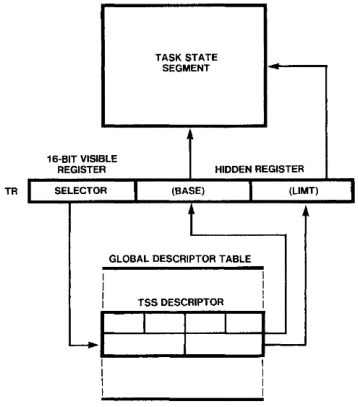


P	— PRESENT
R/W	— READ/WRITE
U/S	— USER/SUPERVISOR
A	— ACCESSED
D	— DIRTY
AVAIL	— AVAILABLE FOR SYSTEMS PROGRAMMER USE

NOTE: 0 INDICATES INTEL RESERVED. DO NOT DEFINE.

Intel 80386: мультизадачность

- Для повышения производительности системы в целом
- В процессоре есть специальные структуры для поддержки многозадачности
  - Task State Segment: содержимое регистров, селектор TSS предыдущей задачи, селектор LTB, карта I/O
  - TSS Descriptor: спецификатор TSS
  - Task Register: в нем хранится селектор на TSSD
  - Task Gate Descriptor: предоставляет непрямой, защищенный доступ к TSS

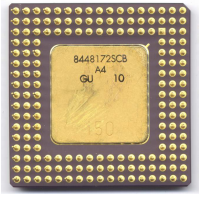


Intel 80486

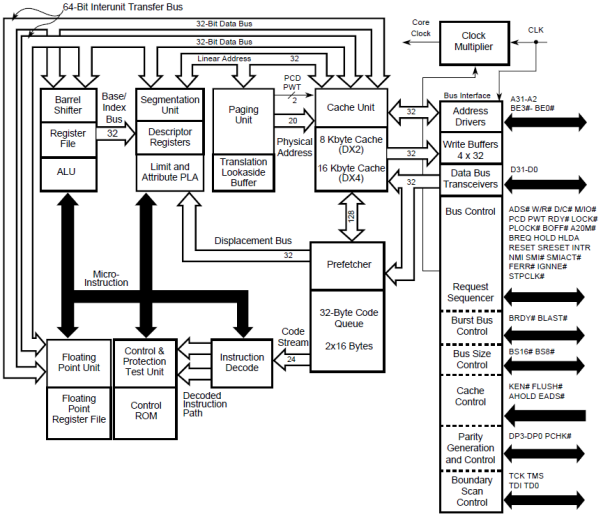
- 1989 год — 32-разрядный процессор (усовершенствованная версия 80386)
- Встроенный математический сопроцессор
- Частота 16-100 МГц, технология 600-1000 нм, около 1,2M-1,6M транзисторов
- Встроенный кэш первого уровня 8-16Кб
- Гибридное CISC-RISC ядро

Intel 80486

- 1989 год — 32-разрядный процессор (усовершенствованная версия 80386)
- Встроенный математический сопроцессор
- Частота 16-100 МГц, технология 600-1000 нм, около 1,2M-1,6M транзисторов
- Встроенный кэш первого уровня 8-16Кб
- Гибридное CISC-RISC ядро

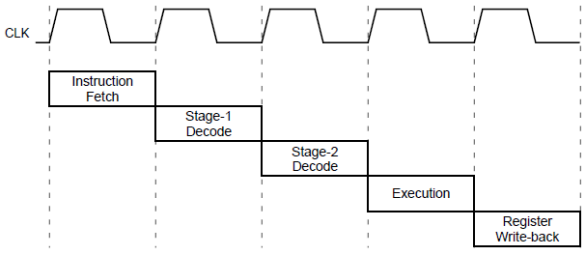


Intel 80486: внутренняя архитектура



Intel 80486: конвейер

- Fetch — извлечение инструкции
- Decode 1 — декодирование инструкции
- Decode 2 — вычисление «сложных» режимов адресации
- Execution – исполнение, доступ к кешу, изменение регистров
- Register Write-back — изменение регистра флагов, запись других регистров



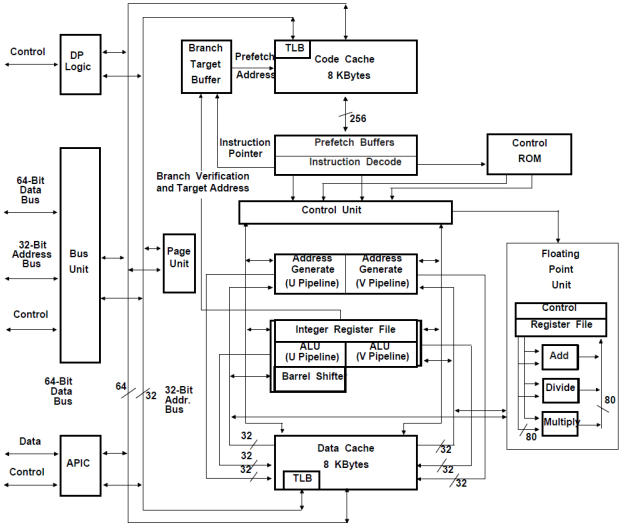
Intel Pentium

- 1993 год — 32-разрядный процессор
- Частота 60-233, технология 800-280 нм, 3.1-4.5 M транзисторов
- 64-х разрядная шина данных
- Суперскалярная архитектура

Intel Pentium

- 1993 год — 32-разрядный процессор
- Частота 60-233, технология 800-280 нм, 3.1-4.5 M транзисторов
- 64-х разрядная шина данных
- Суперскалярная архитектура

Intel Pentium: внутренняя архитектура

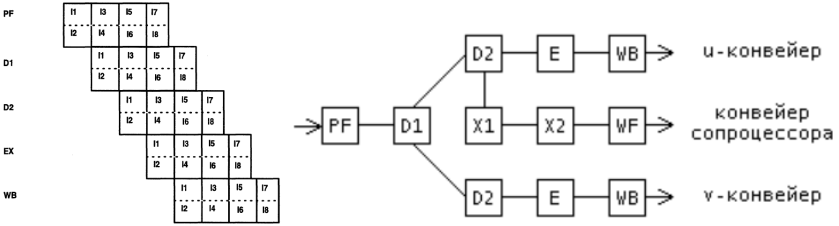


Intel Pentium: конвейер

- Как и в 80486, конвейер состоит из 5 стадий
  - PF (Prefetch)
  - D1 (Instruction Decode)
  - D2 (Address Generate)
  - EX (Execute – ALU и доступ к кэшу)
  - WR (WriteBack)
- Два конвейера: **u** (выполнение любых инструкций) и **v** (выполнение «простых» целочисленных инструкций и инструкции обмена значениями регистров FXCH для чисел с плавающей точкой) — **суперскалярная архитектура**
- Одновременно на конвейеры **u** и **v** могут быть помещены только парные инструкции
- Конвейер сопроцессора

Intel Pentium: конвейер

- Конвейер сопроцессора: 8 стадий
  - PF, D1, D2
  - EX - чтение из памяти и регистров, преобразование FP данных для записи в память, запись в память)
  - X1 – первая стадия выполнения инструкции
  - X2 – вторая стадия выполнения инструкции
  - WF – округление и запись результата в регистр
  - ER – отчет об ошибке/изменение статусного слова
- Одновременно на конвейер могут помещаться только «совместимые» инструкции



Intel Pentium: конвейер

- На стадии PF реализованы два буфера, в которые помещаются инструкции при извлечении из памяти
  - Линейная последовательность
  - Возможный переход
- Для определения возможного перехода используется Branch Target Buffer
- Branch Prediction Buffer (256 элементов) — запоминается статистика совершения перехода в инструкции
- Каждый элемент содержит адрес инструкции (source), бит валидности, биты истории (2) и адрес перехода (target)
- Переход считается предсказанным, если запись в BTB найдена, бит валидности установлен и биты истории > 1
- Биты истории увеличиваются на 1 при каждом успешном переходе, уменьшаются при каждом невыполненном переходе

Проблемы конвейера и суперскаляров

- **Структурные проблемы**: инструкциям для выполнения нужны ресурсы внутри процессора, но эти ресурсы могут быть заняты
- **Проблемы данных**: инструкции зависят от данных, которые будут вычислены более ранними инструкциями
- **Проблемы управления**: будет или нет осуществлено выполнение инструкции зависит от решения, принятого ранней инструкцией (переходы)

Возникновение той или иной проблемы приводит в лучшем случае, к приостановке конвейера/конвейеров, в худшем — к его/их полной очистке