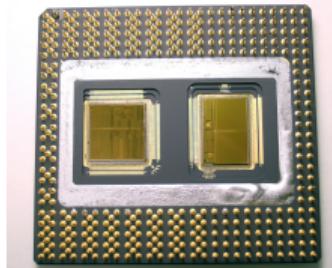
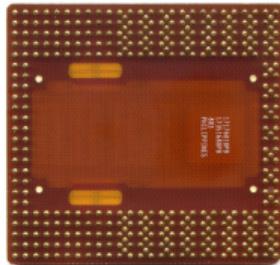


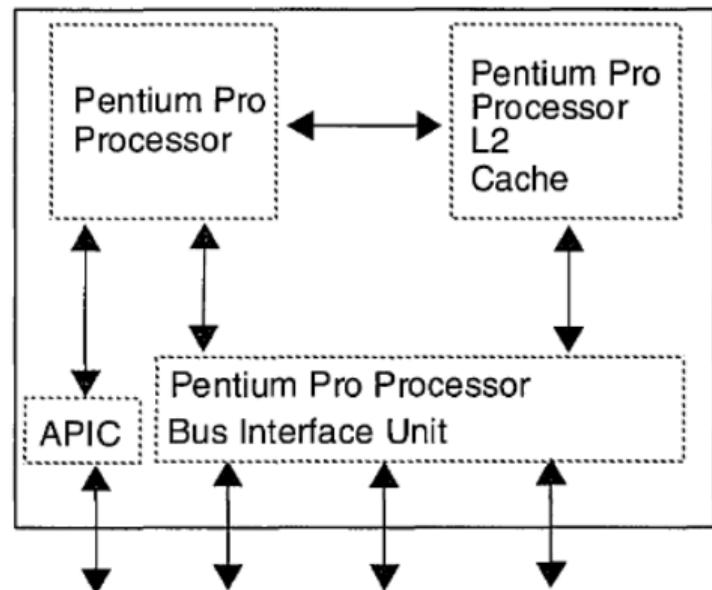
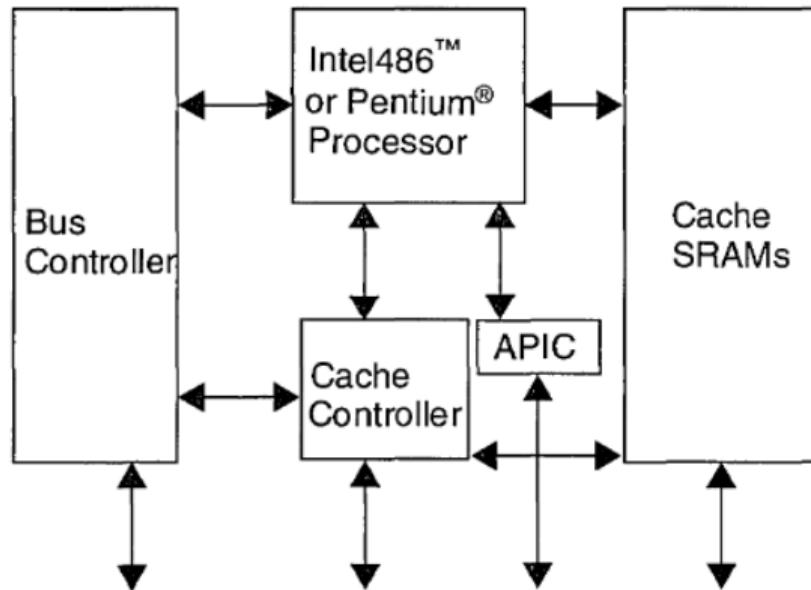
Intel Pentium Pro

- 1995 год — шестое поколение (архитектура P6) — RISC ядро
- Частота 150-200 МГц, 500-350 нм, 5,5М ядро, 21М-67,5М транзисторов (совместно с кэшем)
- Шина адреса 36-битная
- Кэш второго уровня L2 (256Кб - 1Мб)
- Микроархитектура динамического исполнения (Dynamic Execution Architecture)
- Пять параллельных блоков исполнения (два целочисленных, два FPU, один для операций с памятью)
- Двойная независимая шина
- Поддержка многопроцессорных систем

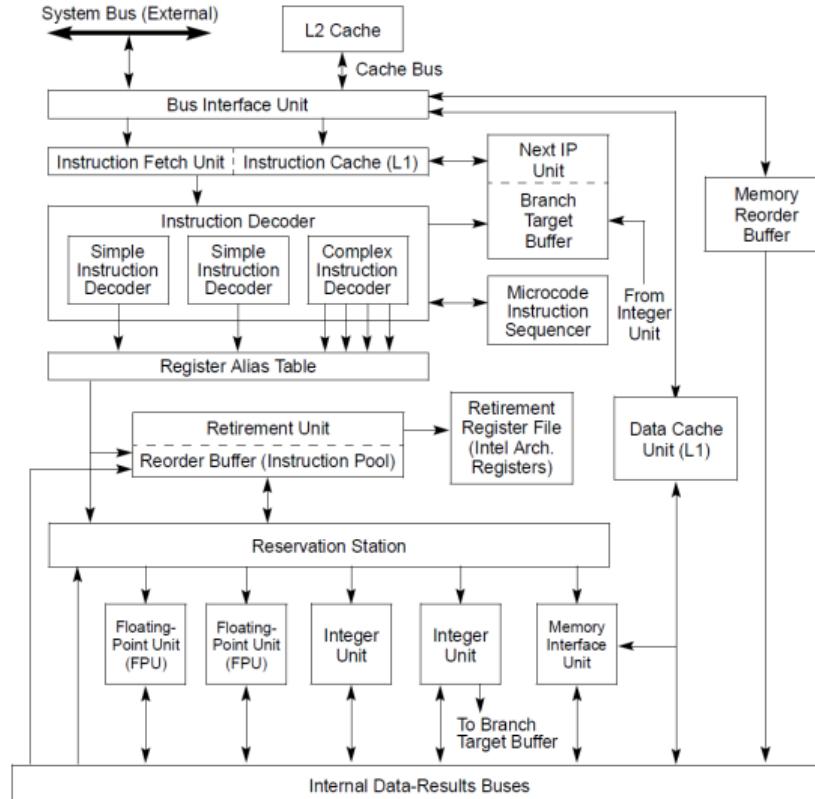


Intel Pentium vs Pentium Pro

Внутрь кристалла интегрирован кэш второго уровня, APIC (контроллер прерываний) и контроллер памяти

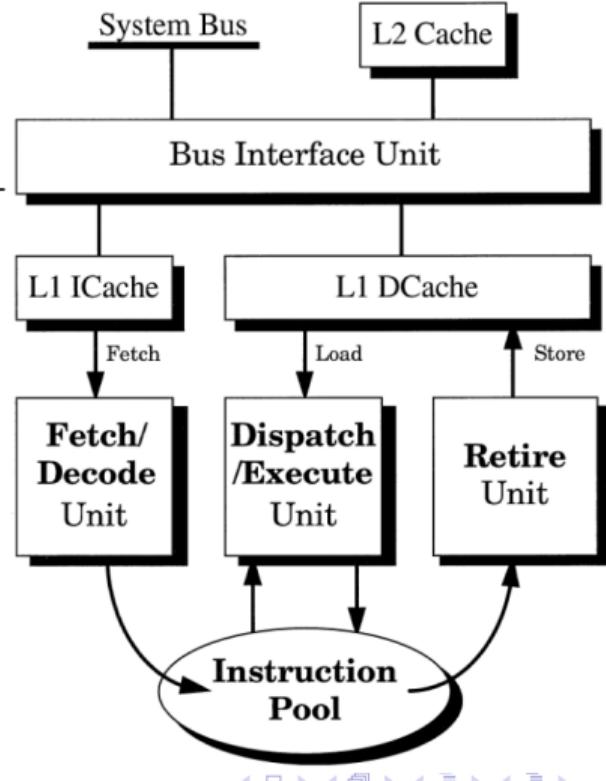


Pentium Pro: внутренняя архитектура



Pentium Pro: пул инструкций

- Длина конвейера — 12 стадий
- Разделение стадии исполнения на стадии Диспетчеризация / Исполнения и удаления
- Блок Диспетчеризации / Исполнения выбирает операции микрокода из пула в зависимости от их статуса и готовности operandов, после чего помещает их в очередь исполнения на соответствующий ресурс внутри этого блока. Результат помещается обратно в пул инструкций
- Блок удаления (Retire) фиксирует инструкции, удаляет их из пула и восстанавливает правильный порядок инструкций



Pentium Pro: микроархитектура динамического исполнения

- Глубокое предсказание ветвлений
 - динамическое предсказание: использование буферов ВТВ
 - статическое предсказание: переходы назад сбудутся, вперед — нет
- Динамический анализ потоков данных для поиска возможности выполнения инструкций вне порядка и восстановления их порядка следования
- Спекулятивные вычисления

Pentium MMX

- MMX (MultiMedia eXtension) — ориентирована на приложения мультимедиа, 2D/3D графику
- Реализация технологии SIMD (Single Instruction — Multiple Data) — одновременная обработка нескольких элементов данных за одну инструкцию
 - Восемь 64-разрядных регистра (M0-M7)
 - Одна инструкция может выполнять действия сразу над всеми комплектами операндов (8,4,2 или 1), которые размещены в этих регистрах
 - 57 дополнительных инструкций

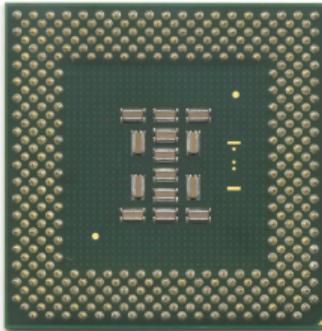
Pentium II

- 1997 год — модифицированное ядро P6 (Pentium Pro) + блок MMX
- Частота 233-400 МГц; 7,5 — 27М транзисторов; 350-180 нм

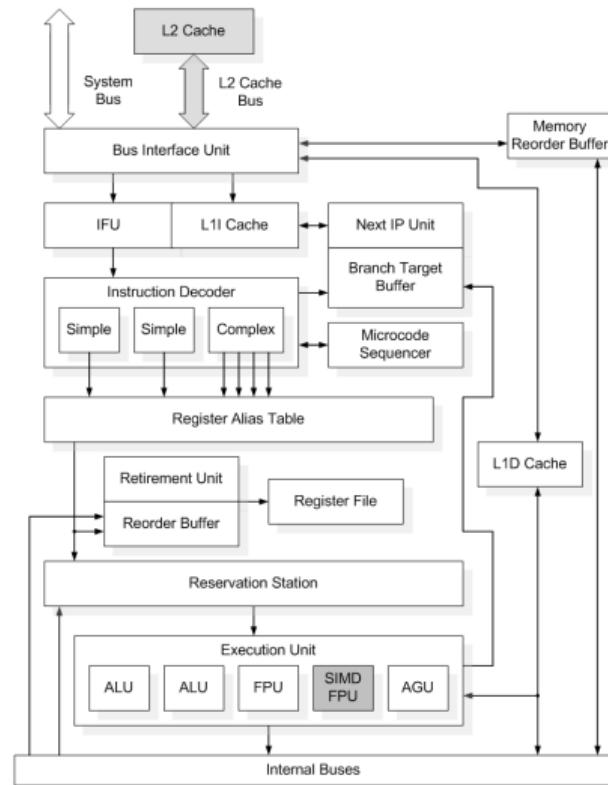


Pentium III

- 1999 год — поколение P6, модифицированное ядро Deschutes, которое использовалось в Pentium II
- Частота 450-1400 ГГц; 9,5М-44М транзисторов; 250-130 нм
- Улучшенная технология SIMD (технология SSE)
- Pentium III на ядре Tualatin — аппаратная предвыборка данных



Pentium III: внутренняя архитектура



Pentium III: SSE

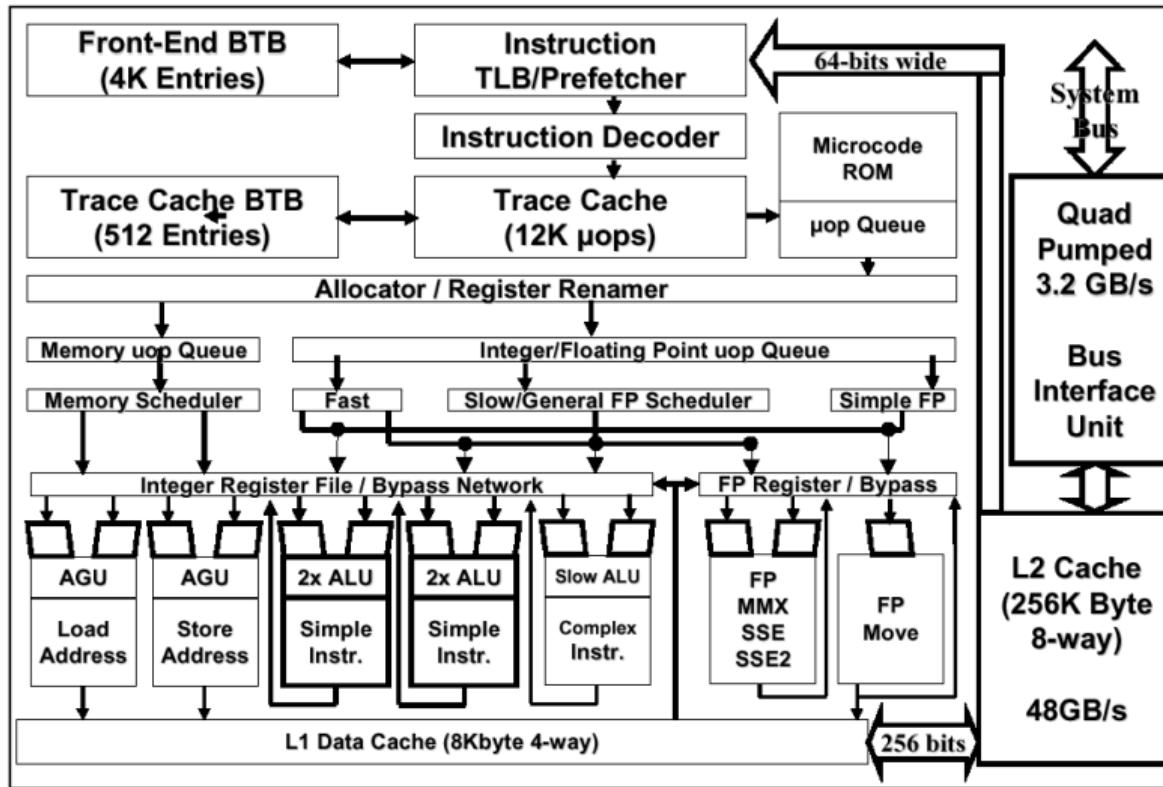
- SSE - Streaming SIMD Extensions – потоковое расширение SIMD
- Данная технология решает две проблемы MMX:
 - При использовании MMX невозможно использовать инструкции сопроцессора (поскольку задействованы одинаковые регистры)
 - MMX работает только с целыми числами
- Восемь 128-битных регистра и набор инструкций, работающих со скалярными и упакованными типами данных

Pentium 4

- 2000 год — архитектура седьмого поколения NetBurst (P68)
- Частота 1300-3800МГц, 42-188M транзисторов, технология 180-65 нм
- Гиперконвейер — большое число стадий, что дает возможность для повышения частоты



Pentium 4: внутренняя архитектура

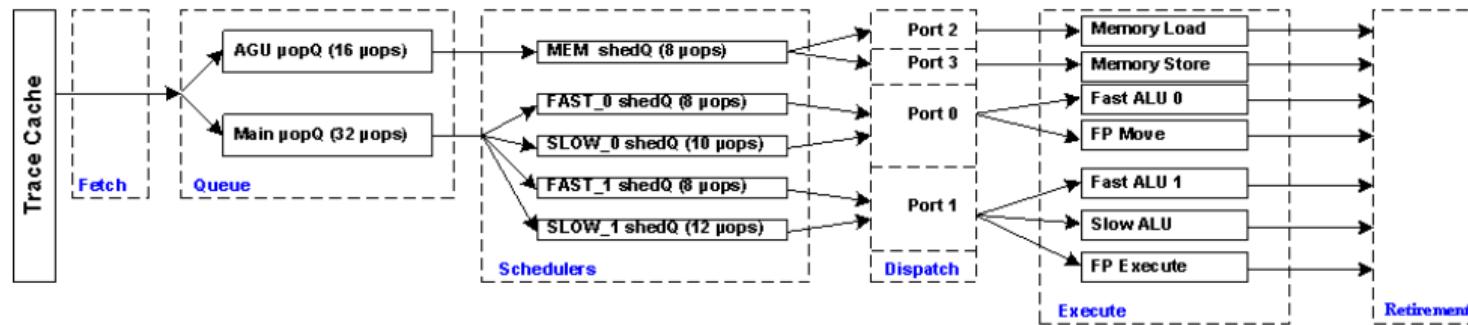


Pentium 4: Гиперконвейер

- Глубина: 20 (31 на ядрах Prescott и Cedar) стадий, в связи с применением кэша последовательностей микроопераций, декодер вынесен за пределы конвейера
- Позволяет достигать высоких тактовых частот
- Недостатки:
 - уменьшение удельной производительности (за один такт меньшее количество инструкций)
 - существенные потери производительности при инструкциях перехода или кэш-промахе
- Увеличенный буфер предсказания ветвлений

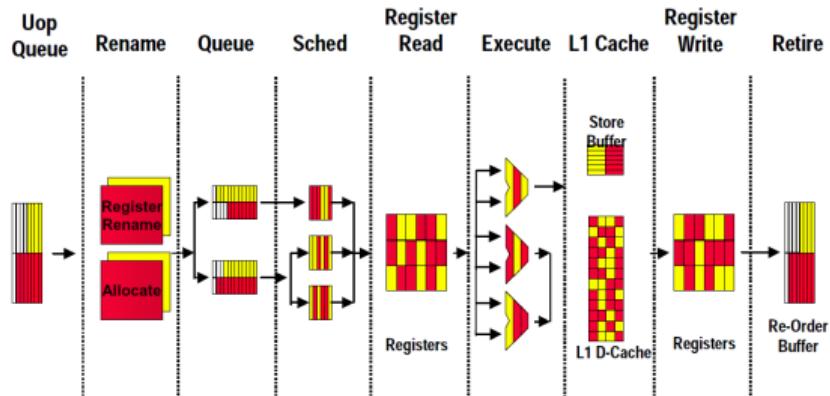
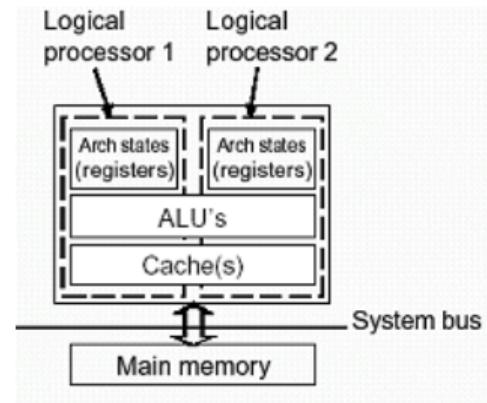
Pentium 4: кэш последовательности микроопераций

- Перед исполнением инструкции из набора x86 преобразуются в набор внутренних команд (микроопераций)
- Отказ от кэша кода и хранение в кэше последовательности микроопераций
- Операция сохранения (store) разделена на операции сохранения данных и сохранения адреса



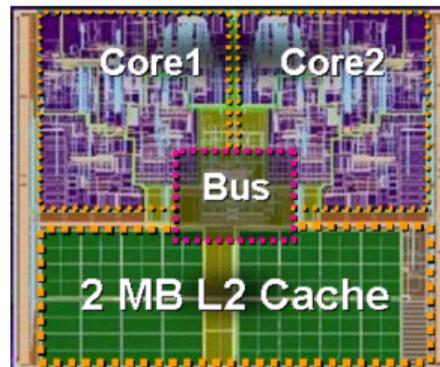
Pentium 4: Hyper-Threading

- Для увеличения производительности используются различные подходы: конвейеризация, суперскалярность, увеличение кэш-памяти, исполнение вне порядка следования команд
- Hyper-Threading – иной подход: попытка более полно загрузить внутренние ресурсы процессора
- Процессор выполняет одновременно более одного потока (приложения)
- Физический процессор воспринимается операционной системой и приложениями как два логических процессора
- Необходима поддержка со стороны операционной системы

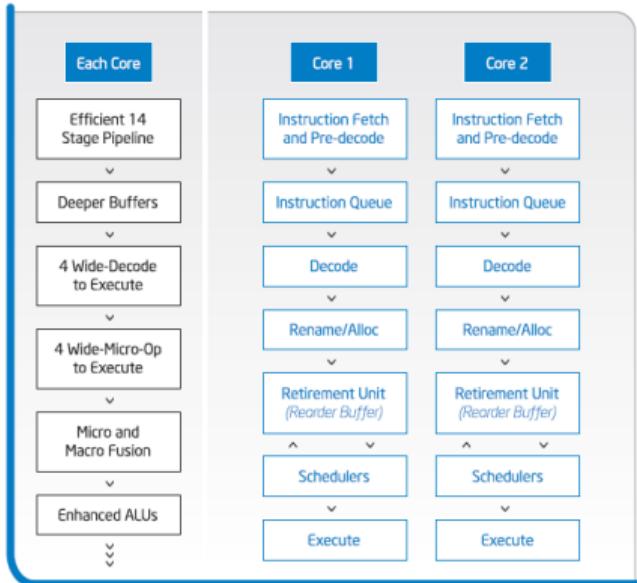


Intel Core 2

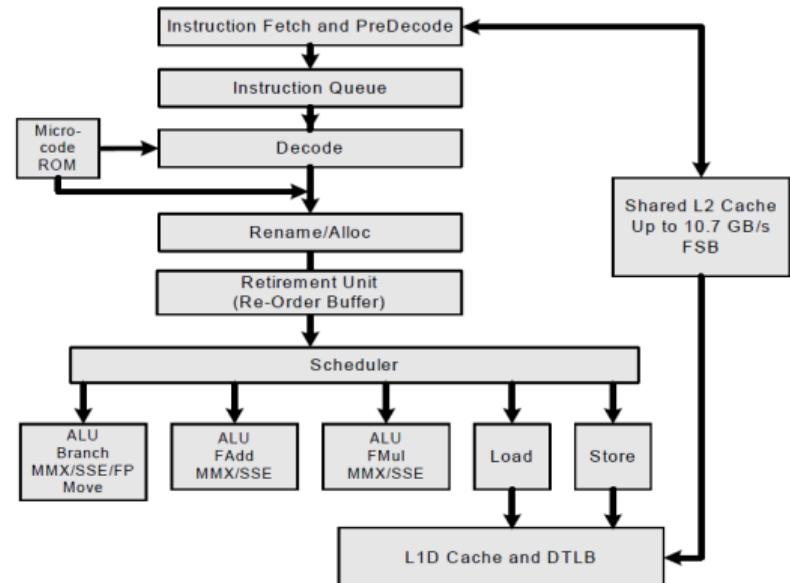
- 2006 — Intel Core 2, 64-разрядные процессоры, набор команд Intel 64
- Несколько процессорных ядер
- Архитектура Intel Core
 - Широкое динамическое исполнение
 - Уменьшение потребления питания
 - Улучшенный доступ к кэш-памяти
 - Улучшенный доступ к памяти
 - Выполнение 128 битный SIMD-инструкций за один такт



Intel Core: внутренняя архитектура



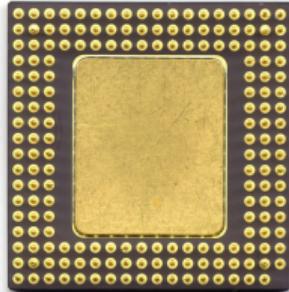
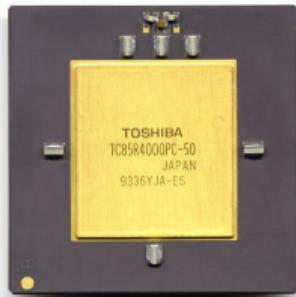
Ядра Intel Core



Архитектура ядра Intel Core

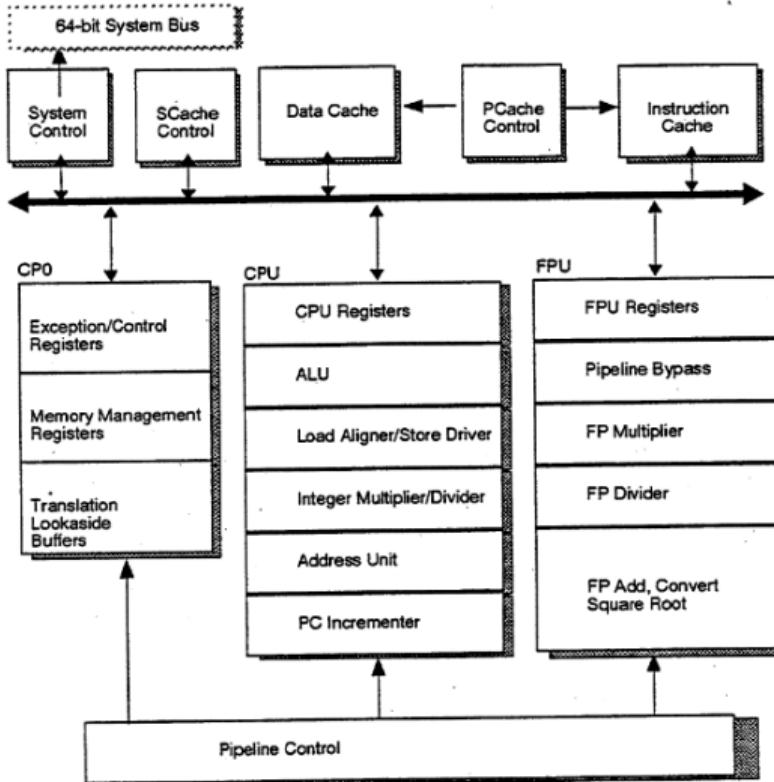
MIPS архитектура

- MIPS (Microprocessor without Interlocked Pipeline Stages) — микропроцессор без блокирующегося конвейера
- Представлен в 1981 году, модификации MIPS I, MIPS II, MIPS III, MIPS IV, MIPS V, MIPS32 и MIPS64
- Смартфоны, маршрутизаторы, принтеры, игровые консоли и т.п.
- Типичный представитель RISC (Reduced Instruction Set Computers) архитектуры:
 - короткий цикл
 - эффективное использование площади кристалла из-за простого набора команд
 - возможность применения новых технологий изготовления полупроводников
- R4000 — 64 разрядный процессор, 64 разрядное ALU и FPU, 64 разрядные регистры, 64 разрядное виртуальное адресное пространство



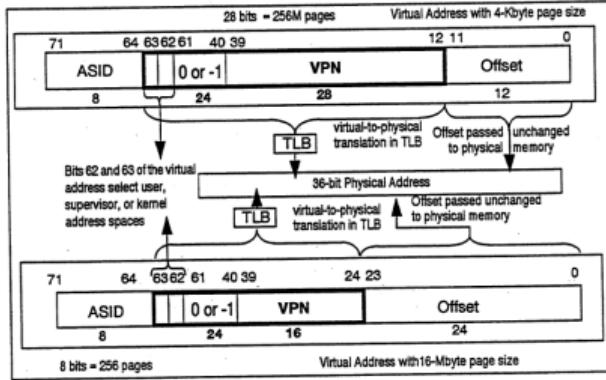
MIPS внутренняя архитектура

- 32 регистра общего назначения
- 3 специальных регистра
- Инструкции фиксированной длины



MIPS R4000: виртуальная память

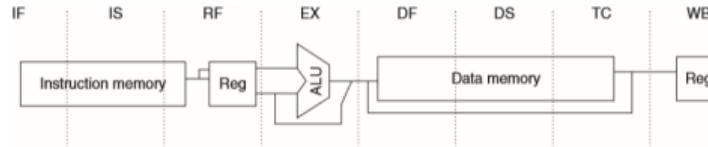
- ASID (Address Space Identifier) — идентификатор адресного пространства уменьшает количество очисток TLB и соотносит адресное пространство с процессом
- Отдельные адресные пространства USER, KERNEL и SUPERVISOR
- Размер VPN (Virtual Page Number) зависит от размера страницы



R4000 Kernel Mode		64-bit
0x FFFF FFFF	32-bit	0.5 GB Mapped
0x E000 0000	kseg3	ckseg3
0x C000 0000	0.5 GB Mapped	0.5 GB Mapped
0x A000 0000	ksseg	cksseg
0x 8000 0000	0.5 GB Unmapped Uncached	0.5 GB Unmapped Uncached
0x 7FFF FFFF	kseg1	ckseg1
0x 8000 0000	0.5 GB Unmapped Cached	0.5 GB Unmapped Cached
0x 7FFF FFFF	kseg0	ckseg0
0x 8000 0000	0x C000 0FFF F000 0000	Address error
0x 7FFF FFFF	0x 8000 0000 0000 0000	Mapped
0x 8000 0000	0x 4000 0100 0000 0000	xkseg
0x 7FFF FFFF	0x 8000 0000 0000 0000	xkphys
0x 8000 0000	0x 4000 0100 0000 0000	Address error
0x 0000 0000	2 GB Mapped	1 TB Mapped
0x 0000 0000	0x 4000 0000 0000 0000	xkseg
0x 0000 0000	0x 0000 0100 0000 0000	Address error
0x 0000 0000	0x 0000 0000 0000 0000	1 TB Mapped
0x 0000 0000	0x 0000 0000 0000 0000	xkuseg

MIPS R4000: конвейер

- Целочисленный
- Для операций с плавающей точкой (FPU)



Целочисленный конвейер

Stage	Functional unit	Description
A	FP adder	Mantissa ADD stage
D	FP divider	Divide pipeline stage
E	FP multiplier	Exception test stage
M	FP multiplier	First stage of multiplier
N	FP multiplier	Second stage of multiplier
R	FP adder	Rounding stage
S	FP adder	Operand shift stage
U		Unpack FP numbers

Конвейер FPU

ARM Cortex-A8

- 32-х битный процессор, архитектура ARM v7-A
- Два конвейера
- Интегрированный кеш L2
- 600 MHz – 1 GHz и выше
- RICS архитектура

ARM Cortex-A8: внутренняя архитектура

