

2024 超大型積體電路電腦輔助設計概論

2024 Introduction to VLSI CAD

Lab 11

學號：E14096724

姓名：鄭喆嚴

※作業要求的圖請使用 **電腦截圖程式** 截取，請勿用手機拍照的方式繳交

※Report 檔請以 pdf 的格式繳交

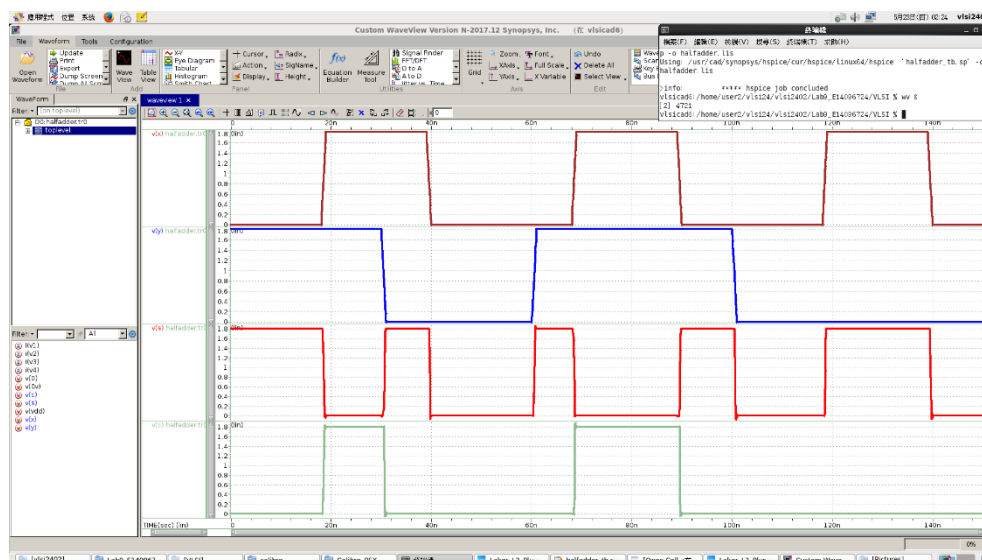
A. HA

1. Presim

i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice halfadder_tb.s  
p -o halfadder.lis  
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'halfadder_tb.sp' -o  
halfadder.lis  
  
>info:          ***** hspice job concluded  
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % ww &
```

ii. 請截取 WaveView 中的波形

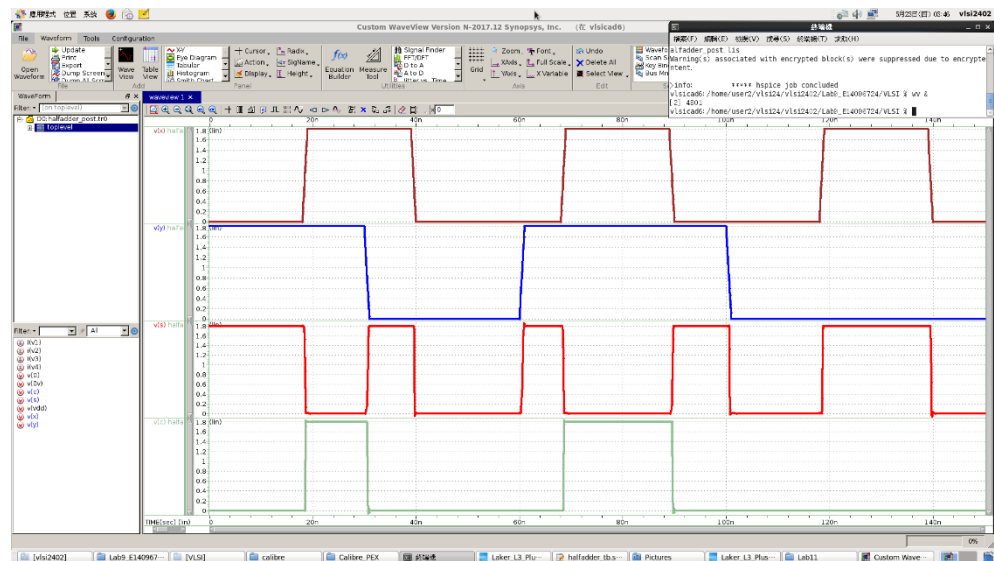


2. Post-sim

i. 請截取 terminal 顯示 job concluded 的圖

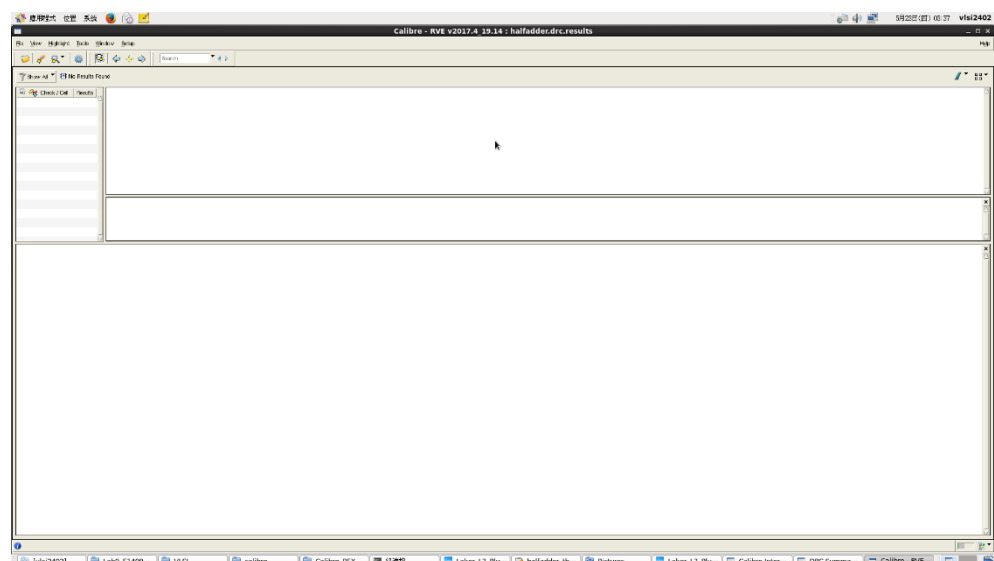
```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice halfadder_tb.sp  
-o halfadder_post.lis  
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'halfadder_tb.sp' -o h  
alfadder_post.lis  
Warning(s) associated with encrypted block(s) were suppressed due to encrypted co  
ntent.  
  
>info:          ***** hspice job concluded  
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI %
```

ii. 請截取 WaveView 中的波形

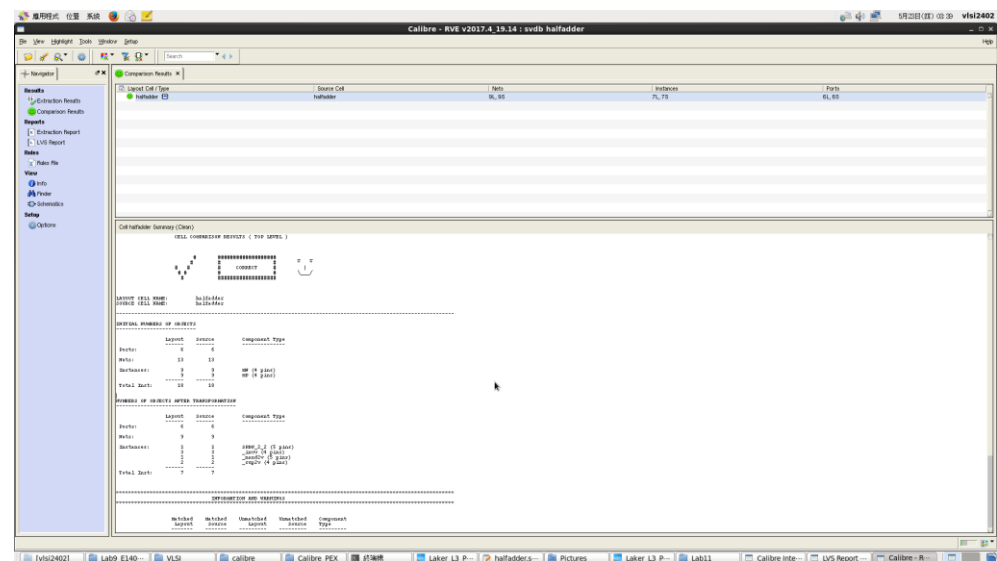


iii. DRC/LVS 結果

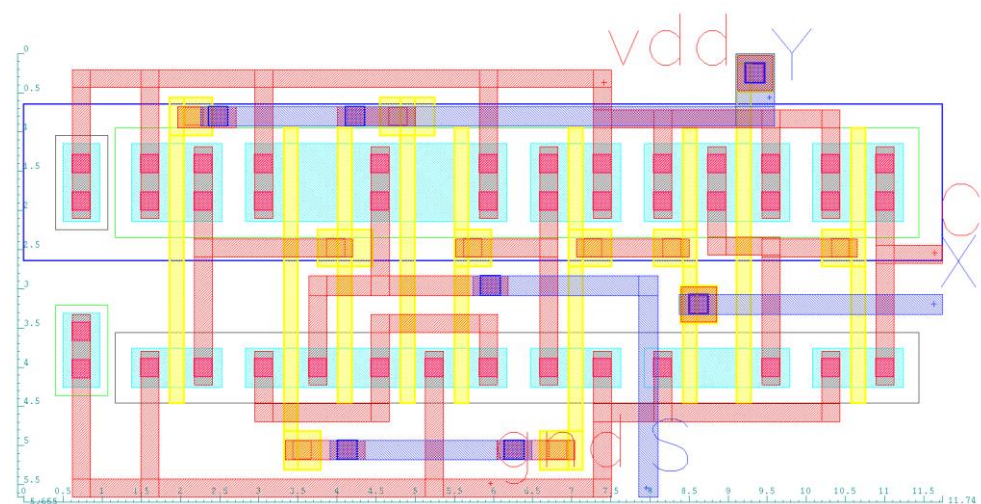
DRC:



LVS:



iv. Layout 截圖(顯示長寬)



長:11.74um 寬:5.655um 面積:66.3897um²

3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

Presim 中忽略寄生效應較為理想，所以在電壓改變時 overshoot 比較小也比較穩定；但是 Post-sim 畫出的 layout 有考慮寄生效應，比較接近真實情況所以會有更大的 overshoot 也比較不穩定。

B. DFF

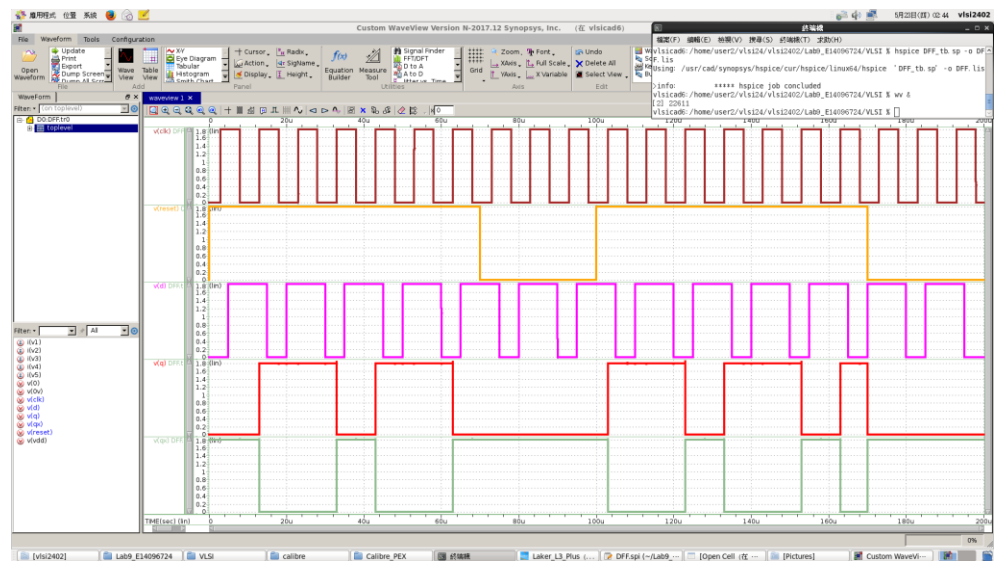
1. Presim

- i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice DFF_tb.sp -o DFF.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'DFF_tb.sp' -o DFF.lis

>info:          ***** hspice job concluded
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % wv &
```

- ii. 請截取 WaveView 中的波形



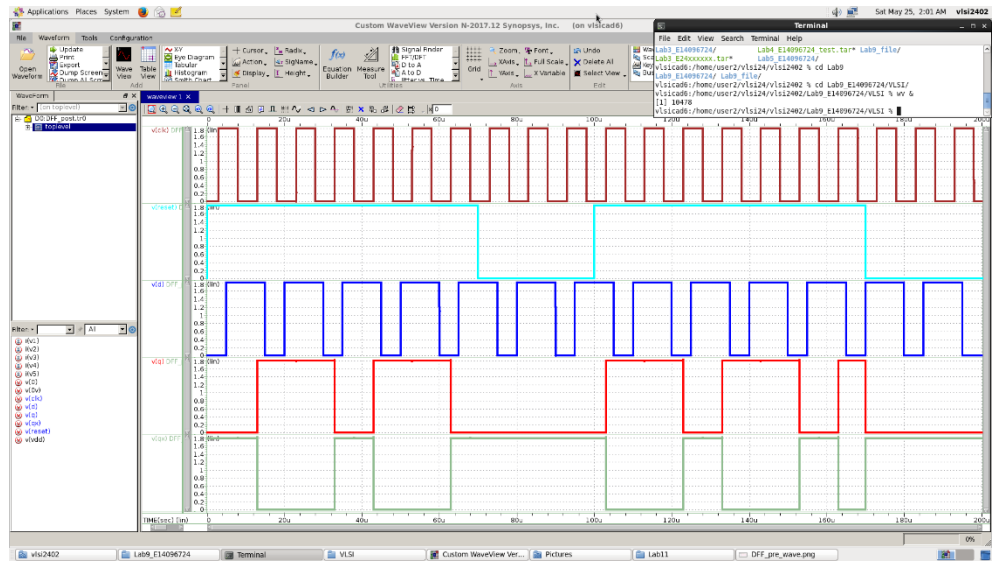
2. Post-sim

- i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice DFF_tb.sp -o DFF.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'DFF_tb.sp' -o DFF.lis

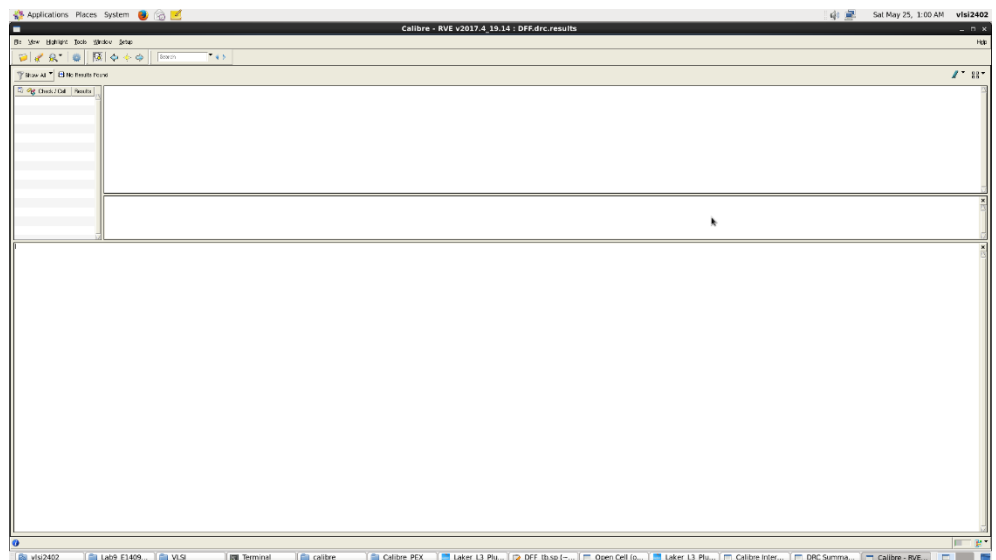
>info:          ***** hspice job concluded
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % wv &
```

ii. 請截取 WaveView 中的波形

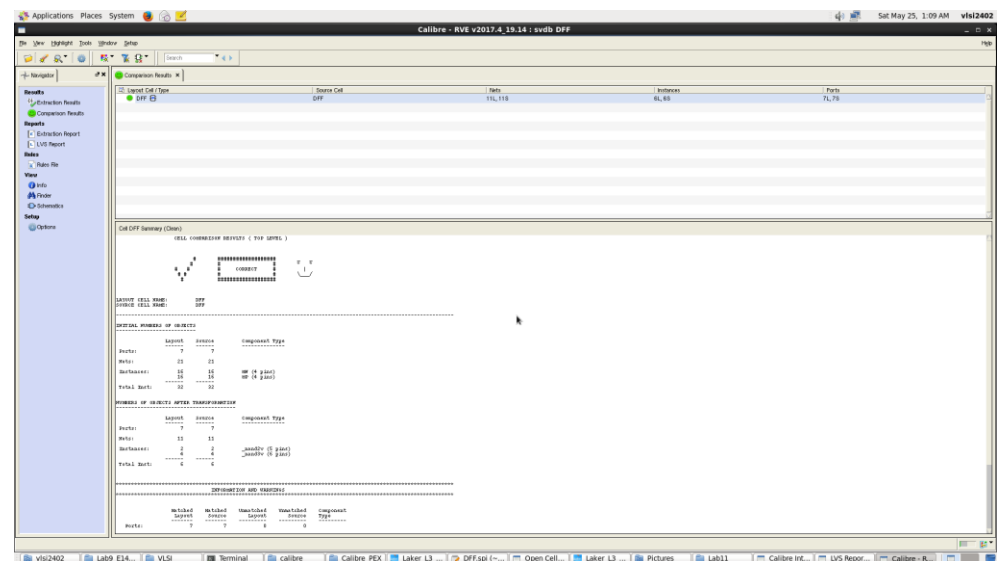


iii. DRC/LVS 結果

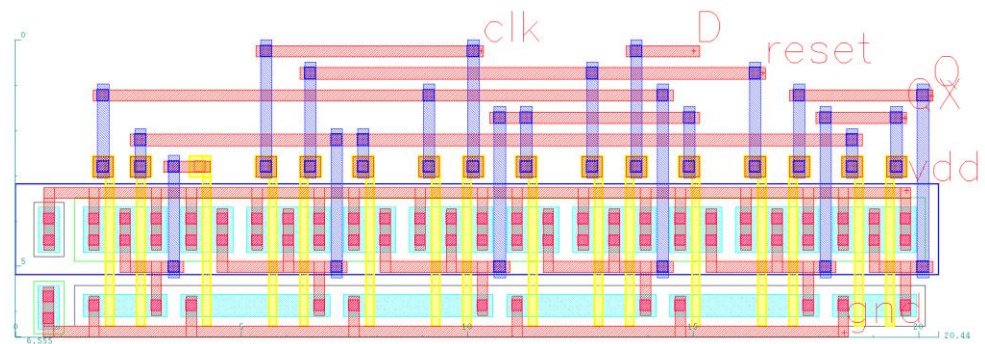
DRC:



LVS:



iv. Layout 截圖(顯示長寬)



長:20.44um 寬:6.555um 面積:133.9842um²

3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

Presim 中忽略寄生效應較為理想，所以在電壓改變時 overshoot 比較小也比較穩定；但是 Post-sim 畫出的 layout 有考慮寄生效應，比較接近真實情況所以會有更大的 overshoot 也比較不穩定。

C. 心得討論

這次的 Lab 是實作 halfadder 和 D flip-flop，我覺得這次的 Lab 比之前都還困難一些，雖然 halfadder 和 D flip-flop 的組成都可以使用之前寫過的 gate 來實作，這次只需要多畫一個 nand3 而已，但是在整體電路的接線上我覺得比之前的 Lab 還要困難，我覺得我的電路還有許多可以進步的空間，像是電路中接在一起的地方可以共用同一個 diffusion，或是用更好的擺放方式可以在接線的路徑上有面積更小的選擇，我覺得要同時接好線又要追求最小面積對我來說還需要一段時間來練習。