

# 2024 超大型積體電路電腦輔助設計概論

## 2024 Introduction to VLSI CAD

### Lab 10

學號：E14096724

姓名：鄭喆嚴

※作業要求的圖請使用 **電腦截圖程式** 截取，請勿用手機拍照的方式繳交

※Report 檔請以 pdf 的格式繳交

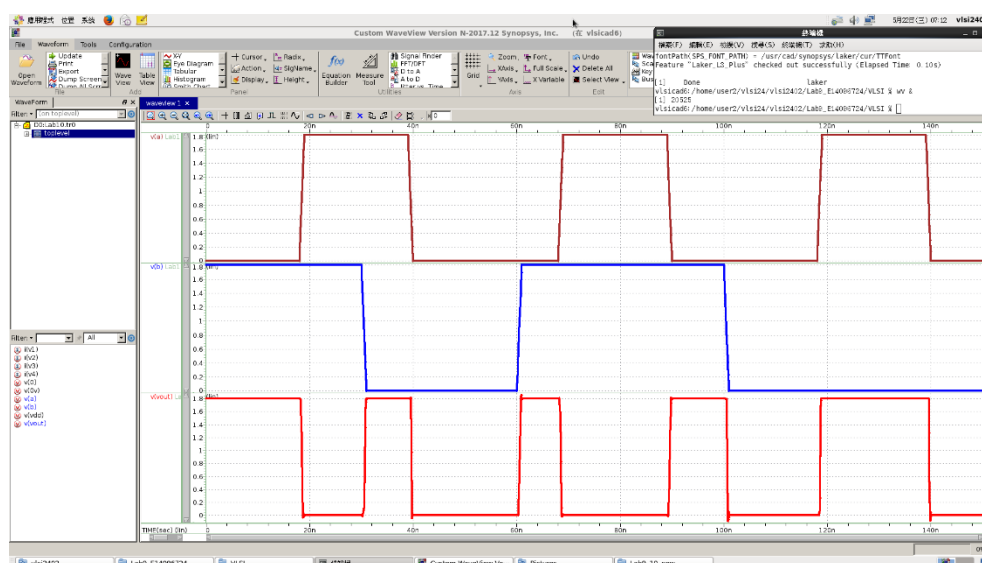
#### A. XOR

##### 1. Presim

###### i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice lab10_testbenc  
h.sp -o Lab10.lis  
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'lab10_testbench.sp'  
-o Lab10.lis  
  
>info:          ***** hspice job concluded  
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % █
```

###### ii. 請截取 WaveView 中的波形

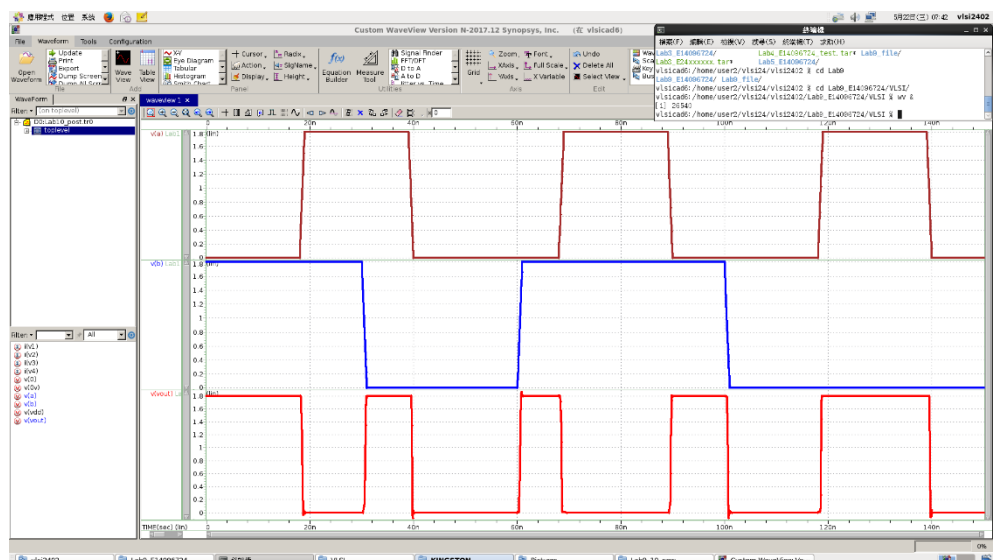


## 2. Post-sim

### i. 請截取 terminal 顯示 job concluded 的圖

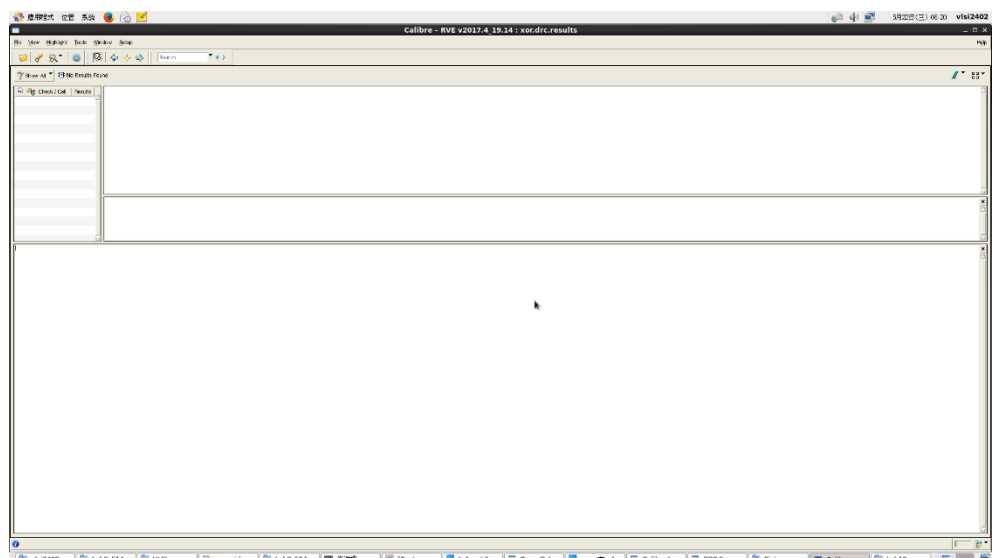
```
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice lab10_testbenc  
h.sp -o Lab10_post.lis  
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'lab10_testbench.sp'  
-o Lab10_post.lis  
Warning(s) associated with encrypted block(s) were suppressed due to encrypted c  
ontent.  
  
>info:          ***** hspice job concluded  
vlsicad6: /home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI %
```

### ii. 請截取 WaveView 中的波形

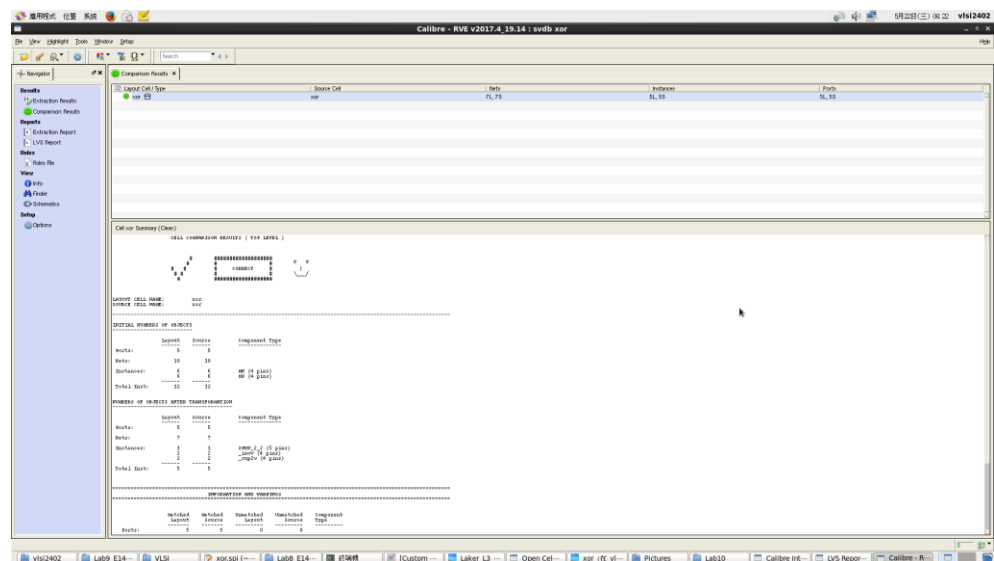


### iii. DRC/LVS 結果

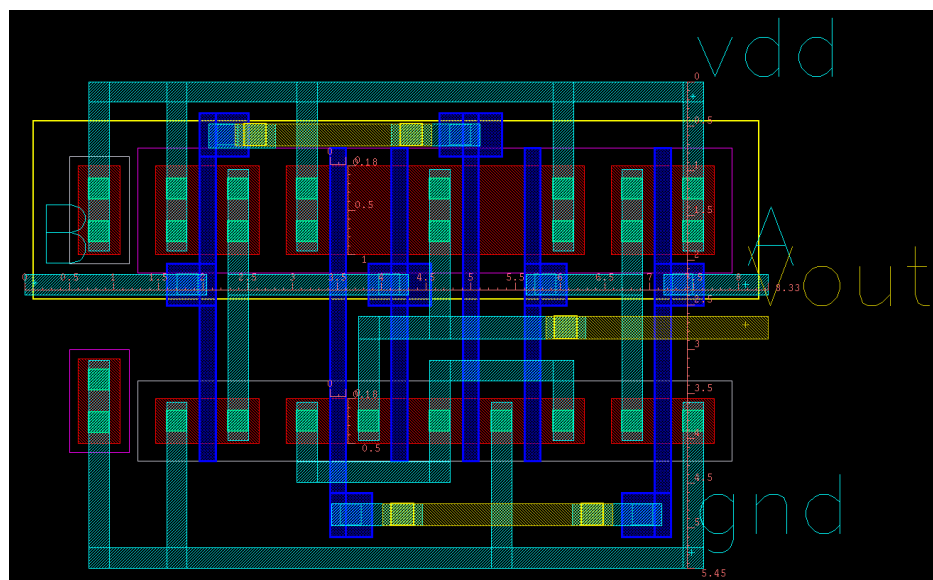
DRC:



# LVS



## iv. Layout 截圖(顯示長寬)



長:5.45um      寬:8.33um      面積:45.3985um<sup>2</sup>

## 3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

Presim 中忽略寄生效應較為理想，所以在電壓改變時 overshoot 比較小也比較穩定；但是 Post-sim 畫出的 layout 有考慮寄生效應，比較接近真實情況所以會有更大的 overshoot 也比較不穩定。

## B. 心得討論

這次的 Lab 是我第二次畫 layout，我在畫整體的 xor 時考慮了許久，在經過 DRC 的檢查後又發現之前沒看過的新的錯誤，在畫的過程中因為不知道全部的規則，像是 poly 之間的距離或是 via1 的長寬，最後我還發現 metall 有面積的 minimum，因為我原本的 layout 圖都是用最接近的距離畫的，這讓我原本的 layout 圖必須拉大一些又讓我多花了一些時間，但是在知道更多規則的細節之後，相信在期末上機考時能夠有更好的成績。