

2024 超大型積體電路電腦輔助設計概論

2024 Introduction to VLSI CAD

Lab 12

學號：E14096724

姓名：鄭喆嚴

※作業要求的圖請使用電腦截圖程式截取，請勿用手機拍照的方式繳交

※Report 檔請以 pdf 的格式繳交

A. FA

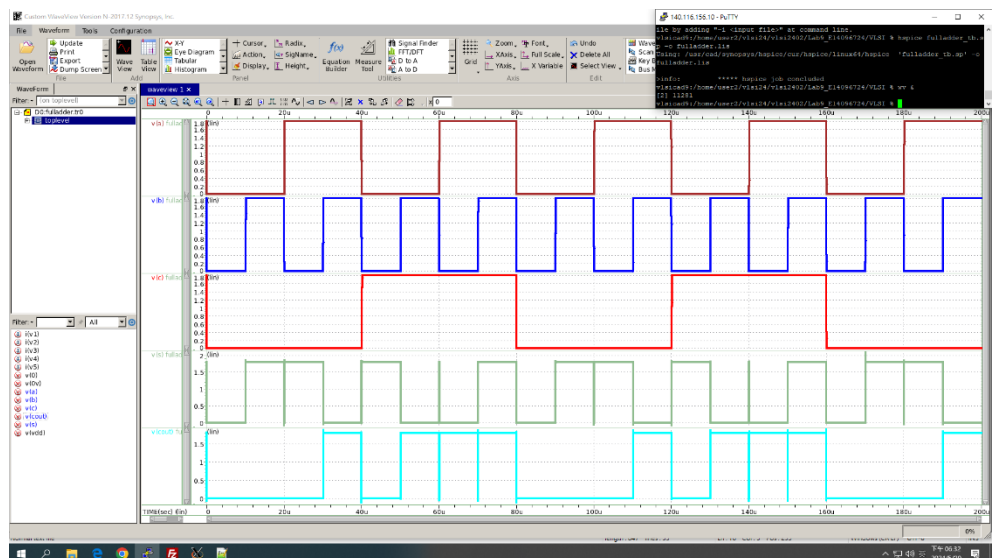
1. Presim

i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_El4096724/VLSI % hspice fulladder_tb.s
p -o fulladder.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'fulladder_tb.sp' -o
fulladder.lis

>info:          ***** hspice job concluded
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_El4096724/VLSI % ww &
```

ii. 請截取 WaveView 中的波形



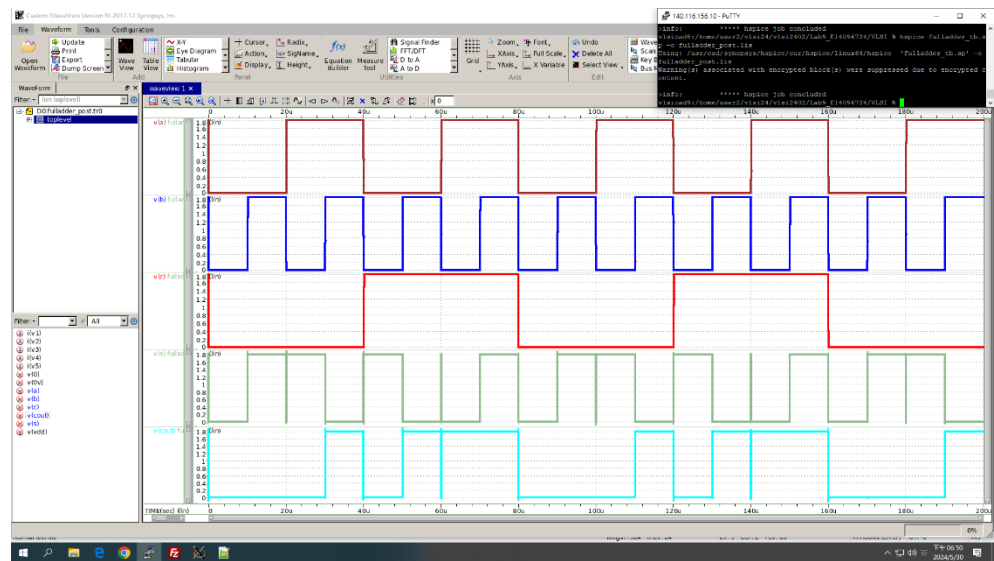
2. Post-sim

- i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice fulladder_tb.s
p -o fulladder_post.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'fulladder_tb.sp' -o
fulladder_post.lis
Warning(s) associated with encrypted block(s) were suppressed due to encrypted c
ontent.

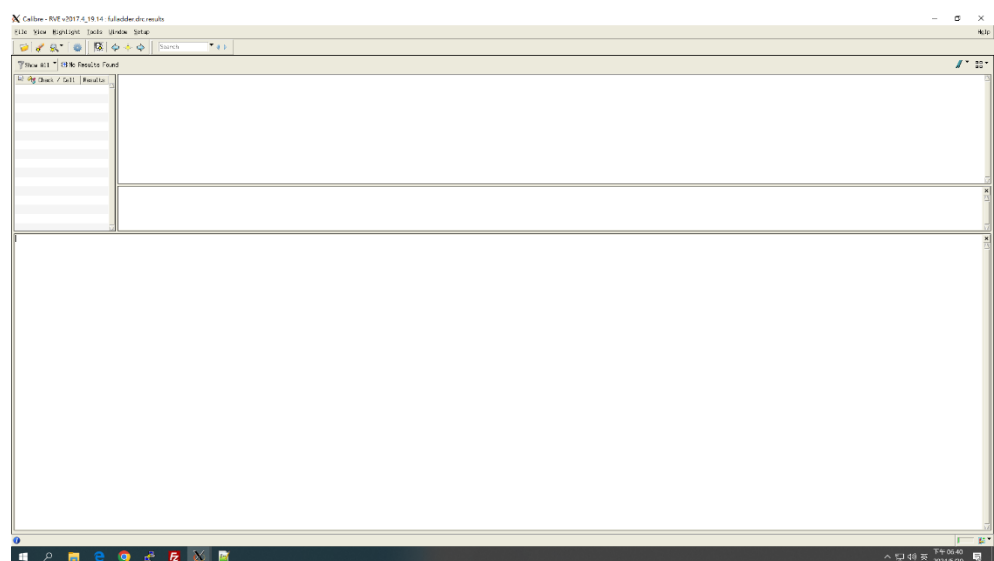
>info:          ***** hspice job concluded
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI %
```

- ii. 請截取 WaveView 中的波形



- iii. DRC/LVS 結果

DRC:



長:26.39um 寬:6.22um 面積:164.1458um²

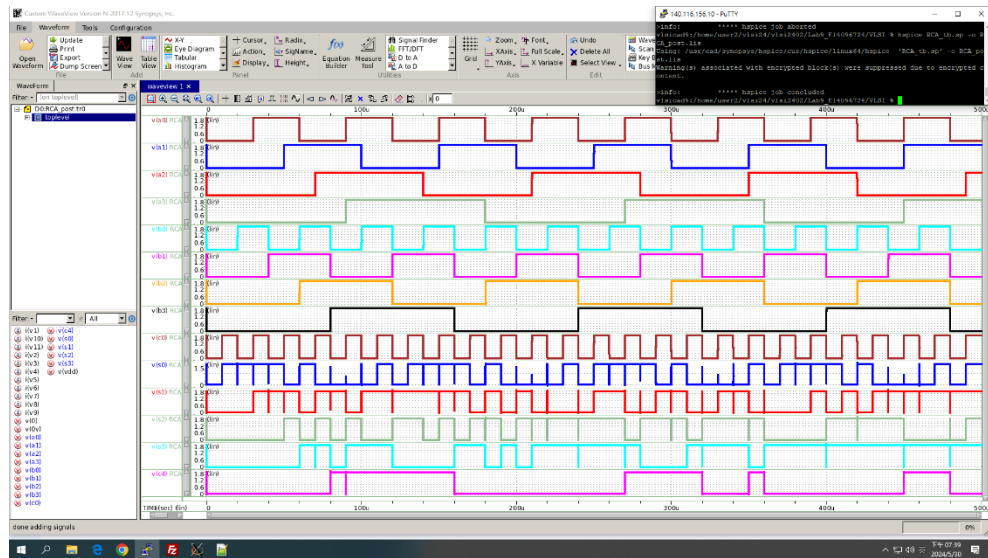
3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

Presim 中忽略寄生效應較為理想，所以在電壓改變時 overshoot 比較小也比較穩定；但是 Post-sim 畫出的 layout 有考慮寄生效應，比較接近真實情況所以會有更大的 overshoot 也比較不穩定。

```
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI % hspice RCA_tb.sp -o RCA_post.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'RCA_tb.sp' -o RCA_post.lis
Warning(s) associated with encrypted block(s) were suppressed due to encrypted content.

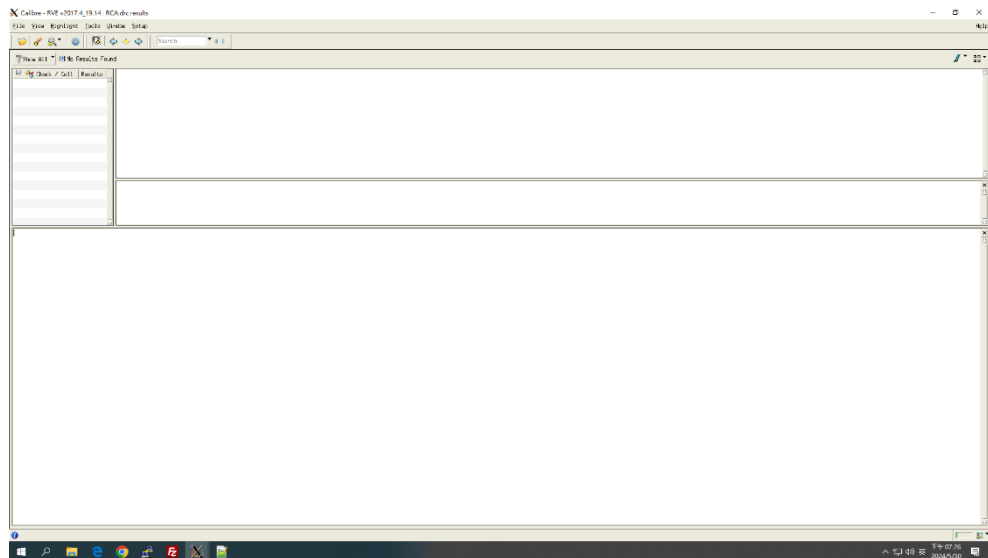
>info:          ***** hspice job concluded
vlsicad9:/home/user2/vlsi24/vlsi2402/Lab9_E14096724/VLSI %
```

ii. 請截取 WaveView 中的波形

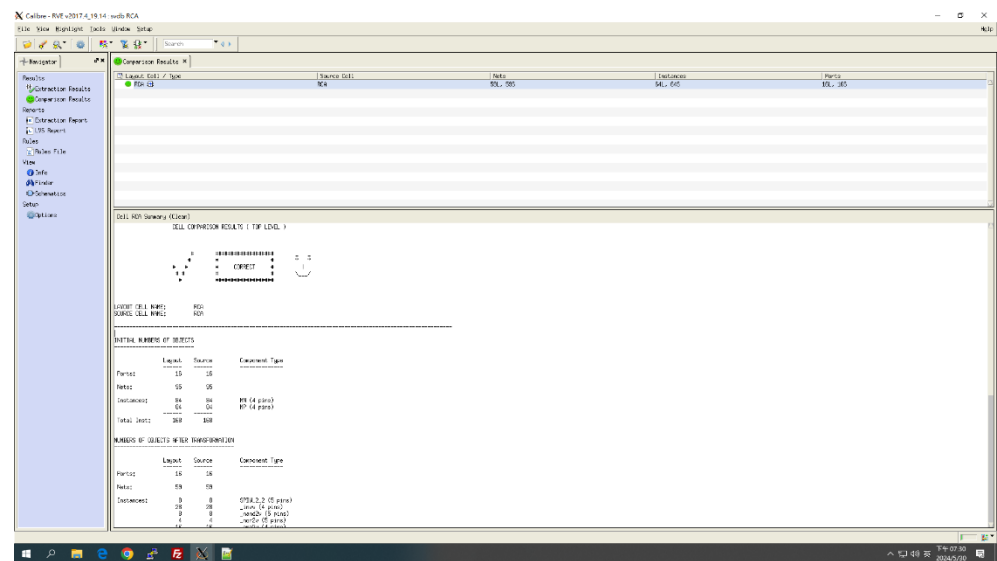


iii. DRC/LVS 結果

DRC:



LVS:



iv. Layout 截圖(顯示長寬)



長:101.15um 寬:6.74um 面積:681.751um²

3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

Presim 中忽略寄生效應較為理想，所以在電壓改變時 overshoot 比較小也比較穩定；但是 Post-sim 畫出的 layout 有考慮寄生效應，比較接近真實情況所以會有更大的 overshoot 也比較不穩定。

C. 心得討論

這次的 Lab 是實作 Full Adder 和 4-bit Ripple Carry Adder，要先做出 Full Adder 才能組成 4-bit Ripple Carry Adder，就像之前一樣 Full Adder 可以用之前做的 Half Adder 加上來組合出來，所以就剩下接線所以很快就可以做完這次的 Lab，我覺得之後我在做類似的電路的時候可以想一下如何將電路縮小，像是可以把整個電路對折一半來讓 nMos 之間可以靠得更進，還有可以使用更高層的 metal 來減少接線時增加的面積。