

## Homework #2

E14096724 鄭喆嚴

### 一、設計原理(含硬體架構圖)

#### (一)Behavior

使用 behavioral codes 設計一個 synchronous counter，由於是要做一個能夠在 0~32 用 sel 進行向上數或向下數又有 reset 和 en 的輸入的 synchronous counter，從 0~32 一共有 33 個數必須要使用到 6 個 bit 來進行儲存和輸出現在的數字，我是利用 always 和 if 條件來達到判斷 sel、reset 和 en 的效果。

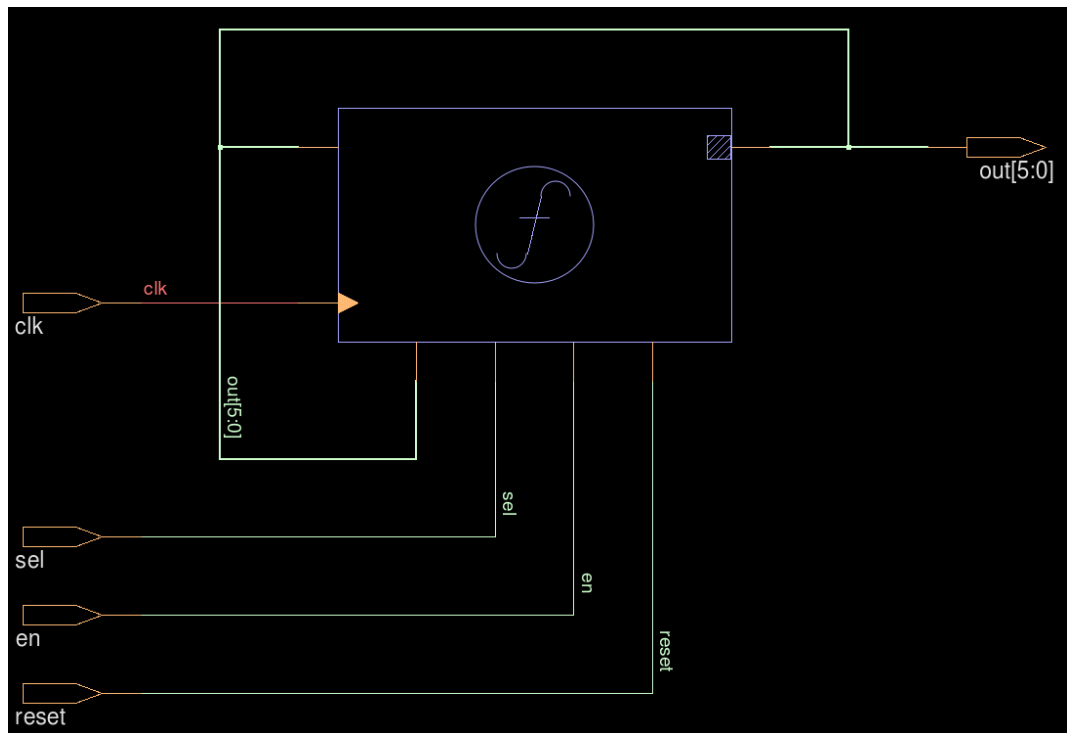


Fig. 1. Behavior synchronous counter 硬體架構圖

#### (二)Structure

使用 structural codes 設計一個 synchronous counter，由於是要做一個能夠在 0~32 用 sel 進行向上數或向下數又有 reset 和 en 的輸入的 synchronous counter，從 0~32 一共有 33 個數必須要使用到 6 個 bits 來進行儲存和輸出現在的數字，我是利用這 6 個 bits 的 minterm 加上 reset、en 和 sel 來判斷出下個數字 6 個 bits 的 boolean expression，並且我是使用兩個 D latch 組成的 D flip-flop 來進行儲存現在的數字，再將下個數字的 6 個 bits 輸入到 6 個 D flip-flop 來達成數到下個數字。

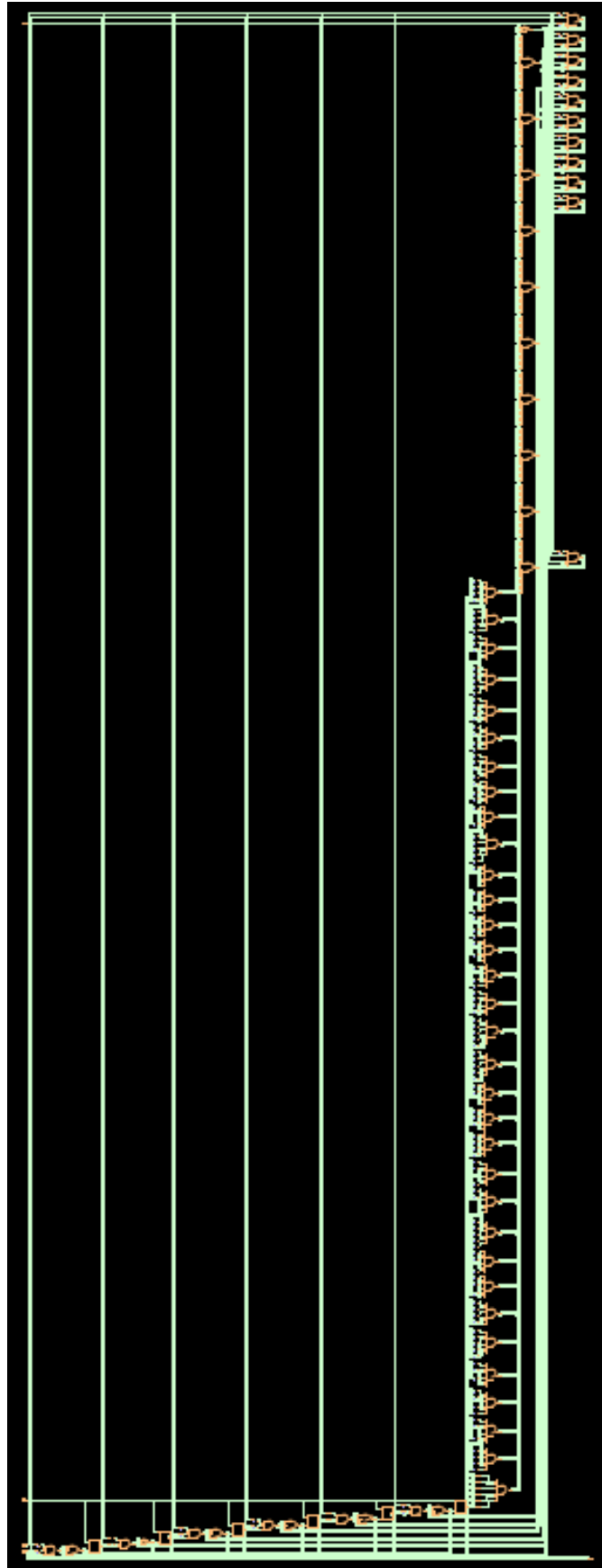


Fig. 2. Structure synchronous counter 硬體架構圖



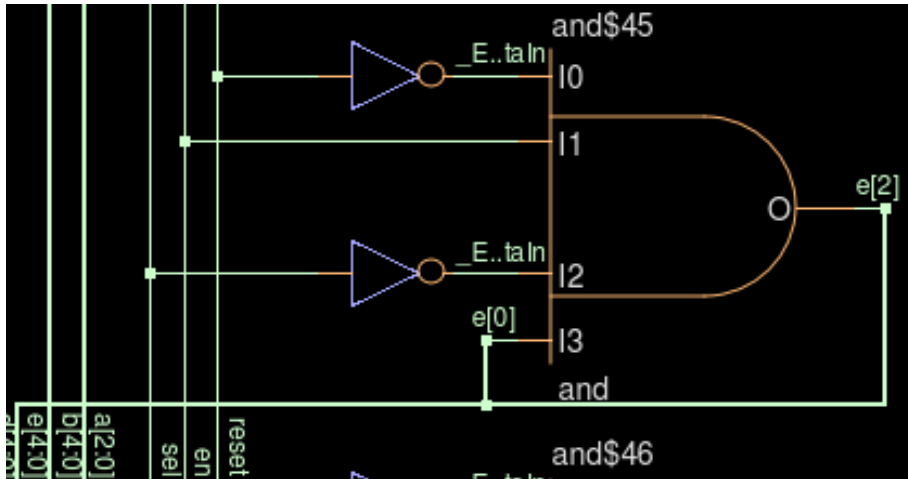


Fig. 6. Structure synchronous counter 下個數字的 boolean expression 的第一項的硬體架構圖

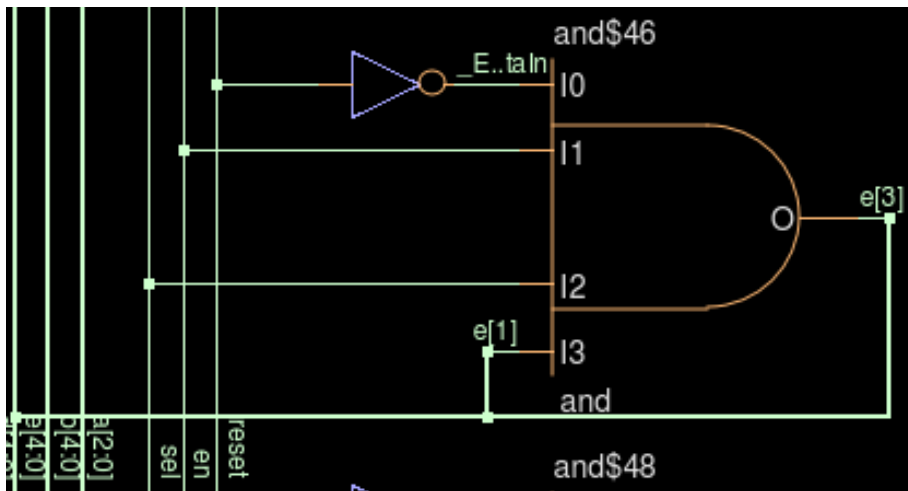


Fig. 7. Structure synchronous counter 下個數字的 boolean expression 的第二項的硬體架構圖

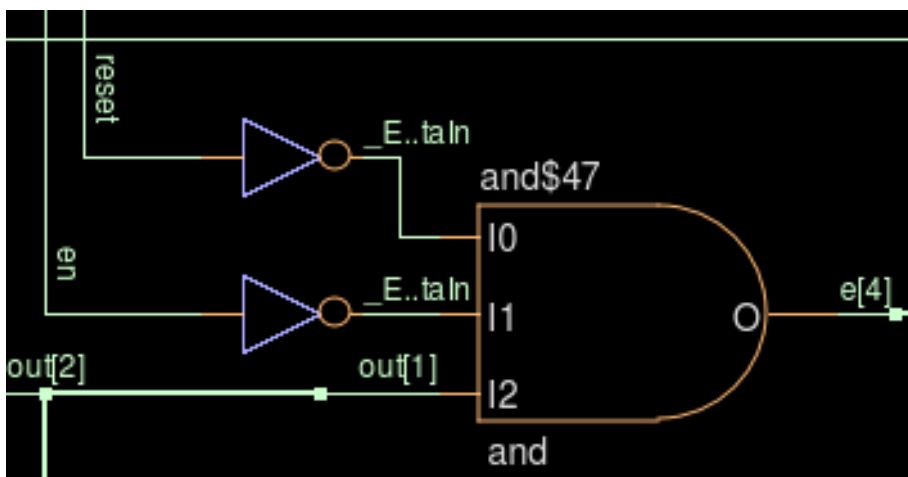


Fig. 8. Structure synchronous counter 下個數字的 boolean expression 的第三項的硬體架構圖

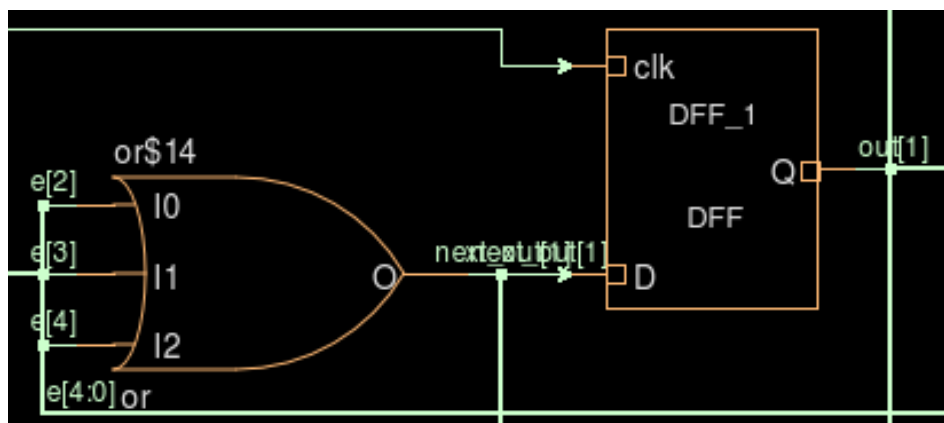


Fig. 9. Structure synchronous counter 中下個數字的 boolean expression 的硬體架構圖

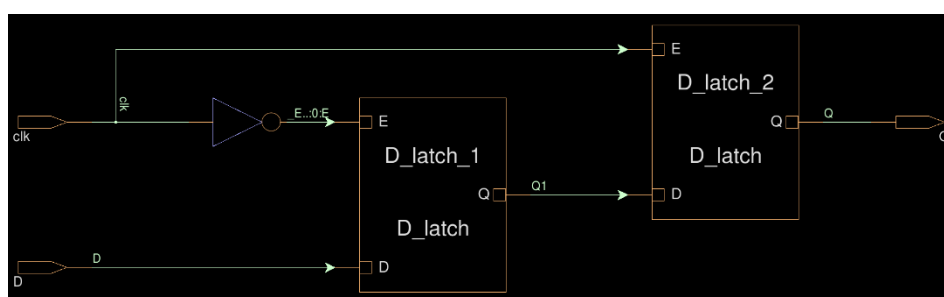


Fig. 10. Structure synchronous counter 中的 D flip-flop 的硬體架構圖

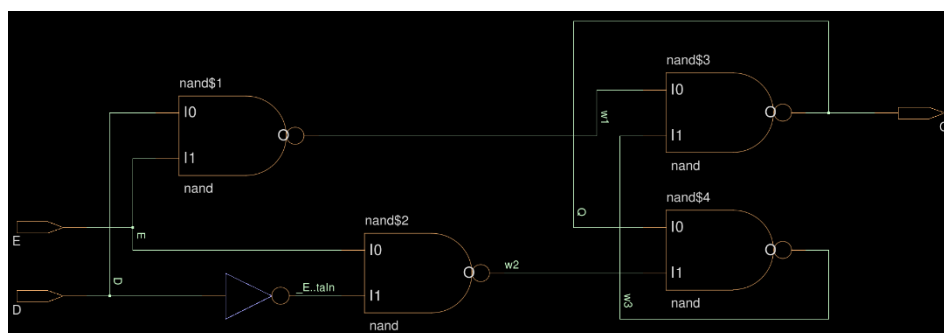


Fig. 11. Structure synchronous counter 中的 D flip-flop 中的 D latch 的硬體架構圖

## 二、 模擬結果(波型及結果分析)

### (一)Behavior

testbench 一開始先進行 reset 將 reset 設為 1，接著將 reset 設為 0、en 設為 1、sel 為 0 進行 count up，接著將 en 設為 0 測試 en 輸入是否有用，接著將 en 設為 1、reset 設為 1 測試 reset 輸入是否有用，接著進行 count up 至 32 測試是否會正常 count up 並維持在 32，接著將 sel 設為 1 進行 count down 至 0 測試是否會正常 count down 並維持在 0，全部測資皆正確。

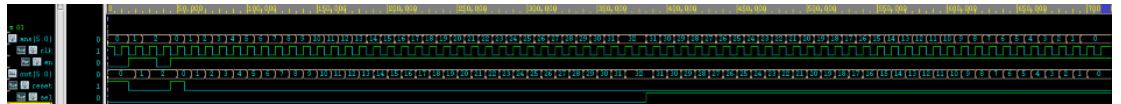


Fig. 12. Behavior synchronous counter tesetbench 的波形圖

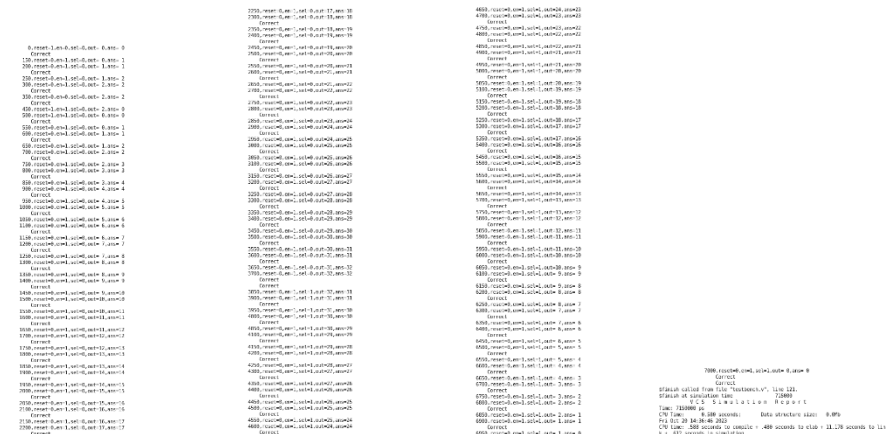


Fig. 13. Behavior synchronous counter tesetbench 的測資全部正確

## (二)Structure

testbench 一開始先進行 reset 將 reset 設為 1，接著將 reset 設為 0、en 設為 1、sel 為 0 進行 count up，接著將 en 設為 0 測試 en 輸入是否有用，接著將 en 設為 1、reset 設為 1 測試 reset 輸入是否有用，接著進行 count up 至 32 測試是否會正常 count up 並維持在 32，接著將 sel 設為 1 進行 count down 至 0 測試是否會正常 count down 並維持在 0，全部測資皆正確。

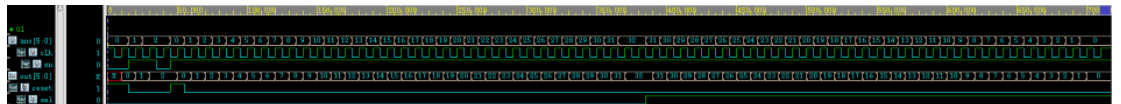


Fig. 14. Structure synchronous counter tesetbench 的波形圖

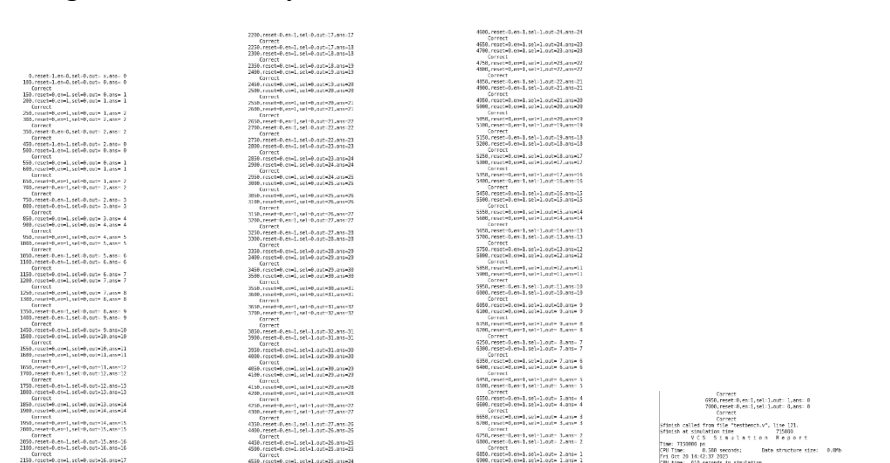


Fig. 15. Structure synchronous counter tesetbench 的測資全部正確