

Homework #3

E14096724 鄭喆嚴

- (1) A general description of your design, with emphasis on its particular functionality.

要設計一個 traffic light controller 並且 state diagram 至少要有 5 states，我設計的是一個輸入訊號有 clk、reset，輸出訊號有 HG、HY、HL、HR、VG、VY、VL、VR，H 代表的是水平的路、V 代表的是垂直的路，G 代表的是綠燈、Y 代表的是黃燈、L 代表的是紅燈加上左轉燈、R 代表的是紅燈。在水平的路和垂直的路皆有四種燈號時一共會有 6 states，而由於有 6 個 state 所以 state 和 next_state 兩個都必須要是 3-bits，並且有使用一個 Counter 來計算各個燈號的時間。

一開始 reset 完第一個 state 是 S0 是水平的路是綠燈而垂直的路是紅燈，在 Counter 數完綠燈的時間後會跳到下一個 state 是 S1 是水平的路是黃燈而垂直的路是紅燈，會一直跳到下一個 state 並循環回 S0。

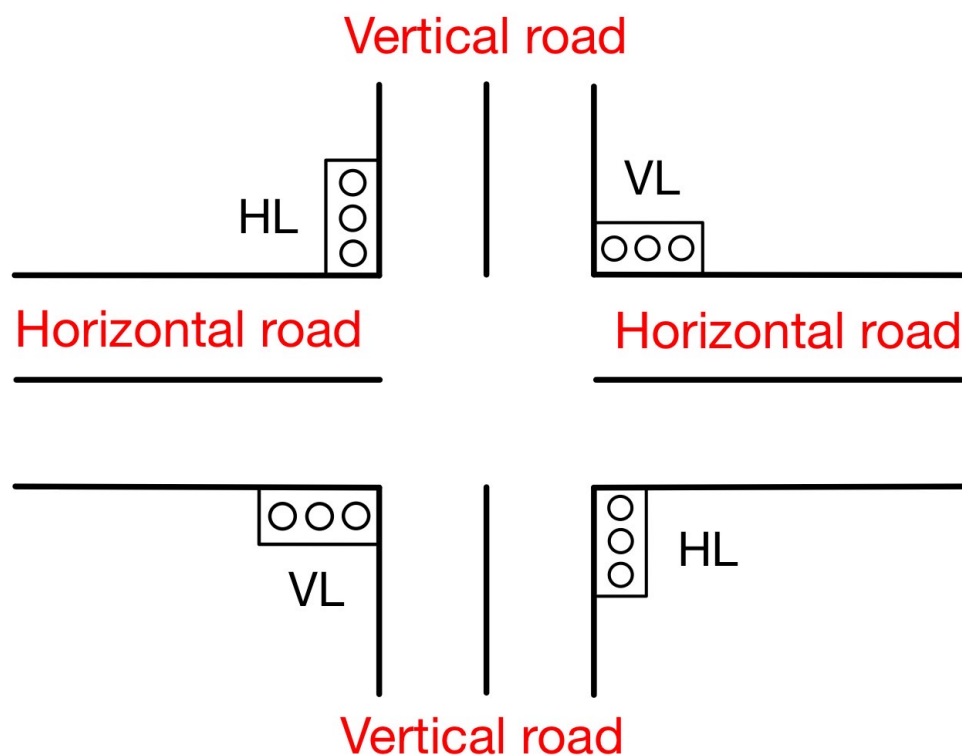


Fig. 1. traffic light controller 的路口示意圖

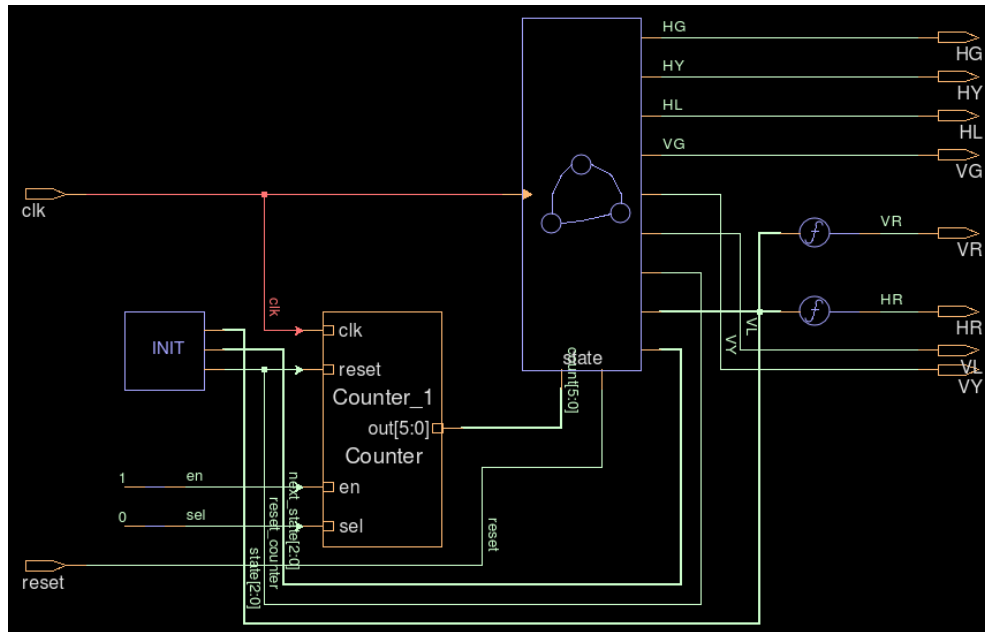


Fig. 2. traffic light controller 的硬體架構圖

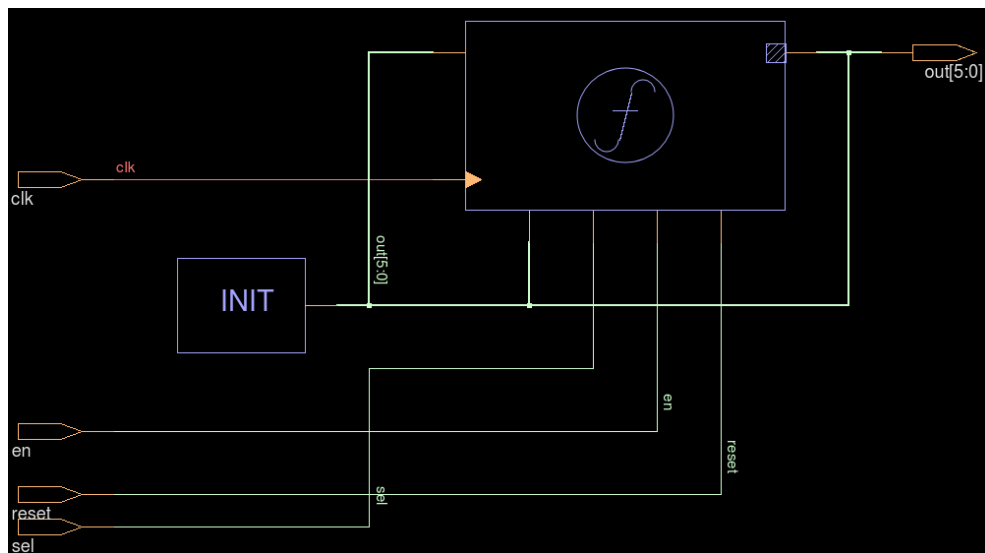


Fig. 3. traffic light controller 中的 Counter 的硬體架構圖

(2) I/O specifications

Input Signals	Description
clk	時脈輸入
reset	讓 traffic light controller 的 state 回到最初的 S0
Output Signals	Description
HG/HY/HL/HR	控制 horizontal road 的綠燈/黃燈/左轉燈/紅燈的亮暗
VG/VY/VL/VR	控制 vertical road 的綠燈/黃燈/左轉燈/紅燈的亮暗

(3) Testbench and Timing specification for the various traffic lights in your design

我設計的每個燈號的時間是 horizontal road 的綠燈、黃燈、左轉燈皆是經過 20 個 clock cycle，而 horizontal road 的紅燈是當 vertical road 亮綠燈、黃燈、左轉燈時亮；vertical road 的綠燈、黃燈、左轉燈皆是經過 20 個 clock cycle，而 vertical road 的紅燈是當 horizontal road 亮綠燈、黃燈、左轉燈時亮

testbench 中有測試 reset 是否對 traffic light controller 裡面的 Counter 有用，並且有測試是否會在經過每個燈號的 clock cycle 後會進入到下個 state，還有在最後測試是否會從最後一個 state 回到第一個 state。

(4) State diagram

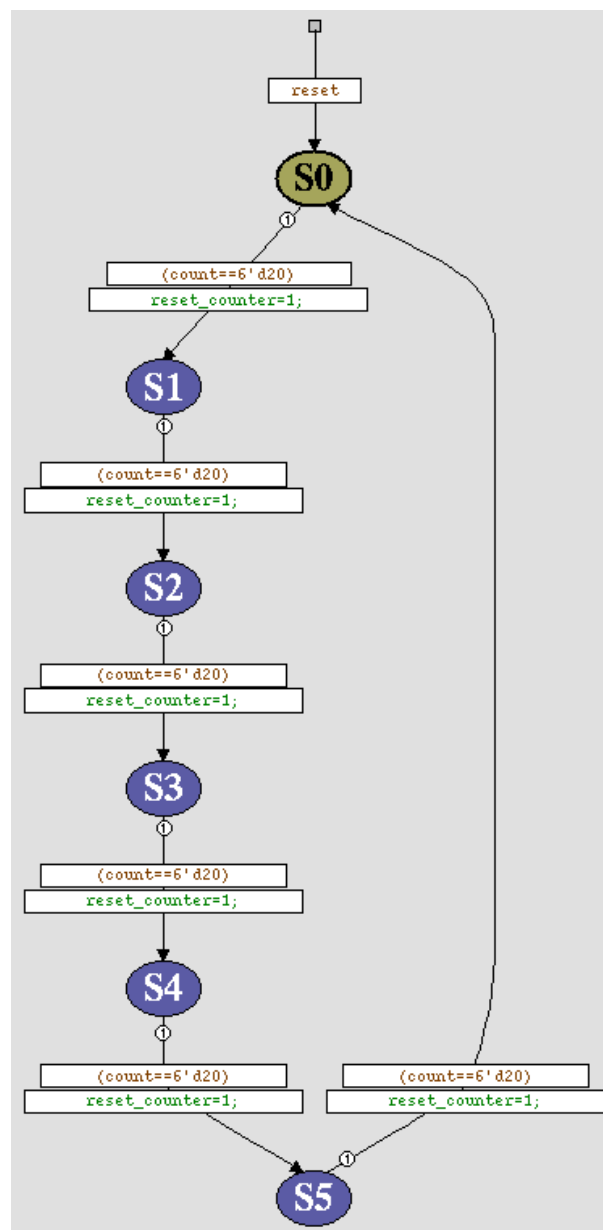


Fig. 4. traffic light controller 的 state diagram

(5) Simulation results (including some waveform)

測試是否會在經過每個燈號的 clock cycle 後會進入到下個 state。

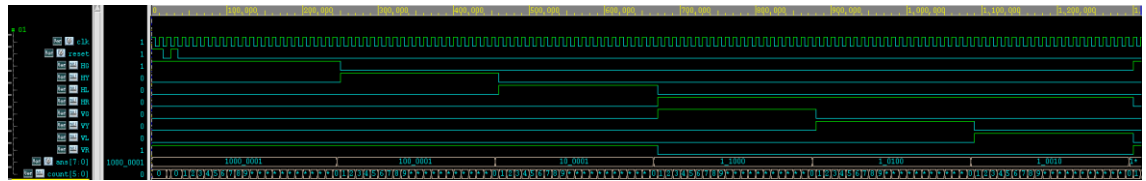


Fig. 5. traffic light controller testbench 的波形圖

測試 reset 是否對 traffic light controller 裡面的 Counter 有用

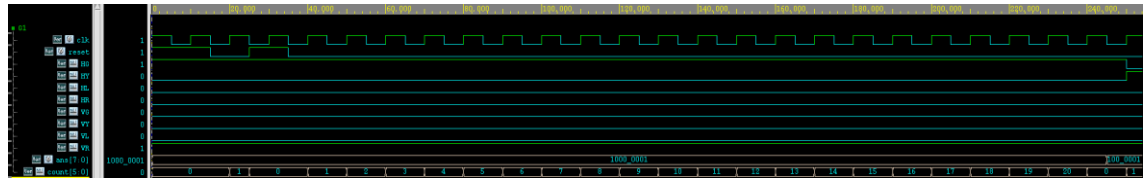


Fig. 6. traffic light controller testbench 前段的波形圖

在最後測試是否會從最後一個 state 回到第一個 state。

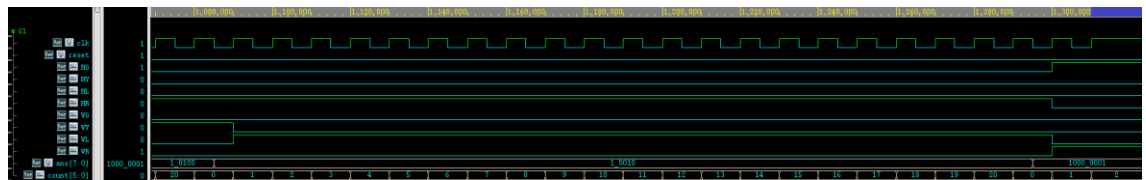


Fig. 7. traffic light controller testbench 後段的波形圖

[illegible]

Fig. 8. traffic light controller testbench 的測資全部正確

(6) Discussions

這次的作業讓我複習了之前在課堂中有上過的 state diagram 並且實作出一個 traffic light controller，還有寫出一個用來測試的 testbench，讓我更熟悉了 Verilog 程式的語法，另外在 debug 的時候也讓我夠熟悉使用波形圖來修正自己程式中的錯誤，這次的作業讓我學習許多相關的知識。