

Homework #1

E14096724 鄭喆嚴

一、設計原理(含硬體架構圖)

(一)Behavior

使用 behavioral codes 設計一個 combinational 30-bit adder/subtractor，由於 In_1 和 In_2 是 30-bits 而 Out 要是 31-bits，所以我先將 In_1 和 In_2 進行 sign extension 後再用 Sel 判斷進行加減法，直接用 if 判斷後進行 31-bits 的 In_1 加 31-bits 的 In_2 或是進行 31-bits 的 In_1 減 31-bits 的 In_2 或是。

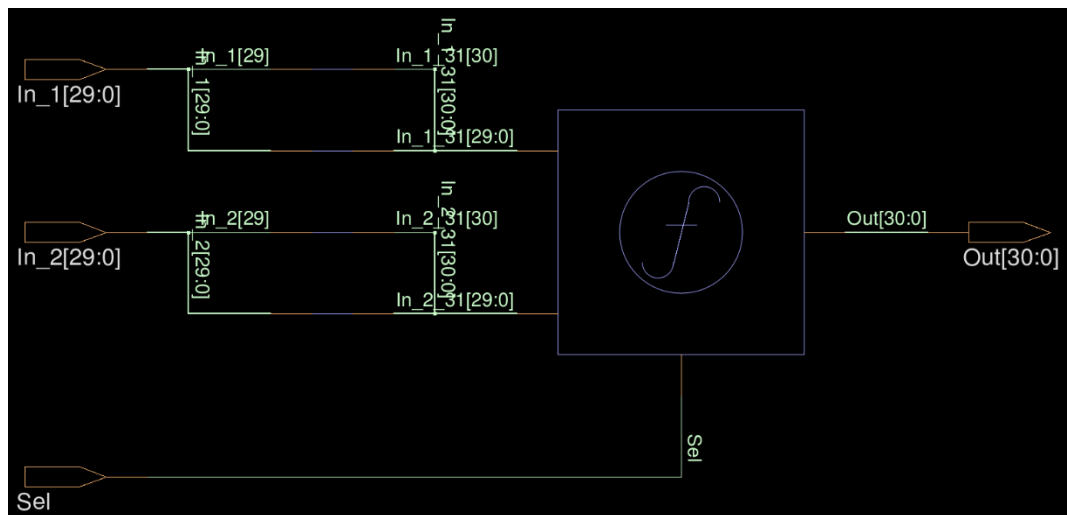


Fig. 1. Behavior combinational 30-bit adder/subtractor 硬體架構圖

(二)Structure

使用 structural codes 設計一個 combinational 30-bit adder/subtractor，由於 In_1 和 In_2 是 30-bits 而 Out 要是 31-bits，所以我先將 In_1 和 In_2 進行 sign extension 後，再使用 31 個全加器進行 31-bits 的 In_1 和 31-bits 的 In_2 的加法或減法，全加器是用兩個半加器組成，而半加器是由 and gate 和 xor gate 組成，判斷進行加法或減法的方式是將每個 bit 和 Sel 經過 xor gate 後再將 Sel 接上 LSB 的 carry_in，這樣作如果 Sel 是 0 就會是進行加法，如果 Sel 是 1 就會將 31-bits 的 In_2 進行 2 的補數的運算變成與原來正負相反來達到減法的效果。

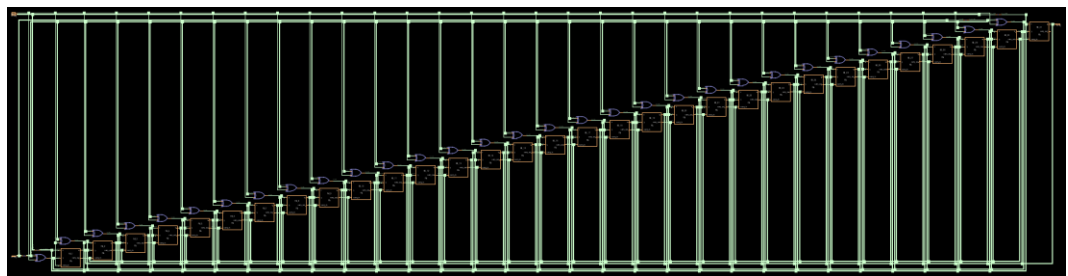


Fig. 2. Structure combinational 30-bit adder/subtractor 硬體架構圖

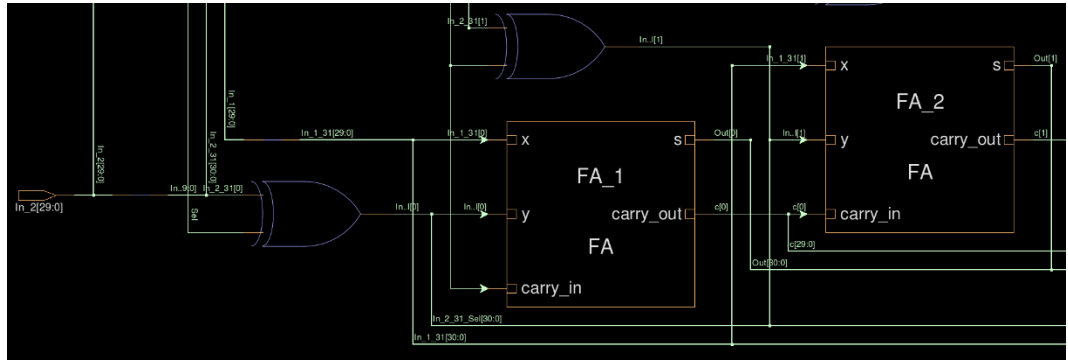


Fig. 3. Structure combinational 30-bit adder/subtractor LSB 的硬體架構圖

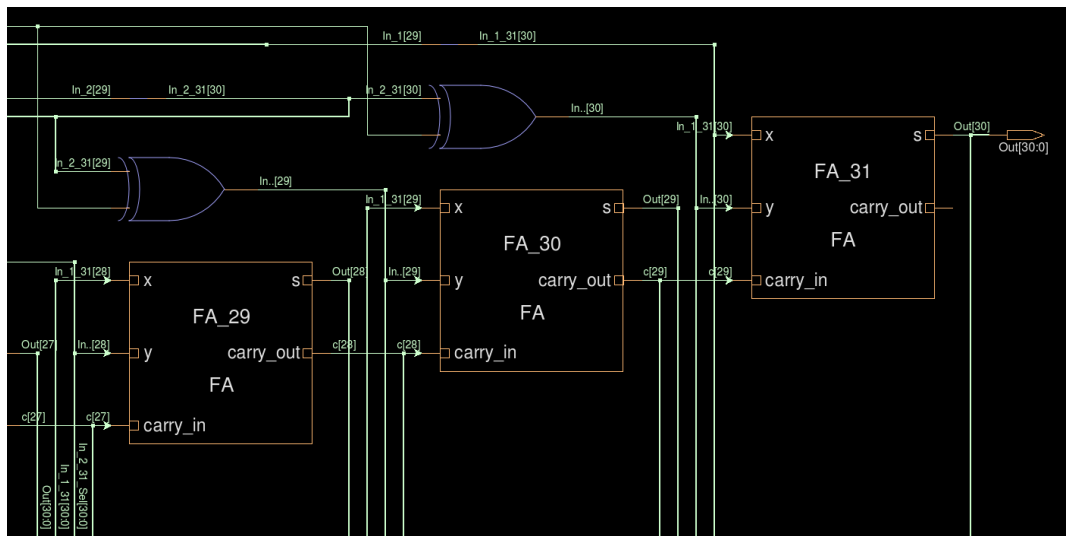


Fig. 4. Structure combinational 30-bit adder/subtractor LSB 的硬體架構圖

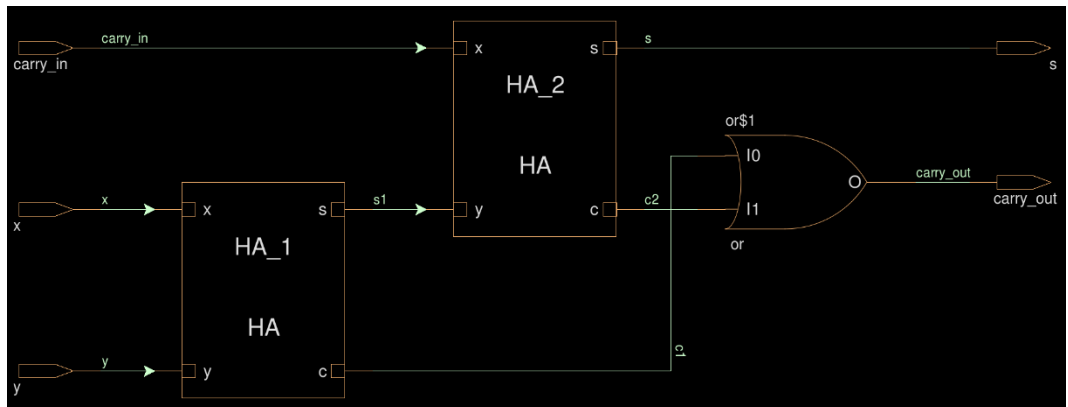


Fig. 5. Structure combinational 30-bit adder/subtractor 中
的全加器的硬體架構圖

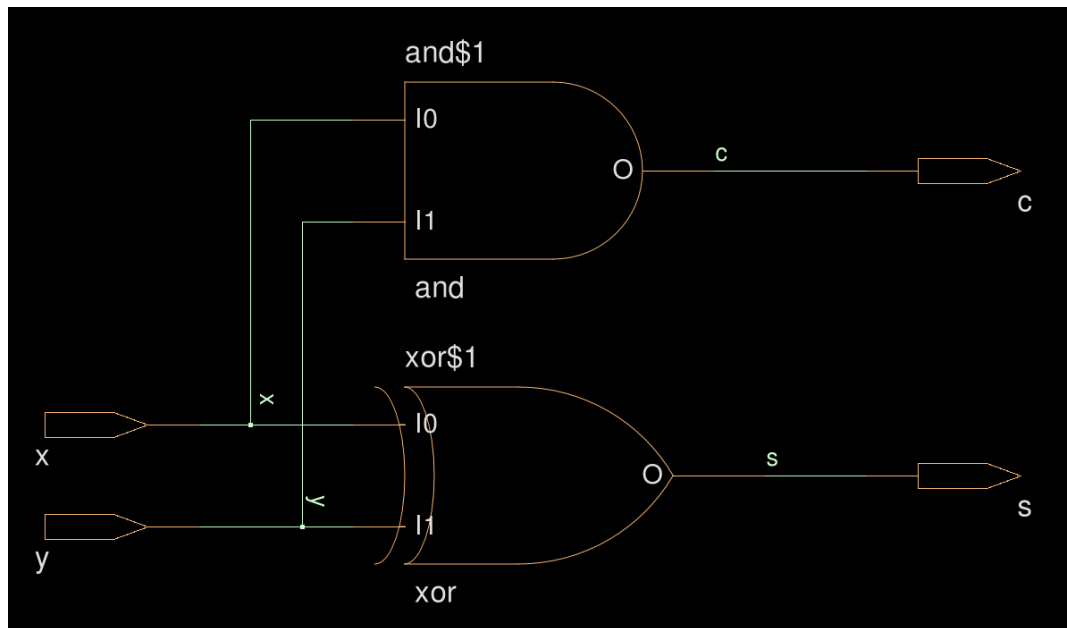


Fig. 6. Structure combinational 30-bit adder/subtractor 硬體架構圖中的全加器中的半加器的硬體架構圖

二、 模擬結果(波型及結果分析)

(一)Behavior

第 1 筆測資是 In_1、In_2 和 Sel 都是零 Out 也是 0，第 2 筆到第 5 筆是加法的測資 In_1 和 In_2 是四種正負組合、Sel 是 1、Out 是 In_1 和 In_2 相加，第 6 筆到第 9 筆是減法的測資 In_1 和 In_2 是四種正負組合、Sel 是 0、Out 是 In_1 和 In_2 相減，第 10 筆測資是兩個 30-bits 最大的數相加，第 11 筆測資是兩個 30-bits 最小的數相加，第 12 筆測資是 30-bits 最大的數減 30-bits 最小的數，第 13 筆測資是 30-bits 最小的數減 30-bits 最大的數，全部測資皆正確。

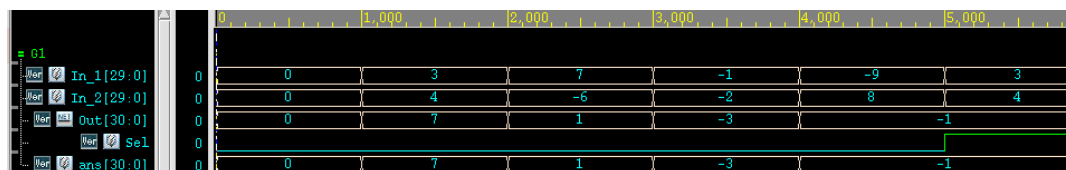


Fig. 7. Behavior combinational 30-bit adder/subtractor 的 testbench 中的前 6 筆測資

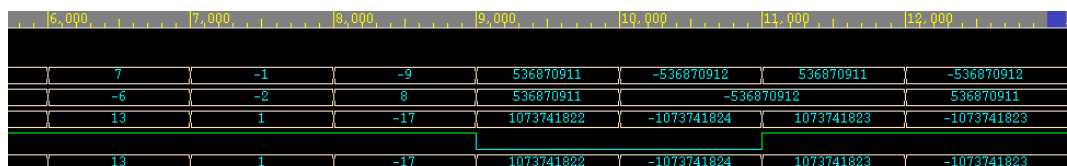


Fig. 8. Behavior combinational 30-bit adder/subtractor 的 testbench 中的後 7 筆測資

```

0      0,In_1=      0,In_2=      0,Sel=0,Out=      0,ans=
      Correct
7      10,In_1=     3,In_2=      4,Sel=0,Out=      7,ans=
      Correct
1      20,In_1=     7,In_2=     -6,Sel=0,Out=      1,ans=
      Correct
-3     30,In_1=    -1,In_2=     -2,Sel=0,Out=     -3,ans=
      Correct
-1     40,In_1=    -9,In_2=      8,Sel=0,Out=     -1,ans=
      Correct
-1     50,In_1=     3,In_2=      4,Sel=1,Out=     -1,ans=
      Correct
13     60,In_1=     7,In_2=     -6,Sel=1,Out=     13,ans=
      Correct
1      70,In_1=    -1,In_2=     -2,Sel=1,Out=      1,ans=
      Correct
-17    80,In_1=    -9,In_2=      8,Sel=1,Out=    -17,ans=
      Correct
1073741822 90,In_1= 536870911,In_2= 536870911,Sel=0,Out= 1073741822,ans=
      Correct
-1073741824 100,In_1= -536870912,In_2= -536870912,Sel=0,Out=-1073741824,ans=
      Correct
1073741823 110,In_1= 536870911,In_2= -536870912,Sel=1,Out= 1073741823,ans=
      Correct
-1073741823 120,In_1= -536870912,In_2= 536870911,Sel=1,Out=-1073741823,ans=
      Correct
$finish called from file "testbench.v", line 80.
$finish at simulation time      14000

```

Fig. 9. Behavior combinational 30-bit adder/subtractor 的測資全部正確

(二)Structure

第 1 筆測資是 In_1、In_2 和 Sel 都是零 Out 也是 0，第 2 筆到第 5 筆是加法的測資 In_1 和 In_2 是四種正負組合、Sel 是 1、Out 是 In_1 和 In_2 相加，第 6 筆到第 9 筆是減法的測資 In_1 和 In_2 是四種正負組合、Sel 是 0、Out 是 In_1 和 In_2 相減，第 10 筆測資是兩個 30-bits 最大的數相加，第 11 筆測資是兩個 30-bits 最小的數相加，第 12 筆測資是 30-bits 最大的數減 30-bits 最小的數，第 13 筆測資是 30-bits 最小的數減 30-bits 最大的數，全部測資皆正確。

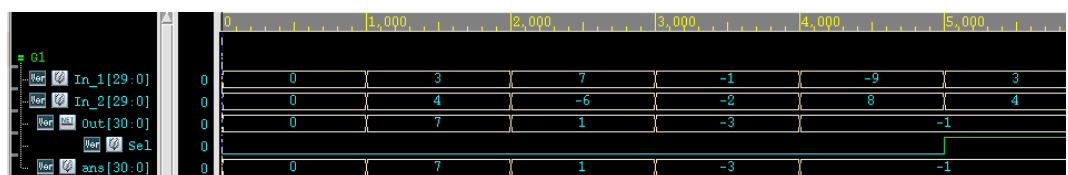


Fig. 10. Structure combinational 30-bit adder/subtractor 的 testbench 中的前 6 筆測資

	6,000	7,000	8,000	9,000	10,000	11,000	12,000
	7	-1	-9	536870911	-536870912	536870911	-536870912
	-6	-2	8	536870911	-536870912	536870911	536870911
	13	1	-17	1073741822	-1073741824	1073741823	-1073741823
	13	1	-17	1073741822	-1073741824	1073741823	-1073741823

Fig. 11. Structure combinational 30-bit adder/subtractor 的 testbench 中的後 7 筆測資

```

s=      0      0,In_1=      0,In_2=      0,Sel=0,Out=      0,an
          Correct
s=      7      10,In_1=      3,In_2=      4,Sel=0,Out=      7,an
          Correct
s=      1      20,In_1=      7,In_2=     -6,Sel=0,Out=      1,an
          Correct
s=     -3      30,In_1=     -1,In_2=     -2,Sel=0,Out=     -3,an
          Correct
s=     -1      40,In_1=     -9,In_2=      8,Sel=0,Out=     -1,an
          Correct
s=     -1      50,In_1=      3,In_2=      4,Sel=1,Out=     -1,an
          Correct
s=     13      60,In_1=      7,In_2=     -6,Sel=1,Out=     13,an
          Correct
s=      1      70,In_1=     -1,In_2=     -2,Sel=1,Out=      1,an
          Correct
s=    -17      80,In_1=     -9,In_2=      8,Sel=1,Out=    -17,an
          Correct
s= 1073741822  90,In_1= 536870911,In_2= 536870911,Sel=0,Out= 1073741822,an
          Correct
s=-1073741824 100,In_1= -536870912,In_2= -536870912,Sel=0,Out=-1073741824,an
          Correct
s= 1073741823 110,In_1= 536870911,In_2= -536870912,Sel=1,Out= 1073741823,an
          Correct
s=-1073741823 120,In_1= -536870912,In_2= 536870911,Sel=1,Out=-1073741823,an
          Correct
$finish called from file "testbench.v", line 80.
$finish at simulation time      14000

```

Fig. 12. Behavior combinational 30-bit adder/subtractor 的測資全部正確