

SEL-EESC-USP

Fontes, Espelhos de Corrente e Referências de Tensão

Aplicações em Circuitos MOS e Bipolares

P. R. Veronese
2013

1. Espelhos de Corrente de Wilson

Os espelhos de corrente de Wilson possuem as arquiteturas mostradas na Figura 1. A Figura 1a mostra a arquitetura convencional desse circuito e a Figura 1b exibe uma arquitetura um pouco mais evoluída. As análises desses circuitos são feitas a seguir.

1.1. Espelho de Wilson Bipolar Convencional

Suposições:

- Todos os transistores possuem o mesmo β .
- Os transistores Q_1 e Q_2 são casados, então possuem as mesmas correntes de coletor.

Assim:

$$I_{C1} = I_{C2} = I_C \quad \text{e} \quad I_{B1} = I_{B2} = I_B \quad (1.1)$$

As correntes de base e de emissor de Q_3 são dadas, respectivamente, por:

$$I_{B3} = \frac{I_{C3}}{\beta} = \frac{I_{esp}}{\beta} \quad (2.1)$$

e

$$I_{E3} = \frac{\beta+1}{\beta} \times I_{C3} \quad (3.1)$$

Pelo esquema da Figura 1a fica evidente que:

$$I_{E3} = I_{C2} + I_{B1} + I_{B2} \quad (4.1)$$

Usando-se as relações das Equações 1.1 e 4.1, obtém-se:

$$I_{E3} = I_C + 2I_B \quad (5.1)$$

Então:

$$I_{E3} = \left(1 + \frac{2}{\beta}\right) \times I_C \quad (6.1)$$

Substituindo-se pelo valor de I_{E3} , dado pela Equação 3.1, obtém-se:

$$\frac{\beta+1}{\beta} \times I_{C3} = \left(1 + \frac{2}{\beta}\right) \times I_C \quad \text{ou} \quad I_C = \frac{\beta+1}{\beta+2} \times I_{C3} \quad (7.1)$$

A corrente através de R_I vale:

$$I_{R1} = I_{C1} + I_{B3} \quad (8.1)$$

Mas, como $I_{C1} = I_{C2} = I_C$, então, usando-se as Equações 7.1, 8.1 e 2.1, obtém-se:

$$I_{R1} = \frac{\beta + 1}{\beta + 2} \times I_{C3} + \frac{I_{C3}}{\beta} \quad (9.1)$$

Então:

- Corrente de espelhamento (I_{esp}):

$$I_{esp} = \frac{(\beta + 2)\beta}{\beta^2 + 2\beta + 2} \times I_{R1} \quad (10.1)$$

Como, para $100 \leq \beta \leq 800$, vale a relação:

$$0,999804 \leq \frac{(\beta + 2)\beta}{\beta^2 + 2\beta + 2} \leq 0,999997$$

então:

$$I_{esp} \cong I_{R1} = \frac{V_{CC} - 2V_{BE}}{R_1} \quad (11.1)$$

Conclui-se, portanto, que o circuito da Figura 1a age como uma fonte de corrente constante ([constant current source](#)), mas que a corrente na carga é substancialmente dependente de V_{CC} e de R_1 . A dependência de V_{CC} pode ser eliminada usando-se uma tensão estabilizada de alimentação ou trocando-se R_1 por uma fonte de corrente elementar, com um *JFET*, por exemplo, fazendo com que $R_1 \rightarrow \infty$. Na dedução das Equações de 1.1 a 11.1, os efeitos Early dos transistores foram desconsiderados.

- Resistência interna do espelho (r_{oe}):

A resistência interna do espelho, vista pelo sinal AC no ramo de I_{esp} , pode atingir valores bem elevados se R_1 possuir um valor suficientemente grande. Se $R_1 \rightarrow \infty$, então:

$$r_{oe(max)} \cong \frac{\beta_3 r_{o3}}{2} \quad (12.1)$$

- Compliância do espelho (V_{ins}):

Compliância é a faixa de tensão que pode ser aplicada entre os terminais do espelho de modo que ele permaneça funcionando adequadamente. Nesse caso:

$$2V_{BE} \leq V_{ins} \leq V_{CE \max}(Q_3) \quad (13.1)$$

1.2. Espelho de Wilson Bipolar Melhorado

A figura 1b mostra um circuito melhorado do espelho de corrente de Wilson. Adicionando-se o transistor Q_4 ao circuito, a linearidade em correntes mais elevadas é melhorada. Isso acontece porque os transistores do espelho original (Q_1 e Q_2) ficam completamente isolados dos circuitos externos por Q_3 e por Q_4 .

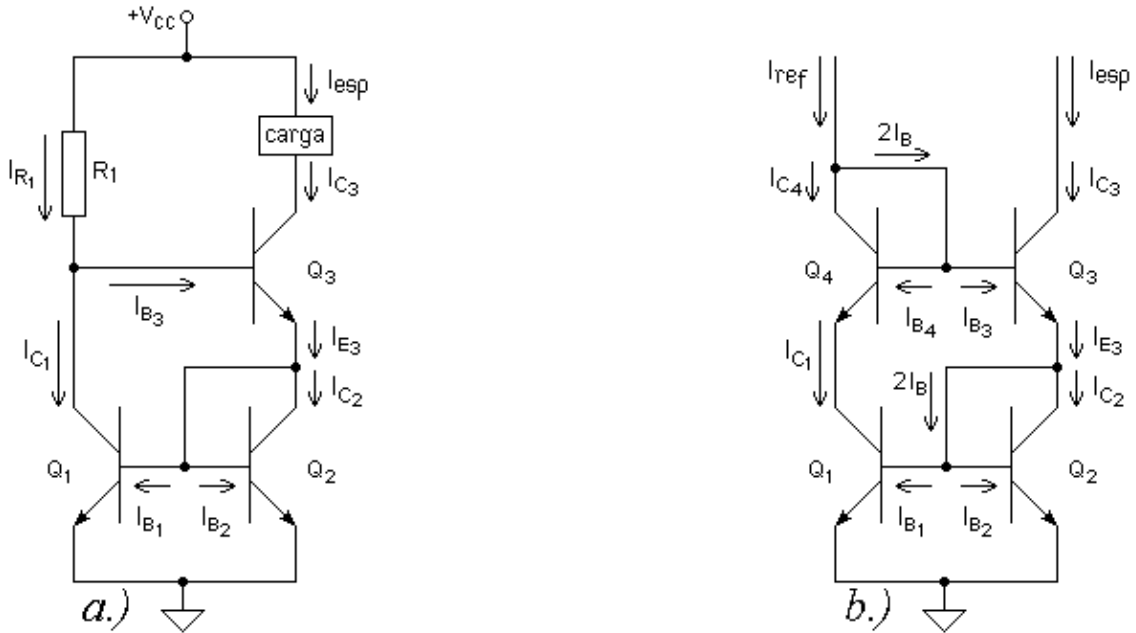


Figura 1 – Espelhos de Wilson. a.) Convencional. b.) Melhorado.

Assim as tensões V_{CE} 's de Q_1 e de Q_2 permanecem iguais a V_{BE} e praticamente suprimem o efeito Early sobre esses transistores, pela ausência de desbalanceamento de tensão entre eles [1]. As grandezas inerentes a esse circuito são as mesmas do circuito anterior, isto é, a corrente na carga (I_{esp}), a resistência interna (r_{oe}), vista pelo sinal AC, e a compliância (V_{ins}) continuam sendo calculadas, respectivamente, pelas Equações 10.1, 12.1 e 13.1.

2. Fonte de Corrente de Wilson Bipolar

Fontes ou sorvedouros de corrente constante possuem arquiteturas semelhantes às dos espelhos de corrente, mas exercem funções diferentes nos circuitos eletrônicos. São, na realidade, geradores de corrente com alta impedância interna. Uma variante do espelho de Wilson pode ser usada como fonte ou como sorvedouro de corrente de alto desempenho. As Figuras 2a e 2b mostram essas arquiteturas. A corrente da fonte (I_o), nesse caso, não é mais o espelhamento da corrente de polarização (I_{bias}), como no caso dos espelhos de corrente. A corrente I_o , agora, é gerada por uma referência de tensão interna, ou seja, a tensão entre a base e o emissor do transistor Q_2 . A corrente de polarização de Q_2 (I_{bias}) pode ser obtida, simplesmente, com a colocação de um resistor R_{ext} entre V_{CC} e o coletor de Q_2 . Nesse caso:

$$I_{bias} = \frac{2(V_{CC} - V_{BE})}{R_{ext}} \quad (1.2)$$

Outra opção é gerar I_{bias} através de outra fonte de corrente, como normalmente acontece em arquiteturas de circuitos integrados. Nesse caso, R_{ext} , visto pelo sinal AC, torna-se bem mais elevado, elevando, também, a resistência interna da fonte, pois r_{of} depende de R_{ext} .

- Corrente da fonte de corrente constante (I_o):

A corrente de fonte ou de sorvedouro é calculada pela Equação 2.2:

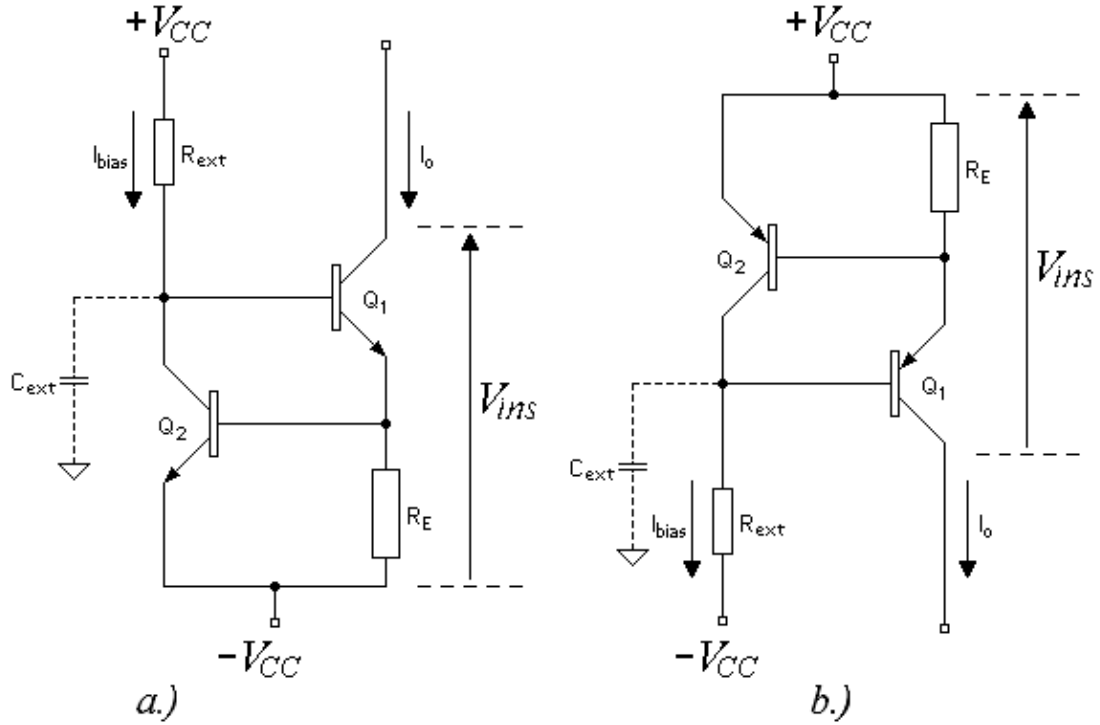


Figura 2 – a.) Fonte de Corrente de Wilson. b.) Sorvedouro de corrente de Wilson.

$$I_o \cong \frac{V_{BE2}}{R_E} \quad (2.2)$$

Como V_{BE} 's de transistores de silício possuem dependência térmica em torno de $-2 \text{ mV}/^\circ\text{C}$, a corrente da fonte possui um coeficiente térmico negativo.

- Resistência interna da fonte (r_{of}):

O cálculo da resistência interna da fonte, vista pelo sinal AC, não é trivial. Para esse cálculo, deve-se usar o modelo linearizado, para pequenos sinais e baixas frequências, mostrado na Figura 3. O equacionamento do circuito, relativamente complexo, resulta em um sistema de equações como a seguir. As grandezas elétricas são todas AC e o resistor R_{ext} pode ser muito elevado, se I_{bias} foi imposta através de uma fonte de corrente, ou nulo, se um capacitor de filtro foi adicionado em paralelo com ele. Tem-se, então, que:

$$v_{BE1} = -\frac{(1 + g_{m2}r_{o2}^*) \times r_{\pi1}}{r_{\pi1} + r_{o2}^*} \times v_{BE2} \quad (3.2)$$

$$v_{BE2} = \frac{(r_{\pi1} + r_{o2}^*) \times R_E^*}{(1 + g_{m2}r_{o2}^*) \times (1 + g_{m1}r_{\pi1}) \times r_{o1} \times R_E^* + (r_{\pi1} + r_{o2}^*) \times (r_{o1} + R_E^*)} \times v \quad (4.2)$$

$$R_E^* = \frac{R_E \times r_{\pi2}}{R_E + r_{\pi2}} \quad ; \quad r_{o2}^* = \frac{r_{o2} \times R_{ext}}{r_{o2} + R_{ext}} \quad (5.2)$$

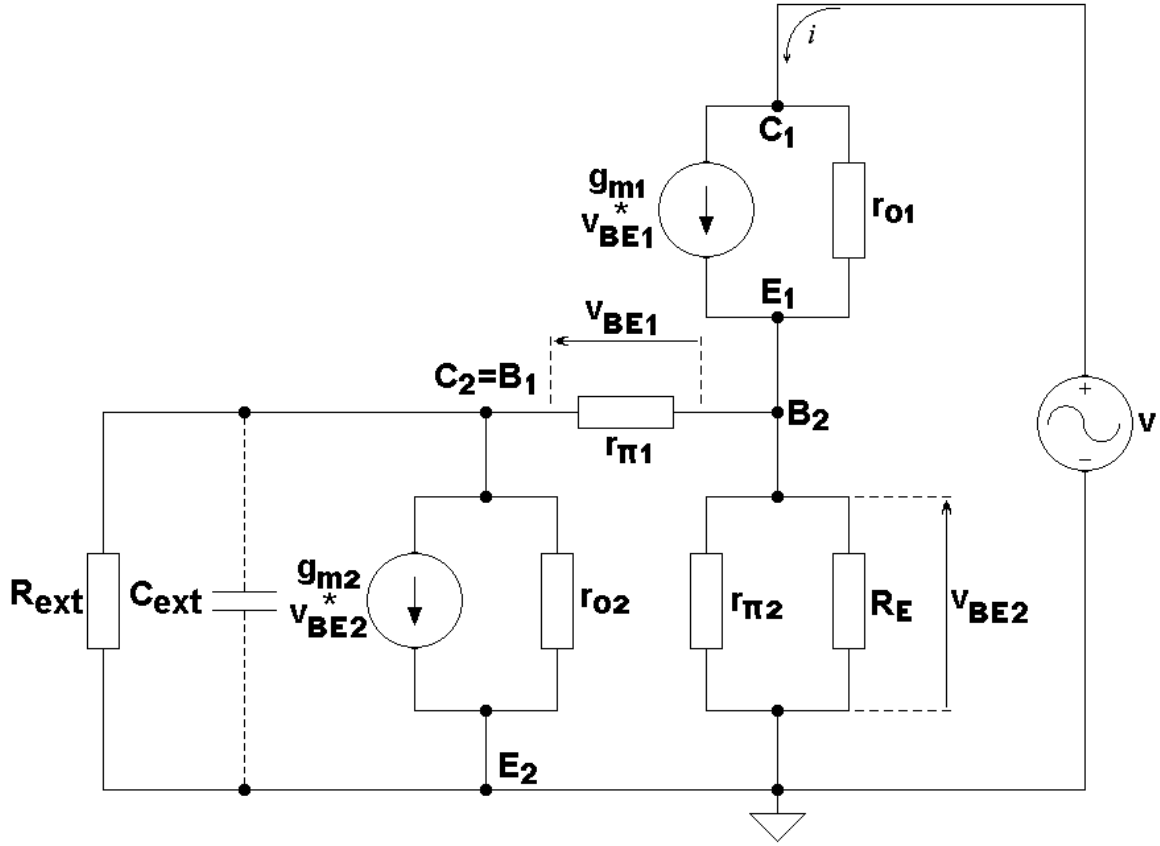


Figura 3 – Circuito Linearizado Equivalente aos Circuitos da Figura 2, para Pequenos Sinais e Baixas Frequências.

A resistência interna da fonte, vista pelo sinal AC no ramo de I_o , é calculada pelo equacionamento do circuito linearizado da Figura 3 e vale $R_{of} = v/i$. Como:

$$i = \frac{v_{BE2}}{R_E^*} - \frac{v_{BE1}}{r_{\pi1}}$$

Então, usando-se as relações dadas pelas Equações 3.2 e 4.2, chega-se ao valor:

$$r_{of} = \frac{(1 + g_{m2}r_{o2}^*) \times (1 + g_{m1}r_{\pi1}) \times r_{o1} \times R_E^* + (r_{\pi1} + r_{o2}^*) \times (r_{o1} + R_E^*)}{r_{\pi1} + r_{o2}^* + (1 + g_{m2}r_{o2}^*) \times R_E^*} \cong \beta_1 \times r_{o1} \quad (6.2)$$

A resistência r_{of} , dada pela Equação 6.2, é, portanto, a resistência interna das fontes de corrente constante das Figuras 2a e 2b, vista pelo sinal AC no ramo de I_o e é dependente de R_{ext} , por causa de r_{o2}^* calculada pela Equação 5.2. Se R_{ext} variar, então, as resistências internas das fontes variam, entre os extremos, segundo as Equações 7.2a e 7.2b.

$$r_{of(max)} = \frac{(1 + g_{m2}r_{o2}) \times (1 + g_{m1}r_{\pi1}) \times r_{o1} \times R_E^* + (r_{\pi1} + r_{o2}) \times (r_{o1} + R_E^*)}{r_{\pi1} + r_{o2} + (1 + g_{m2}r_{o2}) \times R_E^*} \quad \text{para } R_{ext} = \infty \quad (7.2a)$$

$$r_{of(min)} = r_{o1} + (1 + g_{m1}r_{o1}) \times R^* \quad \text{para } R_{ext} = 0 \quad (7.2b)$$

onde:

$$R^* = \frac{r_{\pi 1} r_{\pi 2} R_E}{(r_{\pi 1} + r_{\pi 2}) R_E + r_{\pi 1} r_{\pi 2}}$$

Deve-se lembrar que $R_{ext} \rightarrow \infty$ se for usada uma fonte de corrente de boa qualidade para gerar I_{bias} e que $R_{ext} = 0$ se for usado o capacitor de filtro C_{ext} . A aproximação $0,9 \times \beta_I \times r_{oI} \leq r_{of} \leq \beta_I \times r_{oI}$ é adequada para o cálculo da resistência da fonte se $R_{ext} > 1k\Omega$.

- Compliância da fonte:

A compliância, que é a máxima excursão de tensão suportada pela fonte de modo que ela trabalhe adequadamente, vale:

$$1,5V_{BE} \leq V_{ins} \leq V_{CE \max(Q1)}$$

Exemplo 1:

Suponha o circuito da Figura 2a com os seguintes dados: $V_{BE1} = V_{BE2} = 0,6$ V; $V_{AF1} = V_{AF2} = 35$ V; $\beta_1 = 500$; $\beta_2 = 489,9091$; $R_{ext} = 22$ k Ω ; $R_E = 1,2$ k Ω ; $+V_{CC} = 12$ V; $-V_{CC} = 0$ V e $V_{ins} = 12$ V. O equacionamento DC do circuito será, então:

$$\begin{aligned} \frac{V_{CC} - V_{BE1} - V_{BE2}}{R_{ext}} &= \frac{I_o}{\beta_1} + I_{C2} \\ I_{C2} = \beta_2 I_{B2} &= \frac{V_{CC} - V_{BE1} - V_{BE2}}{R_{ext}} - \frac{I_o}{\beta_1} \\ I_{E1} = \frac{\beta_1 + 1}{\beta_1} I_o &= \frac{V_{BE2}}{R_E} + I_{B2} \end{aligned}$$

\Rightarrow

$$I_o = \left(\frac{\beta_2 V_{BE2}}{R_E} + \frac{V_{CC} - V_{BE1} - V_{BE2}}{R_{ext}} \right) \times \frac{\beta_1}{\beta_1 \beta_2 + \beta_2 + 1}$$

Substituindo-se os dados numéricos fornecidos, obtém-se:

$$I_o = \left(\frac{489,9091 \times 0,6}{1200} + \frac{12 - 0,6 - 0,6}{22000} \right) \times \frac{500}{244,95455k + 489,9091 + 1}$$

\Rightarrow

$$I_o = 500 \mu A$$

Então, @ 27 °C:

	Q₁	Q₂
g_m [mA/V]	19,3312	18,9410
r_π [k Ω]	25,865	25,865
r_o [k Ω]	91,6	72,6665
β	500	489,9091

Usando-se a Equação 6.2 e as Equações 5.2, obtém-se, portanto, o cálculo numérico de r_{of} , que é a resistência interna da fonte de corrente constante, vista pelo sinal AC, aplicado entre o coletor de Q_1 e o terminal de terra. Então:

$$R_E^* = \frac{1200 \times 25,865k}{1200 \times 25,865k} = 1,1468 \text{ [k}\Omega\text{]} ; \quad r_{o2}^* = \frac{72,6665k \times 22k}{72,6665k \times 22k} = 16,887 \text{ [k}\Omega\text{]}$$

$$r_{of} = \frac{(1 + 319,86) \times (1 + 500) \times 91,6k \times 1,1468k + (25,865k + 16,887k) \times (91,6k + 1,1468k)}{25,865k + 16,887k + (1 + 319,86) \times 1,1468k}$$

\Rightarrow

$$\boxed{r_{of} = 41,124 \text{ M}\Omega}$$

Esse circuito, portanto, executa a função de uma fonte de corrente constante de $500 \mu A$ com alta resistência interna. Dependendo do valor de R_{ext} ($0 \leq R_{ext} \leq \infty$), essa resistência pode variar, segundo as Equações 7.2a e 7.2b, dentro da faixa: $2,037 \text{ M}\Omega \leq R_{of} \leq 43,2 \text{ M}\Omega$. O valor aproximado, normalmente usado por livros e textos de eletrônica, isto é, $R_{of} = \beta_1 \times r_{o1} = 45,8 \text{ M}\Omega$, apresenta um erro de $11,37 \%$ em relação ao valor calculado pela Equação 6.2. A compliância dessa fonte vale: $0,9 \text{ V} \leq V_{ins} \leq 30 \text{ V}$, para transistores de áudio de pequenos sinais. Para simular esse circuito no *SPICE*, pode-se usar os seguintes parâmetros de modelagem:

.model Q_1 npn($IS=32.1857662557f$ $BF=382.096057513$ $VA=35$).

.model Q_2 npn($IS=40.5718514871f$ $BF=481.652176494$ $VA=35$).

3. Fontes de Corrente MOS

As fontes e espelhos de corrente bipolares possuem circuitos equivalentes na tecnologia MOS, como mostrados a seguir.

3.1. Fonte de Corrente MOS Convencional

Fontes ou sorvedouros de corrente MOS convencionais são construídos com apenas um transistor de efeito de campo de porta isolada e com uma polarização fixa de porta, como mostram as Figuras 4a e 4b. A resistência degenerativa de fonte, R_S , é opcional. Os transistores são do tipo de enriquecimento e devem estar polarizados na região de saturação ou pântodo. Se $R_S \neq 0$, então:

$$-I_o + \frac{1}{2} \times \frac{W_n}{L_n} \times K_{pn} \times (V_G - V_B - R_S I_o - V_{Tn})^2 \times [1 + \lambda_n \times (V_{ins} - R_S I_o)] = 0 \quad (1.3a)$$

ou

$$-I_o + \frac{1}{2} \times \frac{W_p}{L_p} \times K_{pp} \times (V_A - V_G - R_S I_o - |V_{Tp}|)^2 \times [1 + \lambda_p \times (V_{ins} - R_S I_o)] = 0 \quad (1.3b)$$

Como os *MOSFET*'s precisam ser polarizados na região de saturação, então $V_{ins} - R_S I_o > |V_{Dsat}|$, e, portanto, $V_{ins(min)} = |V_{GS}| - |V_{To}| - R_S I_o$. A compliância da fonte vale, consequentemente:

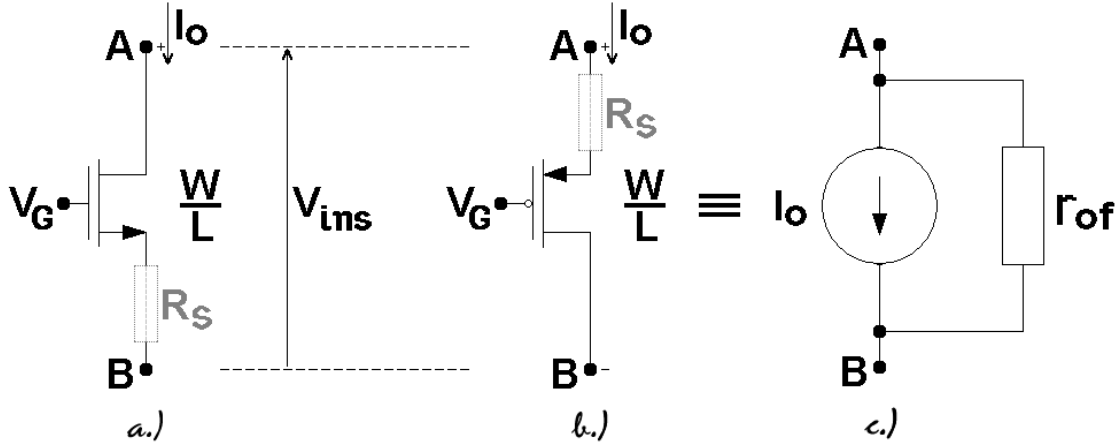


Figura 4 – Fontes de Corrente MOS Convencionais. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

$$V_{ins(min)} < V_{ins} < V_{DS(max)}$$

A resistência interna da fonte, vista pelo sinal AC em pequenos sinais e baixas frequências, vale:

$$r_{of} = r_{ds} + (1 + g_m r_{ds}) R_S \quad (2.3)$$

Onde:

$$g_m = \frac{2I_o}{|V_{Dsat}|} \quad \text{e} \quad r_{ds} = \frac{1 + \lambda V_{DS}}{\lambda I_o} \cong \frac{1}{\lambda I_o}$$

Se o resistor de fonte não for usado, isto é, $R_S = 0$, então, para cada transistor, vale::

$$|V_{GS}| = \sqrt{\frac{2LI_o}{WK_P(1 + \lambda V_{ins})}} + |V_{To}| \quad (3.3)$$

e

$$r_{of} = r_{ds} \cong \frac{1}{\lambda I_o} \quad (4.3)$$

3.2. Fonte de Corrente MOS Cascode

Percebe-se, pelas Equações 2.3 e 4.3, que a resistência interna da fonte aumenta significativamente se R_S for usado e tanto maior será o valor de r_{of} quanto maior for R_S . Em circuitos integrados, no entanto, os resistores devem ser evitados porque ocupam uma área de *chip* relativamente grande e são muito imprecisos, tanto no valor nominal quanto pelas variações térmicas, pois são construídos com silício. Nesse caso, os resistores devem ser substituídos por elementos ativos, como mostram as Figuras 5a e 5b. Esses circuitos são conhecidos como *cascode*. Os transistores M_2 fazem o papel do resistor R_S dos circuitos das Figuras 4a e 4b. São necessárias, neste caso, duas tensões de polarização (V_{G1} e V_{G2}).

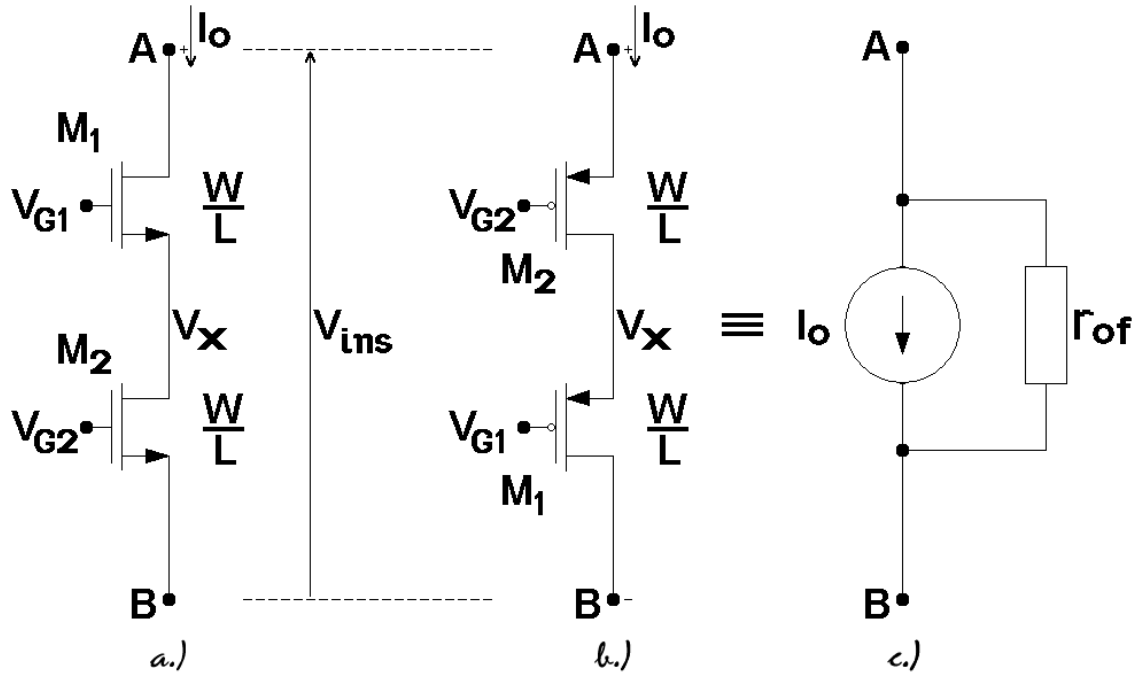


Figura 5 - Fontes de Corrente MOS Cascode. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

Considerando $W_1 = W_2 = W$, $L_1 = L_2 = L$, então:

$$I_o = \frac{1}{2} \times \frac{W}{L} \times K_{pn} \times (V_{G2} - V_{Tn})^2 \times (1 + \lambda_n V_X)$$

$$I_o = \frac{1}{2} \times \frac{W}{L} \times K_{pn} \times (V_{G1} - V_X - V_{Tn})^2 \times [1 + \lambda_n (V_{ins} - V_X)]$$

e

$$V_X = V_{G1} - V_{G2}$$

Consequentemente:

$$V_{G1} = \frac{2LI_o}{W\lambda_n K_{pn} (V_{G2} - V_{Tn})^2} - \frac{1}{\lambda_n} + V_{G2} \quad (5.3)$$

e

$$-I_o + \frac{1}{2} \times \frac{W}{L} \times K_{pn} \times (V_{G2} - V_{Tn})^2 \times [1 + \lambda_n (V_{ins} - V_{G1} + V_{G2})] = 0 \quad (6.3)$$

As Equações 5.3 e 6.3 formam um sistema de duas equações e duas incógnitas (V_{G1} e V_{G2}) que, a partir do estabelecimento de I_o e de V_{ins} , calcula as tensões de polarização que devem ser aplicadas às portas dos MOSFET's, para que essas grandezas sejam obtidas. Os parâmetros dos transistores (W , L , K_p , V_{To} e λ) são supostamente conhecidos. Para a fonte iniciar a estabilização de corrente o transistor M_2 deverá estar saturado. Portanto, para isso, $V_{ins} \geq V_{Dsat2}$. Para a resistência interna da fonte permanecer elevada, no entanto, os dois transistores devem estar na região de saturação. Então:

$$V_{ins} \geq V_{G1} - V_{Tn} \quad \text{ou} \quad V_{ins} \geq V_{Tp} + V_{DD} - V_{G1}$$

Por analogia com a Equação 2.3, determina-se que a resistência interna dessa fonte, vista por pequenos sinais AC e em baixas frequências, vale:

$$r_{of} = r_{ds1} + (1 + g_{m1}r_{ds1})R_S$$

⇒

$$\boxed{r_{of} = r_{ds1} + (1 + g_{m1}r_{ds1})r_{ds2}} \quad (7.3)$$

Os livros, em geral, trazem o valor $r_{of} \cong g_m r_{ds}^2$ como resistência interna dessa fonte.

Exemplo 2:

Suponha o circuito da Figura 5a com os seguintes dados: $L = W = 12\mu m$; $K_p = 80 \mu A/V^2$; $V_{To} = 1 V$; $\lambda = 0,02 V^{-1}$; $V_{ins} = 2,5 V$; $V_B = 0$ e $I_o = 10 \mu A$. Calcular V_{G1} ; V_{G2} ; V_X ; $V_{ins(min)}$ e r_{of} . Usando-se as Equações 5.3 e 6.3, tem-se:

$$V_{G1} = \frac{20\mu}{0,02 \times 80\mu \times (V_{G2} - 1)^2} - 50 + V_{G2} = \frac{12,5}{(V_{G2} - 1)^2} - 50 + V_{G2}$$

$$\text{e}$$

$$-10\mu + 40\mu \times (V_{G2} - 1)^2 \times [1 + 0,02(2,5 - V_{G1} + V_{G2})] = 0$$

⇒

$$\boxed{V_{G2} = 1,493865 V} \quad \text{e} \quad \boxed{V_{G1} = 2,743865 V}$$

$$V_X = V_{G1} - V_{G2} = 2,743865 - 1,493865 = 1,25 [V]$$

Como $V_{Dsat2} = 0,493865V$, para a fonte começar a estabilizar a corrente, $V_{ins(min)} \approx 0,5 V$. Como $V_{G1} = 2,743865 V$, então, para r_{of} se manter elevado:

$$\boxed{V_{ins(min)} = 1,743865 V}$$

Os parâmetros incrementais dos MOSFET 's valem:

$$g_{m1} = g_{m2} = \frac{20\mu}{0,493865} = 40,497 [\mu A/V] \quad \text{e} \quad r_{ds1} = r_{ds2} = \frac{1 + 0,02 \times 1,25}{0,02 \times 10\mu} = 5,125 [M\Omega]$$

Através da Equação 7.3 calcula-se:

$$r_{of} = 5,125M + (1 + 207,5467) \times 5,125M$$

⇒

$$\boxed{r_{of} = 1,07393 G\Omega}$$

4. Diodos MOS

4.1. Diodo MOS Convencional

Quando a porta e o dreno de um MOSFET de enriquecimento são curto-circuitados, ele recebe o nome de diodo MOS.

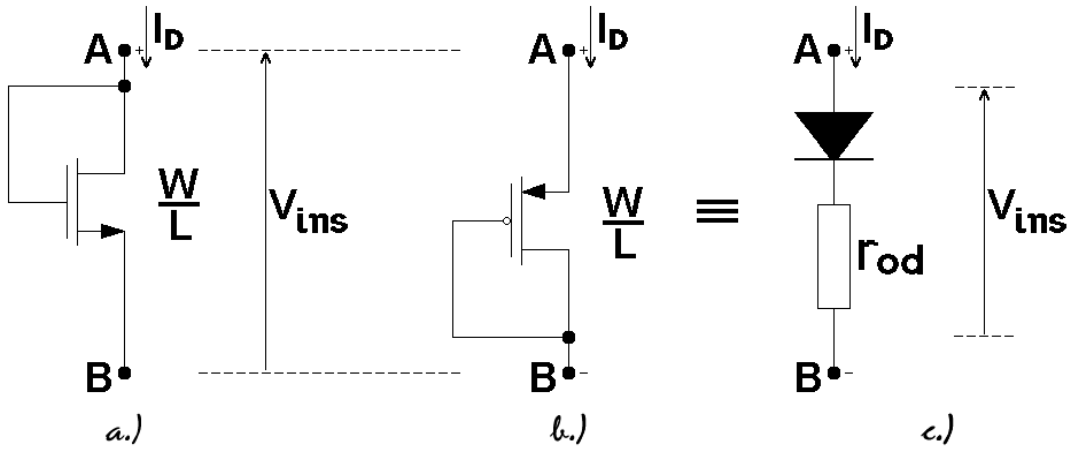


Figura 6 - Diodos MOS. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

Isso acontece porque o dispositivo passa a ter apenas dois terminais e passa a ter uma curva $I_D \times V_{DS}$ semelhante à de um diodo convencional em polarização direta. Como $V_{DS} = V_{GS} = V_{ins}$, o MOSFET, nessa situação, sempre estará polarizado na região de saturação ou pñtoto. As Figuras 6a e 6b exemplificam esse tipo de aplicação, para NMOS e para PMOS, respectivamente. As equações para esse tipo de componente valem:

$$I_D = \frac{1}{2} \times \frac{W}{L} \times K_P \times (V_{ins} - V_{To})^2 \times (1 + \lambda V_{ins}) \quad (1.4)$$

$$V_{ins} = V_{Dsat} + V_{To} \quad \text{e} \quad V_{ins(min)} > 2V_{To} \quad (2.4)$$

e

$$r_{od} = \frac{r_{ds}}{1 + g_m r_{ds}} \cong \frac{1}{g_m} \quad (3.4)$$

4.2. Diodo MOS Cascode

Empilhando-se dois diodos MOS convencionais obtém-se um subcircuito conhecido como diodo MOS cascode. As Figuras 7a e 7b exemplificam esse tipo de aplicação, para transistores NMOS e para transistores PMOS, respectivamente. As equações para esse tipo de componente valem:

$$I_D = \frac{1}{2} \times \frac{W}{L} \times K_P \times (0,5V_{ins} - V_{To})^2 \times (1 + 0,5\lambda V_{ins}) \quad (4.4)$$

$$V_{ins} = 2 \times (V_{Dsat} + V_{To}) \quad \text{e} \quad V_{ins(min)} > 2V_{To} \quad (5.4)$$

e

$$r_{od} = \frac{2r_{ds}}{1 + g_m r_{ds}} \cong \frac{2}{g_m} \quad (6.4)$$

Os diodos MOS são usados como geradores de tensões de referência em circuitos analógicos MOS ou CMOS.

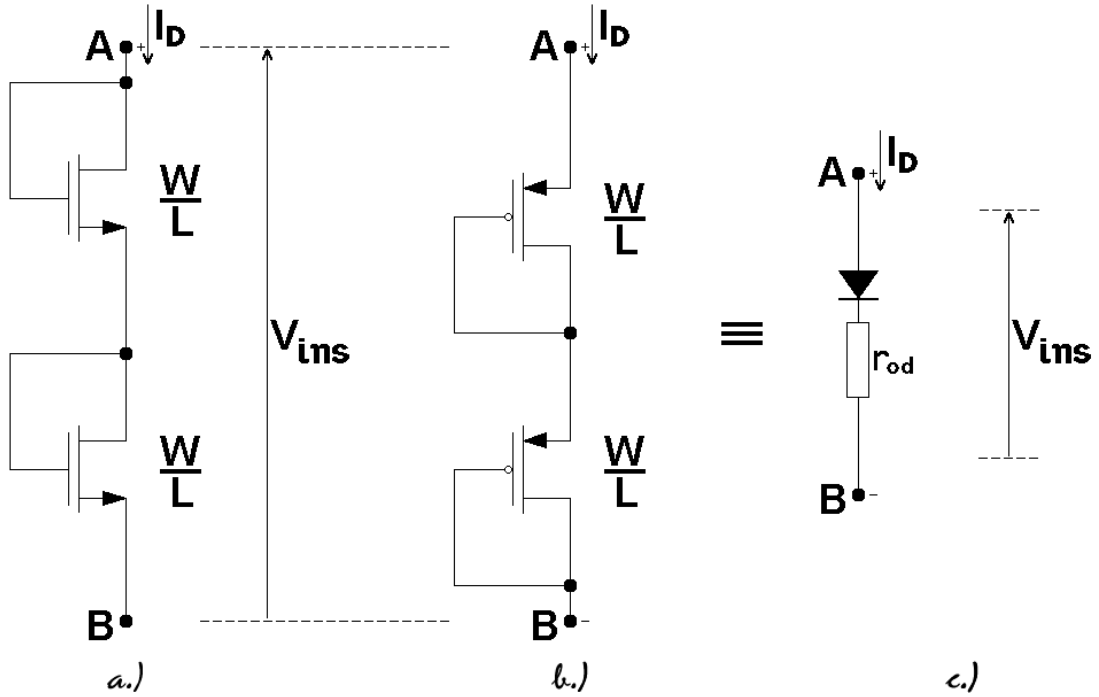


Figura 7 - Diodos *MOS Cascode*. a.) *NMOS*. b.) *PMOS*. c.) Circuito Equivalente.

As tensões V_{G1} e V_{G2} , mostradas nos circuitos da Figura 5, por exemplo, podem ser estabelecidas através da colocação de diodos *MOS* na configuração *cascode*, acoplados às portas de M_1 e de M_2 . Dependendo do modo como são ligados às fontes de corrente, os diodos *MOS* podem formar com elas outra família de subcircuitos analógicos chamados espelhos de corrente *MOS*.

5. Espelhos de Corrente *MOS*

5.1. Espelho de Corrente *MOS* Convencional

As Figuras 8a e 8b apresentam topologias de espelhos de corrente *MOS* convencionais construídas com transistores *NMOS* e *PMOS*, respectivamente. O diodo *MOS* (M_2) serve como gerador de tensão de referência para M_1 , que funciona como uma fonte de corrente. Como $V_{GS1} = V_{GS2} = V_{GS}$, se os transistores forem casados, então:

$$I_{esp} = \frac{1 + \lambda V_{DS1}}{1 + \lambda V_{DS2}} \times I_{ref} \quad (1.5)$$

Então, como demonstra a Equação 1.5, uma corrente aplicada no ramo do diodo *MOS* é espelhada por uma razão 1:1 se $V_{DS1} = V_{DS2}$ ou se o coeficiente de modulação de comprimento de canal (λ) for muito pequeno, isto é, se os *MOSFET* 's possuírem canais longos ($L > 2\mu m$). A razão de espelhamento também pode ser alterada desigualando-se as larguras dos canais dos *MOSFET* 's, ou seja:

$$I_{esp} = \frac{W_1}{W_2} \times \frac{1 + \lambda V_{DS1}}{1 + \lambda V_{DS2}} \times I_{ref} \quad (2.5)$$

As mínimas tensões de inserção que podem ser aplicadas em cada *MOSFET* são:

$$V_{DS1(min)} = V_{GS} - V_{To} \quad \text{e} \quad V_{DS2(min)} = V_{GS} > V_{To}$$

As resistências internas dos ramos dos circuitos, vistas por pequenos sinais AC e em baixas frequências, são diferentes nos ramos de referência e de espelhamento, como já foi visto nas Secções 3 e 4. Então:

- Resistência interna do ramo de referência:

$$r_{oe} = \frac{(1 + g_m r_{od}) r_{ds}}{2} \cong r_{ds} \quad (4.5)$$

Os espelhos de corrente são usados para polarizar os vários estágios de amplificadores analógicos ou como cargas ativas dos mesmos. Nesse caso, portanto, é interessante que a resistência interna do ramo de espelhamento seja a maior possível. Como $r_{ds} \cong 1 / \mu_{esp}$ nunca é muito elevada, topologias mais sofisticadas de espelhos devem ser usadas em circuitos de alto desempenho. Algumas dessas topologias serão vistas a seguir.

5.2. Espelho de Corrente MOS Cascode

As Figuras 9a e 9b apresentam topologias de espelhos de corrente MOS do tipo *cascode* construídas com transistores NMOS e PMOS, respectivamente. Como foi visto na Secção 3b, os transistores M_3 fazem o papel de R_S para os transistores M_1 , aumentando, consequentemente a impedância interna do ramo de espelhamento. Além disso, os transistores M_3 e M_4 , que são realmente os responsáveis pelo espelhamento da corrente, ficam isolados do circuito externo e, portanto, $V_{GS3} = V_{GS4}$ e $V_{DS3} \cong V_{DS4}$, sempre. Esse fato faz com que $I_{esp} = I_{ref}$, se $V_{DS1} = V_{DS3}$. Mesmo com grandes desequilíbrios entre V_{DS1} e V_{DS3} , no entanto, o espelhamento se mantém razoavelmente preciso, devido ao isolamento de M_3 e de M_4 em relação ao circuito exterior. As resistências internas dos braços do circuito, vistas por pequenos sinais AC em baixas frequências, valem:

- Resistência interna do ramo de referência:

$$r_{od} = \frac{2r_{ds}}{1 + g_m r_{ds}} \cong \frac{2}{g_m} \quad (5.5)$$

- Resistência interna do ramo de espelhamento:

$$r_{oe} = r_{ds1} + (1 + g_{m1} r_{ds1}) \times r_{ds3} \cong g_{m1} r_{ds1}^2 \quad (6.5)$$

O espelho apresenta, portanto, alta impedância vista no ramo do espelhamento e baixa impedância vista no ramo de referência. A única deficiência séria desse tipo de espelho é a baixa compliância. A mínima tensão V_{ins} que pode ser aplicada ao espelho, de modo que ele continue espelhando a corrente, é relativamente elevada, limitando a sua aplicação em baixas tensões. As tensões mínimas, que podem ser aplicadas ao espelho, valem:

- No ramo de referência:

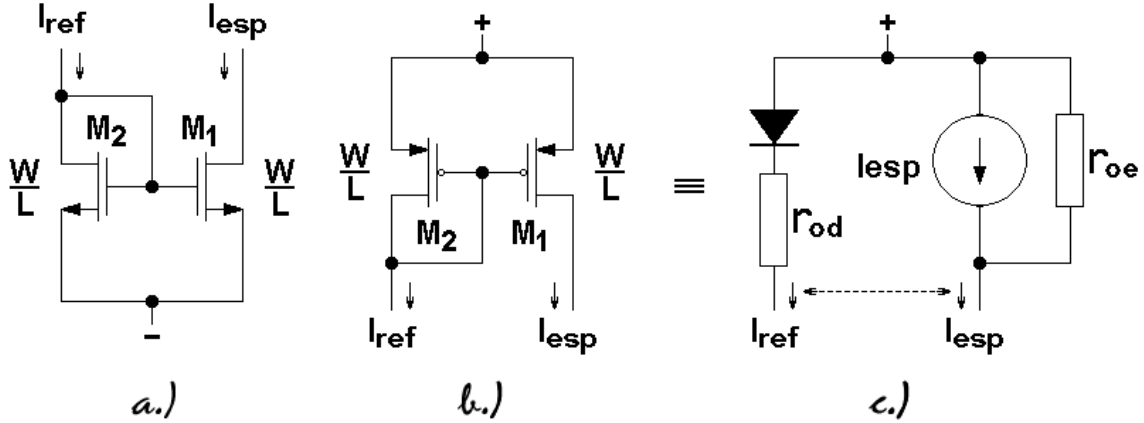


Figura 8 - Espelhos de Corrente MOS Convencionais. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

$$V_{ref(min)} = 2(V_{Dsat} + V_{To}) \quad (7.5)$$

- No ramo de espelhamento:

$$V_{ins(min)} > V_{DS3} + V_{Dsat1} \cong 2 V_{Dsat} + V_{To} \quad (8.5)$$

5.3. Espelho de Corrente MOS Cascode de Grande Excursão

Para contornar o problema da baixa excursão e, conseqüentemente, da baixa compliância, algumas arquitetura de espelhos foram desenvolvidas. Arquiteturas bastante usuais são apresentadas nas Figuras 10a e 10b, com transistores NMOS e PMOS, respectivamente. O segredo dessa estrutura é manter $V_{DS3} \cong V_{Dsat3}$. Como $V_{ins(min)} > V_{DS3} + V_{Dsat1} \cong 2 V_{Dsat}$, a excursão fica $|V_{To}|$ volts maior do que no caso anterior, na qual $V_{DS3} = V_{Dsat3} + V_{To}$. A ligação da porta de M_4 ao dreno de M_2 e a introdução de M_5 , quatro vezes mais resistivo do que os outros MOSFET's, devem garantir que $V_{DS3} \cong V_{Dsat3}$. O transistor M_5 foi colocado para gerar a tensão de polarização V_b , entre as portas de M_1 e de M_2 e a alimentação. A corrente de polarização de M_5 deve ser $I_5 \cong 2I_{ref}$. Assim como no caso anterior, $I_{esp} \cong I_{ref}$. A resistência interna do braço do espelhamento possui o mesmo valor do caso anterior, ou:

$$r_{oe} = r_{ds1} + (1 + g_{m1} r_{ds1}) \times r_{ds3} \cong g_m r_{ds}^2 \quad (9.5)$$

A resistência interna vista no braço da referência, nesse caso, vale:

$$r_{od} \cong \frac{1}{g_{m2}} \quad (10.5)$$

A mínima tensão de inserção que pode ser aplicada aos circuitos da Figura 10 é teoricamente igual a $2V_{Dsat}$. Calculando-se mais rigorosamente, tem-se que $V_{ins(min)} > V_{DS3} + V_{Dsat1}$, ou seja:

$$V_{ins(min)} > V_b - V_{To} = V_{Dsat5} \quad (11.5)$$

Exemplo 3:

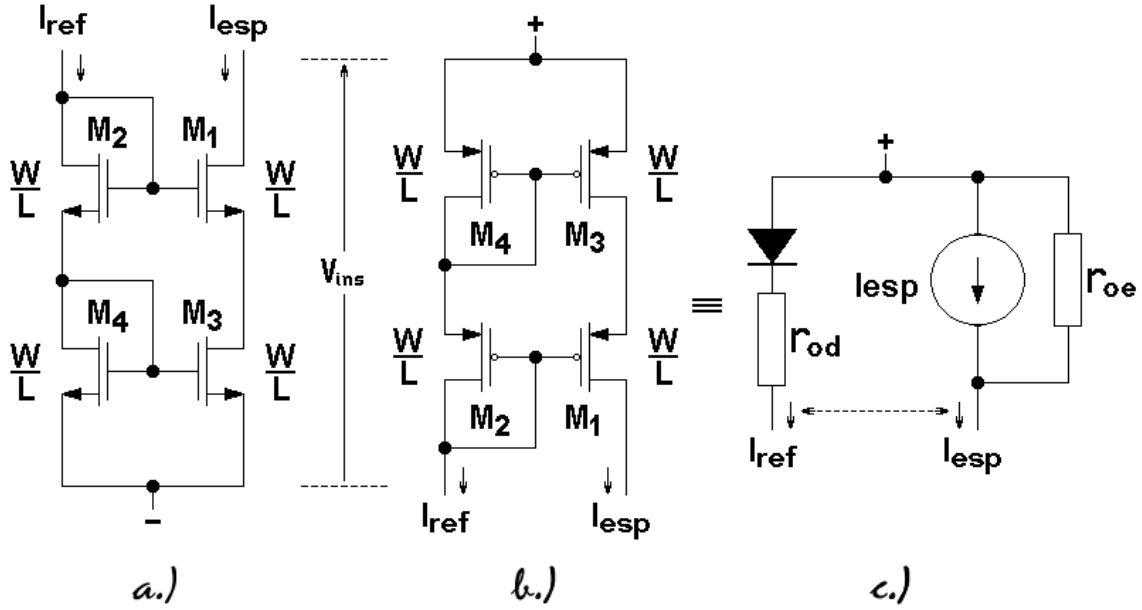


Figura 9 - Espelhos de Corrente MOS Cascode. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

Os circuitos das Figuras 11a e 11b foram projetados para espelhar uma corrente de $20 \mu\text{A}$ com uma tensão de inserção típica de $2,5 \text{ V}$. Analisar os circuitos.

Dados: $K_P = 79,7094 \mu\text{A/V}^2$; $V_{To} = 1 \text{ V}$ e $\lambda = 0,02 \text{ V}^{-1}$. W e L são dados em μm .

- Espelho cascode:

O circuito da Figura 11a é um espelho de corrente NMOS cascode convencional construído com quatro transistores supostamente casados. Então, graças ao casamento de parâmetros entre os transistores, $V_{GS2} = V_{GS4} = V_{DS2} = V_{DS4}$. A corrente injetada externamente no dreno de M_2 , $I_{ref} = 20 \mu\text{A}$, determina as seguintes tensões quiescentes sobre os transistores do ramo de referência:

$$20\mu = \frac{1}{2} \times \frac{94}{12} \times 79,7094\mu \times (V_{GS} - 1)^2 \times (1 + 0,02 \times V_{GS})$$

\Rightarrow

$$V_{GS2} = V_{GS4} = V_{DS2} = V_{DS4} = 1,25 \text{ V} = V_{ins}/2$$

Por simetria, $V_{GS1} = V_{GS3} = V_{DS1} = V_{DS3} = 1,25 \text{ V} = V_{ins}/2$. Então $I_{esp} = I_{ref} = 20 \mu\text{A}$. Se V_{ins} mudar pela ação de um circuito externo, V_{DS1} também mudará proporcionalmente e irá alterar I_{esp} levemente, devido ao termo λV_{DS1} , contido na equação de I_D . A tensão de inserção mínima para esse circuito vale, teoricamente, $V_{ins(min)} = 1,5 \text{ V}$, isto é, se a tensão entre o dreno de M_1 e o terminal de terra cair abaixo de $1,5 \text{ V}$, o espelho começará a não espelhar corretamente a corrente. Esse é, portanto, um espelho de baixa compliância. Os parâmetros incrementais dos transistores valem:

$$g_m = \frac{40\mu}{0,25} = 160 [\mu\text{A/V}] \quad \text{e} \quad r_{ds} = \frac{1 + 0,02 \times 1,25}{0,02 \times 20\mu} = 2,5625 [\text{M}\Omega]$$

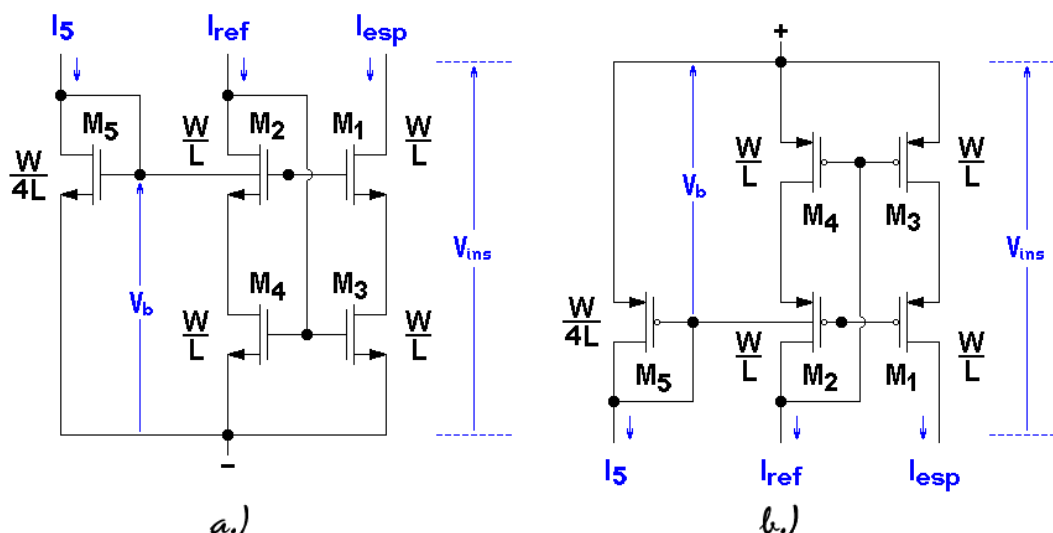


Figura 10 - Espelhos de Corrente MOS Cascode de Grande Excursão. a.) NMOS. b.) PMOS.

As resistências internas dos braços do espelho, vistas por pequenos sinais e em baixas frequências, valem:

$$r_{od} = \frac{2r_{ds}}{1 + g_m r_{ds}} = \frac{2 \times 2,5625 M}{1 + 160 \times 2,5625} = 12,47 \quad [\text{k}\Omega]$$

$$r_{\rho e} = r_{ds1} + (1 + g_{m1} r_{ds1}) \times r_{ds3} = 2,5625M + (1 + 160 \times 2,5625) \times 2,5625M \text{ [G}\Omega\text{]}$$

$$r_{oe} = 1,05575 \text{ } G\Omega$$

O espelho da Figura 11a apresenta, portanto, uma ótima precisão de espelhamento de corrente (1:1) e uma impedância de entrada muito alta no ramo de espelhamento ($1\text{ }G\Omega$).

Apresenta, ainda, uma variação de corrente muito baixa em função da variação de V_{ins} , isto é, $19,999 \mu A < I_{esp} < 20,0023 \mu A$ para $1,5 V < V_{ins} < 5V$, com $I_{ref} = 20 \mu A$. A única deficiência desse espelho é a compliância, pois a mínima tensão que pode ser aplicada sobre ele, antes que o espelhamento seja degenerado, é igual a $1,5V$, limitando a excursão de sinal sobre o mesmo, pois idealmente $V_{ins(min)}$ deveria ser zero.

- Espelho *cascode* de grande excursão:

O espelho de corrente apresentado na Figura *11b* tem a pretensão de aumentar a excursão de sinal que pode ser aplicado sobre ele, mantendo as outras características praticamente imutáveis em relação ao circuito da Figura *11a*. As três correntes (I_5 , I_{ref} e I_{esp}) são aplicadas por circuitos externos e, portanto, são conhecidas ou desejadas. Então, para M_5 , tem-se que:

$$40\mu = \frac{1}{2} \times \frac{94}{48} \times 79,7094\mu \times (V_b - 1)^2 \times (1 + 0,02 \times V_b)$$

$$V_b = 1,704 \text{ V}$$

No ramo de referência, respectivamente para M_4 e para M_2 , tem-se que:

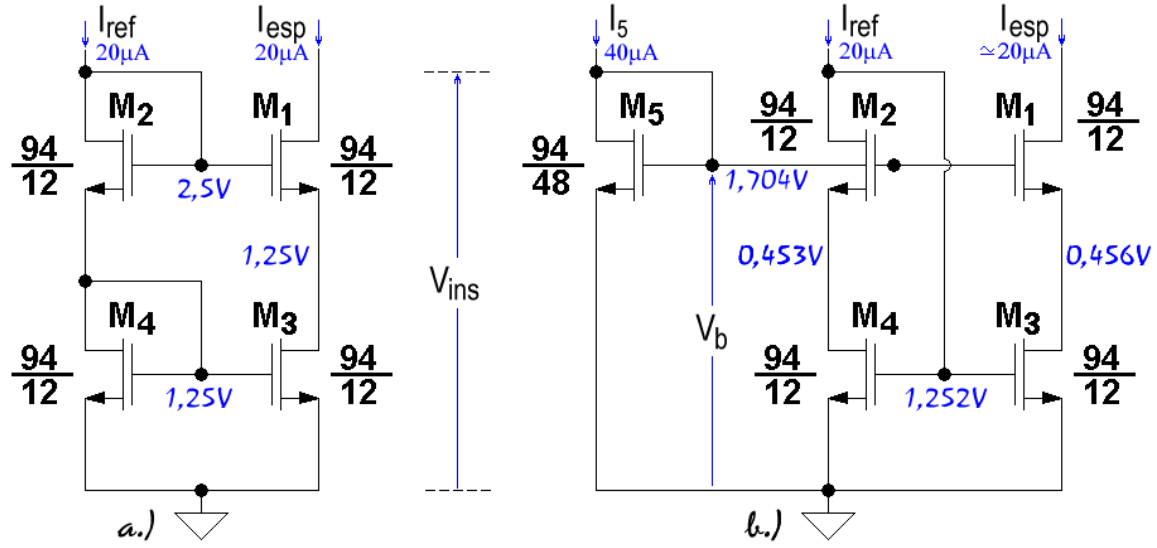


Figura 11 – Espelhos de Corrente MOS. a.) Cascode. b.) Cascode de Grande Excursão.

$$V_{DS4} = \frac{2I_{ref}L}{W\lambda K_P \times (V_{GS4} - V_{To})^2} - \frac{1}{\lambda}$$

e

$$-I_{ref} + \frac{1}{2} \times \frac{W}{L} \times K_P \times (V_b - V_{DS4} - V_{To})^2 \times [1 + \lambda(V_{GS4} - V_{DS4})]$$

Então:

$$V_{DS4} = \frac{480\mu}{149,8536\mu \times (V_{GS4} - 1)^2} - 50$$

e

$$-20\mu + 312,1952\mu \times (0,704 - V_{DS4})^2 \times [1 + 0,02 \times (V_{GS4} - V_{DS4})]$$

⇒

$$V_{GS4} = 1,25197 \text{ V} \quad \text{e} \quad V_{DS4} = 0,45289 \text{ V}$$

Esses valores estão anotados no circuito da Figura 11b.

No ramo de espelhamento, respectivamente para M_3 e para M_1 , tem-se que:

$$V_{DS3} = \frac{2I_{esp}L}{W\lambda K_P \times (V_{GS4} - V_{To})^2} - \frac{1}{\lambda}$$

e

$$-I_{esp} + \frac{1}{2} \times \frac{W}{L} \times K_P \times (V_b - V_{DS3} - V_{To})^2 \times [1 + \lambda(V_{ins} - V_{DS3})]$$

Então:

$$V_{DS3} = \frac{24\mu \times I_{esp}}{149,8536\mu \times (V_{GS4} - 1)^2} - 50$$

e

$$-I_{esp} + 312,1952\mu \times (0,704 - V_{DS3})^2 \times [1 + 0,02 \times (2,5 - V_{DS3})]$$

⇒

$$\boxed{I_{esp} = 20,0012 \mu A} \quad \text{e} \quad V_{DS3} = 0,45590 V$$

Esses valores estão anotados no circuito da Figura 11b.

As grandezas AC que envolvem M_1 e M_3 são:

$$V_{Dsat1} = V_b - V_{DS3} - V_{To} = 1,704 - 0,4559 - 1 = 0,2481 V$$

$$V_{Dsat3} = V_{GS4} - V_{To} = 1,25197 - 1 = 0,25197 V$$

$$g_{m1} = \frac{2 \times 20,0012 \mu}{0,2481} = 161,2396 [\mu A/V]$$

$$r_{ds1} = \frac{1 + 0,02 \times (2,5 - 0,4559)}{0,02 \times 20,0012 \mu} = 2,602 [M\Omega]$$

$$r_{ds3} = \frac{1 + 0,02 \times 0,4559}{0,02 \times 20,0012 \mu} = 2,523 [M\Omega]$$

Portanto:

$$r_{oe} = r_{ds1} + (1 + g_{m1} r_{ds1}) \times r_{ds3} = 2,602 M + (1 + 161,2396 \times 2,602) \times 2,523 M$$

⇒

$$\boxed{r_{oe} = 1,0635 G\Omega}$$

A tensão de inserção mínima para esse circuito vale, teoricamente, $V_{ins(min)} = V_{Dsat1} + V_{Dsat3} = 0,2481 + 0,25197 = 0,5 V$. A partir de uma investigação mais apurada, determina-se, porém, que a corrente de espelhamento começa a se deteriorar, como mostra a Equação 11.5, no ponto:

$$V_{ins(min)} > V_b - V_{To} = V_{Dsat5} = 1,704 - 1 = 0,704 V$$

Se V_{ins} chegar a cair para 0,5 V, a corrente de espelhamento cai para $19,97 \mu A$ (-0,16%), que é um valor totalmente aceitável. Então, $V_{ins(min)} = 2V_{Dsat}$ pode ser usado com boa precisão no cálculo da compliância desse espelho. Esse é, portanto, um espelho de compliância superior ao espelho *cascode* convencional e permite uma excursão total de $4,0 V_{pk-pk}$ em torno de $V_{ins} = 2,5 V$, sem afetar significativamente a corrente de espelhamento. O espelho *cascode*, analisado anteriormente, permite uma excursão máxima de $2,0 V_{pk-pk}$ em torno de $V_{ins} = 2,5 V$. As outras características, incluindo o r_{oe} , são as mesmas para os dois tipos de espelho. A resistência interna, vista no ramo de referência, é diferente do caso anterior e vale, segundo a Equação 10.5:

$$r_{od} \cong \frac{1}{g_{m2}} = \frac{1,704 - 0,45289 - 1}{40 \mu} = 6,28 [k\Omega]$$

5.4. Espelho de Corrente MOS *Cascode* Autopolarizado

Para simplificar um pouco os circuitos das Figuras 10a e 10b, podem ser usados os circuitos das Figuras 12a e 12b. Esses circuitos, apesar de possuírem um resistor R a mais, possuem um *MOSFET* a menos e a supressão da corrente de referência auxiliar I_5 . Para se conseguir a autopolarização, o resistor R foi adicionado de modo que:

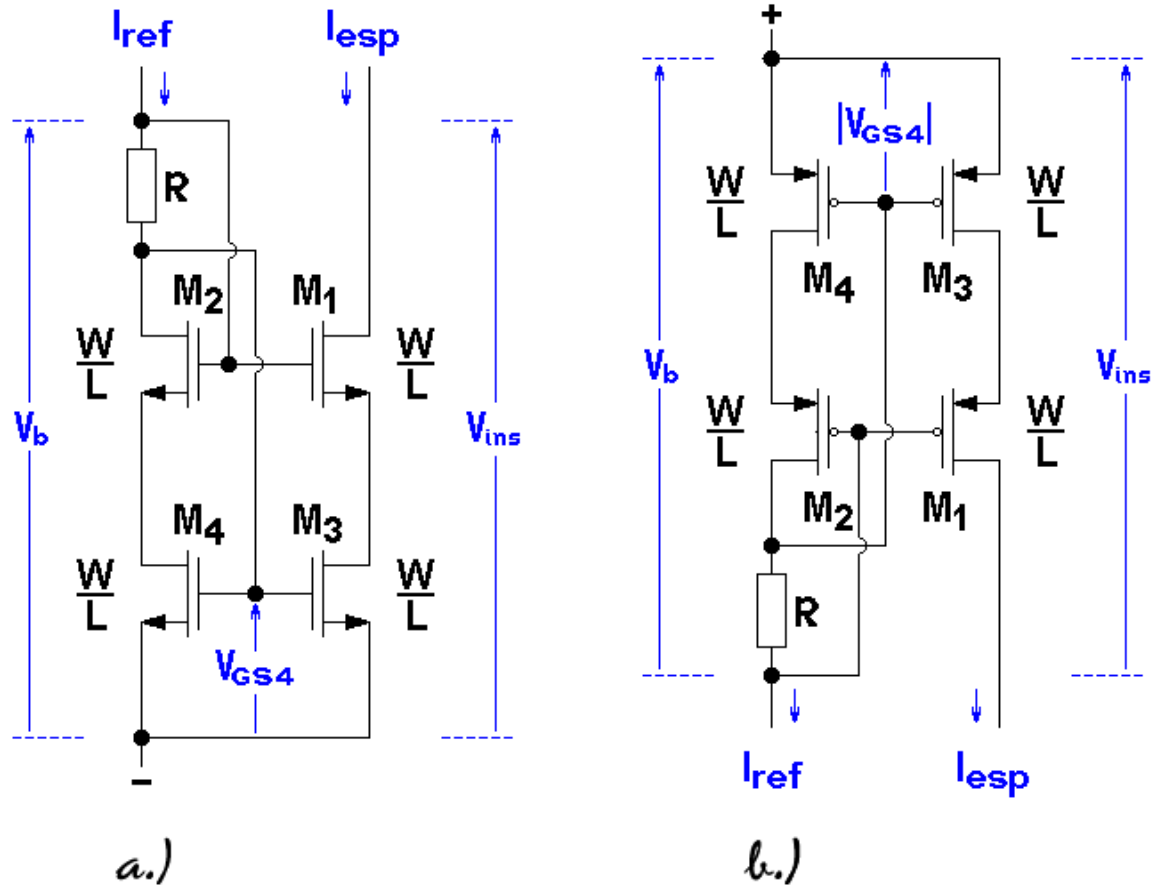


Figura 12 – Espelhos Cascode Autopolarizados. a.) NMOS. b.) PMOS.

$$R = \frac{V_b - V_{GS4}}{I_{ref}} \quad (12.5)$$

As tensões V_b e V_{GS4} e a corrente I_{ref} são análogas às dos circuitos das Figuras 10a e 10b. Se esse circuito fosse uma réplica do circuito da Figura 11b, então $R = 22,6 \text{ k}\Omega$. O resistor R pode ser substituído por um resistor ativo construído com um diodo MOS. Todas as demais características, incluindo r_{oe} e $V_{ins(min)}$, são idênticas às dos circuitos das Figuras 10a e 10b, exceto r_{od} que vale:

$$r_{od} \cong \frac{1}{g_{m2}} + R \quad (13.5)$$

5.5. Espelho de Corrente de Wilson MOS

Uma variante alternativa ao espelho cascode é o espelho de Wilson, apresentado na Figura 13. A única diferença na arquitetura dos dois espelhos está na ligação dos transistores M_4 e M_3 . No espelho de Wilson, o transistor M_4 é ligado como diodo MOS, ao invés de M_3 . Esse procedimento faz com que as tensões sobre os transistores fiquem mais uniformemente distribuídas. A compliância do espelho, no entanto, é igual à do espelho cascode.

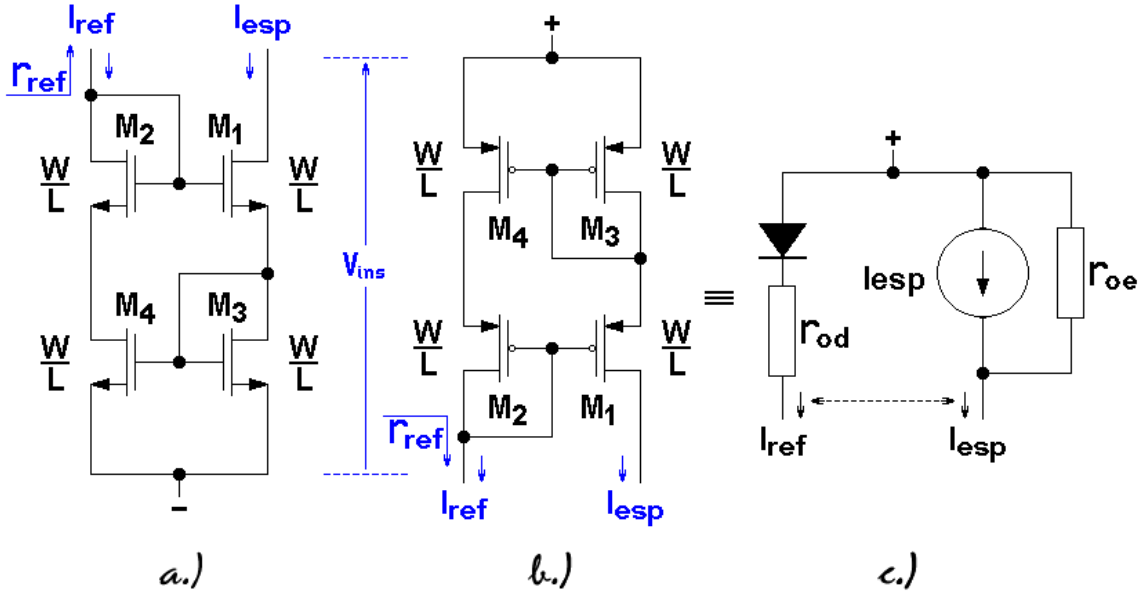


Figura 13 - Espelhos de Corrente de Wilson MOS. a.) NMOS. b.) PMOS. c.) Circuito Equivalente.

Então, a mínima tensão que pode ser aplicada ao espelho ($V_{ins(min)}$), de modo que ele continue a apresentar alta impedância no ramo de I_{esp} , vale:

$$V_{ins(min)} < 2 \times V_{Dsat} + V_{To} \quad (14.5)$$

As demais características desse espelho podem ser consideradas praticamente as mesmas do *cascade*, isto é, a resistência interna, vista no ramo de I_{esp} , também pode ser calculada pela Equação 9.5, com boa precisão, se a impedância interna da fonte de corrente I_{ref} (R_{ref}) tender a infinito. Se, no entanto, a impedância externa associada ao nó de dreno de M_2 for baixa, como acontece muitas vezes na prática, o r_{oe} é significativamente menor do que a do espelho *cascade*. A maioria dos livros traz o valor dessa resistência calculada de modo aproximado como: $r_{oe} \cong g_{m1} \times r_{ds1} \times r_{ds3} \approx g_m \times r_{ds}^2$. Esse cálculo só é válido, no entanto, para $R_{ref} \rightarrow \infty$. Se $R_{ref} \rightarrow 0$, então $r_{oe} = r_{ds1} + r_{ds3} \approx 2 \times r_{ds}$, que é um valor relativamente baixo. Então, dependendo do valor de R_{ref} , pode-se dizer que, no espelho de Wilson MOS, vale:

$$2r_{ds} \leq r_{oe} \leq g_m r_{ds}^2$$

Por isso, o espelho de Wilson MOS, ao contrário do bipolar, quase não é usado, na prática. No espelho *cascade*, por outro lado, o r_{oe} independe de R_{ref} .

6. Tensões de Referência MOS

Em circuitos analógicos MOS ou CMOS, uma grande quantidade de tensões contínuas fixas são necessárias para polarizar transistores que funcionarão como fontes de corrente ou como espelhos de corrente. Normalmente um gerador de tensão de referência é implementado e divisores de tensão são usados para, a partir dessa referência, escalonar as várias tensões de polarização necessárias para o circuito.

6.1. - Divisores Resistivos MOS

A Figura 14 mostra um divisor resistivo *MOS*. São dois transistores, um de canal **p** e outro de canal **n**, ligados na configuração de diodos, executando o papel de resistores. Então $I_{Dn} = |I_{Dp}|$ e, com isso, desprezando-se os efeitos de λ , pode-se escrever que:

$$|I_p| = \frac{W_p}{L_p} \times \frac{K_{pp}}{2} \times (V_{DD} - V_b - |V_{Tp}|)^2 \times [1 + \lambda_p (V_{DD} - V_b)] \quad [\text{A}] \quad (1.6a)$$

e

$$I_n = \frac{W_n}{L_n} \times \frac{K_{pn}}{2} \times (V_b - V_{SS} - V_{Tn})^2 \times [1 + \lambda_n (V_b - V_{SS})] \quad [\text{A}] \quad (1.6b)$$

Igualando-se as Equações 1.6a e 1.6b e resolvendo-se para V_b , tem-se que:

$$V_b \approx \frac{\sqrt{\frac{\beta_n}{\beta_p}} \times (V_{SS} + V_{Tn}) + V_{DD} + V_{Tp}}{\sqrt{\frac{\beta_n}{\beta_p}} + 1} \quad [\text{V}] \quad (2.6)$$

Ou, incluindo-se λ :

$$\frac{\beta_p}{\beta_n} = \left(\frac{V_b - V_{SS} - V_{Tn}}{V_{DD} + V_{Tp} - V_b} \right)^2 \times \frac{1 + \lambda_n (V_b - V_{SS})}{1 + \lambda_p (V_{DD} - V_b)} \quad (3.6)$$

A Equação 3.6 permite que seja calculada uma relação entre as grandezas geométricas dos *MOSFET*'s M_n e M_p em função do valor da tensão V_b desejada, visto que:

$$\frac{\beta_p}{\beta_n} = \frac{\left(\frac{W_p}{L_p} \right) \times \frac{K_{pp}}{K_{pn}}}{\left(\frac{W_n}{L_n} \right)} = \frac{\left(\frac{W_p}{L_p} \right) \times \frac{\mu_p}{\mu_n}}{\left(\frac{W_n}{L_n} \right)} \quad [-] \quad (4.6)$$

Deve-se lembrar que, na prática, $\mu_n \approx 3\mu_p$, $V_{SS} \leq 0$, $V_{Tp} < 0$, $V_{Tn} > 0$ e que os *MOSFET*'s devem possuir canais longos ($L > 2\mu m$) para que seja satisfeita a aproximação: $\lambda \rightarrow 0$. Deve-se lembrar também que tensões de referência tomadas por divisores resistivos, como o circuito da Figura 14a, só são fixas e estáveis se as tensões de alimentação forem fixas e estáveis, como denota a Equação 2.6.

Exemplo 4:

Calcular L_p de modo que, em um circuito igual ao da Figura 14a, $V_b = -0,796 \text{ V}$ com $V_{DD} = 2,5 \text{ V}$ e $V_{SS} = -2,5 \text{ V}$. Usar $L_n = W_n = W_p = 3,2 \mu m$. Dados: $K_{pn} = 79,7094 \mu A/V^2$; $V_{Tn} = 1,0 \text{ V}$ e $\lambda_n = 0,02 \text{ V}^{-1}$ e $K_{pp} = 22,86881 \mu A/V^2$; $V_{Tp} = -1,1 \text{ V}$ e $\lambda_p = 0,025 \text{ V}^{-1}$.

Com $V_b = -0,796 \text{ V}$, $V_{GSn} = V_{DSn} = -0,796 + 2,5 = 1,704 \text{ V}$ e $|V_{GSp}| = |V_{DSp}| = 2,5 + 0,796 = 3,296 \text{ V}$. Então, usando-se as Equações 1.6a e 1.6b, tem-se:

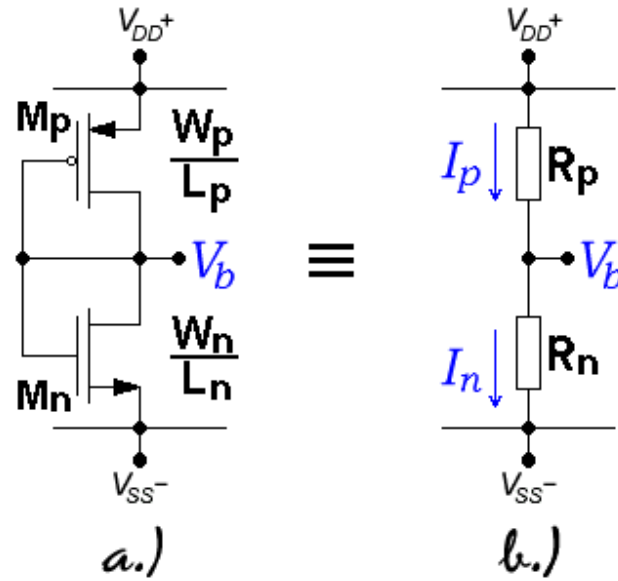


Figura 14 – Divisor Resistivo. a.) CMOS. b.) Circuito Equivalente ($I_n = I_p$).

$$I_{Dn} = I_{Dp} = \frac{1}{2} \times 79,7094 \mu \times (1,704 - 1)^2 \times (1 + 0,02 \times 1,704) = 20,4258 \quad [\mu A]$$

e

$$20,4258 \mu = \frac{1}{2} \times \frac{3,2 \mu}{L_p} \times 22,86881 \mu \times (3,296 - 1,1)^2 \times (1 + 0,025 \times 3,296)$$

\Rightarrow

$$\boxed{L_p = 9,35 \mu m}$$

Esse circuito pode ser usado para polarizar as portas dos MOSFET 's M_1 e M_2 , do circuito da Figura 11b. Ele é equivalente a um circuito puramente resistivo, como mostra a Figura 14b, onde $R_p = 161,3646 k\Omega$ e $R_n = 83,424 k\Omega$. Se esses resistores fossem integrados, eles ocupariam uma área de *chip* muito maior e seriam muito mais imprecisos do que os MOSFET 's M_p e M_n , da Figura 14a. Nesse tipo de circuito, a tensão de referência, V_b , fica estável só se V_{DD} e V_{SS} forem tensões fixas e estáveis.

6.2. Gerador de Tensão de Referência Ativo I

Como o divisor resistivo da Figura 14 gera uma tensão de polarização dependente de V_{DD} e de V_{SS} , a polarização dos blocos de circuitos analógicos fica muito dependente da tensão de alimentação. Isso faz com que esses blocos, consequentemente, tenham desempenhos limitados a um uso restrito e não universal. Para gerar tensões de referência mais independentes de V_{DD} e de V_{SS} , circuitos ativos, muitas vezes complexos, são desenvolvidos. O circuito da Figura 15 é, na verdade, um clássico gerador de corrente autopolarizado que também pode ser usado como gerador de tensão de referência. Esse circuito é baseado no espelho de corrente de Widlar, desenvolvido para BJT 's e adaptado para MOS. Se os transistores forem de canal longo, isto é, se $\lambda \rightarrow 0$, então $I_{ref} = I_1 = I_2$, garantidas pelo espelho de corrente constituído por M_3 e por M_4 . Para M_1 e para M_2 , vale:

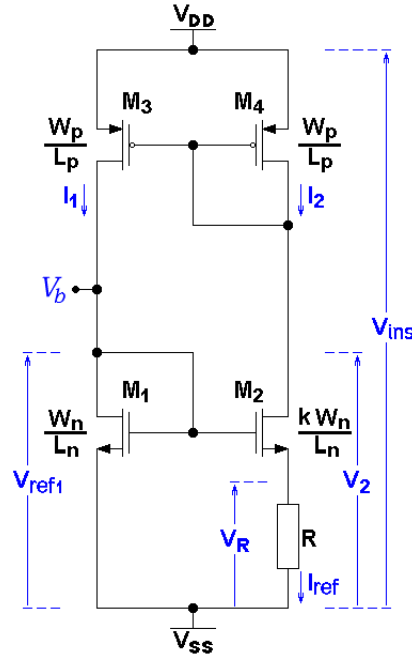


Figura 15 – Gerador de Tensão de Referência Ativo I.

$$I_1 = \frac{1}{2} \times \frac{W_n}{L_n} \times K_{Pn} \times (V_{ref1} - V_{Tn})^2$$

e

$$I_2 = \frac{1}{2} \times \frac{kW_n}{L_n} \times K_{Pn} \times (V_{ref1} - V_R - V_{Tn})^2$$

 \Rightarrow

$$I_{ref} = I_1 = I_2 = \frac{\sqrt{k} - 1}{\sqrt{k}} \times \frac{V_{ref1} - V_{Tn}}{R} \quad (5.6)$$

A tensão V_{ref1} é a tensão de referência gerada pelo circuito e $V_{ref1} = V_b - V_{SS}$, lembrando-se que $V_{SS} \leq 0$. Se $V_{SS} = 0$, então $V_{ref1} = V_b$. Aplicando-se essa relação à Equação 5.6, tem-se:

$$I_{ref} = \frac{\sqrt{k} - 1}{\sqrt{k}} \times \frac{V_b - V_{SS} - V_{Tn}}{R} \quad (6.6)$$

Pela Equação 6.6 percebe-se que os transistores M_1 e M_2 não podem ter a mesma geometria, isto é, se possuírem o mesmo comprimento de canal (L_n), obrigatoriamente M_2 deverá ser k vezes mais largo do que M_1 , pois se $k = 1$, então $I_{ref} = 0$. Além disso, para a mesma corrente de referência I_{ref} , quanto maior for o valor de k , maior será o valor necessário para o resistor R , fato que não agracia projetos de circuitos integrados, nos quais valores elevados de resistências são proibitivos. O fator de estabilização de V_{ref1} , no entanto, melhora com valores grandes de k . Na prática, tipicamente $k = 10$, podendo variar na faixa: $2 \leq k \leq 15$. As equações completas para o circuito da Figura 15 são:

$$I_1 - \frac{W_p K_{pp}}{2L_p} (V_{DD} - V_{SS} - V_2 + V_{Tp})^2 [1 + \lambda_p (V_{DD} - V_{SS} - V_{ref1})] = 0 \quad (7.6)$$

$$I_1 = \frac{W_1}{2L_n} \times K_{pn} \times (V_{ref1} - V_{Tn})^2 \times (1 + \lambda_n V_{ref1}) \quad (8.6)$$

$$V_2 = \frac{2L_n I_2}{\lambda_n k W_1 K_{pn} \times (V_{ref1} - RI_2 - V_{Tn})^2} - \frac{1}{\lambda_n} + RI_2 \quad (9.6)$$

$$I_2 = \frac{W_p}{2L_p} \times K_{pp} \times (V_{DD} - V_{SS} - V_2 + V_{Tp})^2 [1 + \lambda_p (V_{DD} - V_{SS} - V_2)] \quad (10.6)$$

Infelizmente, embora o sistema constituído pelas Equações 7.6 ~ 10.6 seja de quatro equações e de quatro incógnitas (I_1 , I_2 , V_{ref} , V_2), o sistema não possui solução explícita, já que a tensão V_{ref1} depende da tensão V_2 e vice-versa e essas variáveis não podem ser isoladas. A única maneira de solucionar esse sistema, em um caso de análise, é através de um programa de cálculo numérico, como usam os simuladores de circuitos, ou por tentativa e erro. Em problemas de síntese, no entanto, sabendo-se que $V_{ref1} = V_b - V_{SS}$, pode-se, a partir de uma tensão V_b estabelecida, calcular I_1 através da Equação 11.6. Os valores de W_1 , de L_n e de V_{SS} devem ser previamente estipulados. Então:

$$I_1 = \frac{W_1}{2L_n} \times K_{pn} \times (V_b - V_{SS} - V_{Tn})^2 \times [1 + \lambda_n (V_b - V_{SS})] \quad (11.6)$$

Obviamente o valor de I_1 pode ser acertado para um valor mais adequado, alterando-se W_1 . Com o valor de I_1 determinado, calcula-se V_2 através da Equação 12.6. Os valores de W_p , de L_p e de V_{DD} também são previamente estipulados.

$$I_1 - \frac{W_p K_{pp}}{2L_p} (V_{DD} - V_{SS} - V_2 + V_{Tp})^2 [1 + \lambda_p (V_{DD} - V_b)] = 0 \quad (12.6)$$

O valor de I_2 pode, então, ser calculado através da Equação 10.6 e o valor do resistor R pode ser calculado pela Equação 13.6a, a partir de um valor de k previamente estipulado. Ou, ainda, o valor de k pode ser calculado pela Equação 13.6b, a partir de um valor de R previamente estipulado.

$$V_2 - \frac{2L_n I_2}{\lambda_n k W_1 K_{pn} \times (V_b - V_{SS} - RI_2 - V_{Tn})^2} + \frac{1}{\lambda_n} - RI_2 = 0 \quad (13.6a)$$

$$k = \frac{2L_n I_2}{W_1 K_{pn} (V_b - V_{SS} - RI_2 - V_{Tn})^2 \times [1 + \lambda_n (V_b - RI_2)]} \quad (13.6b)$$

O circuito da Figura 15, portanto, gera uma corrente de referência ($I_{ref} = I_2$) e duas tensões de referência (V_{ref1} e $V_{ref2} = RI_{ref}$), razoavelmente independentes de V_{DD} e de V_{SS} , se $\lambda_n \rightarrow 0$ e $\lambda_p \rightarrow 0$. A tensão $V_{ref2} = RI_{ref}$ possui um valor bem mais baixo do que V_{ref1} . Normalmente usa-se $L_n = L_p$, maior ou igual ao mínimo estipulado pela tecnologia.

Como o circuito da Figura 15 possui dois pontos de equilíbrio (para $I_{ref} = I_2 = V_R/R$ e para $I_{ref} = I_2 = 0$), para que não permaneça inerte quando ligado, isto é, com $I_{ref} = I_2 = 0$, deve-se usar um circuito de partida (*start-up*) para garantir que ele funcione sempre.

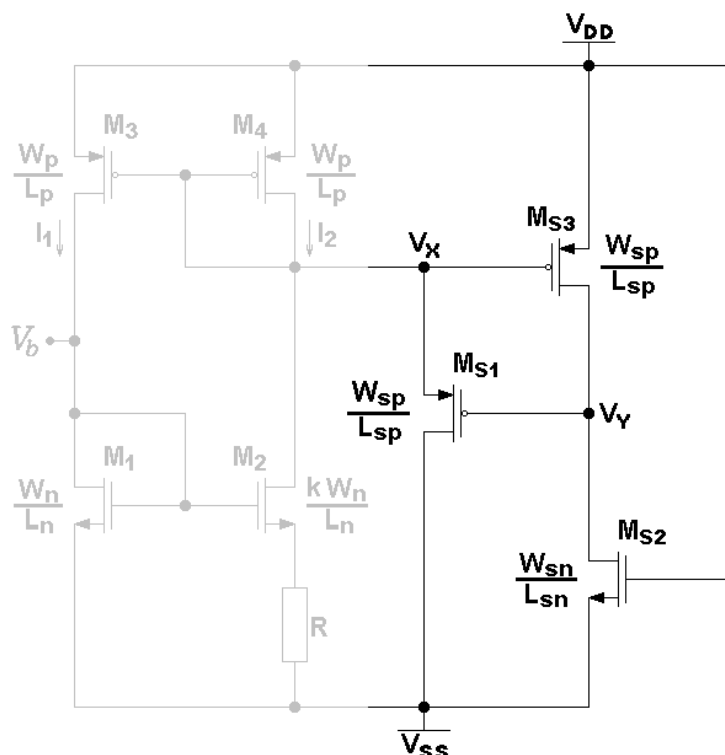


Figura 16 - Gerador de Tensão de Referência Ativo, com Circuito de *Start-Up* Acoplado.

A Figura 16 mostra uma topologia possível para esse circuito. Quando o circuito é ligado, a tensão V_{DD} aplicada à porta de M_{S2} garante a sua condução. Como o dreno de M_{S2} está inicialmente com uma tensão baixa ($V_Y \approx V_{SS}$), o transistor M_{S1} conduz e força o aparecimento de I_2 no dreno de M_4 , colocando-o, assim, no estado de condução, isto é, com $I_{ref} = I_2 = V_R/R$. Imediatamente depois, a tensão na fonte de M_{S1} (V_X) cai e a tensão no dreno de M_{S2} (V_Y) cresce, diminuindo $|V_{GS1}|$ e cortando M_{S1} se $|V_{GS1}| \leq |V_{Tp}|$. Pode-se usar, portanto, $W_{sp} = L_{sp}$ para M_{S1} , mas $W_{sp} \geq 10L_{sp}$ para M_{S3} e $L_{sn} \gg W_{sn}$ para fazer com que a tensão no dreno M_{S2} cresça rapidamente e garanta o corte de M_{S1} , alguns instantes após o ligamento do circuito. A mínima tensão que pode ser aplicada ao circuito é igual a $V_{ins(min)} > V_{Tn} + |V_{Tp}|$.

Exemplo 5:

Calcular todas as grandezas inerentes ao circuito da Figura 15, sabendo-se que: $V_{DD} = 2,5$ V, $V_{SS} = -2,5$ V, $L_n = L_p = 3,2$ μm , $W_p = 32$ μm , $W_l = 9,6$ μm , $k = 10$ e $V_{refl} = 1,704$ V. Dados: $K_{Pp} = 22,86881$ $\mu\text{A/V}^2$; $V_{Tp} = -1,1$ V; $\lambda_p = 0,025$ V^{-1} ; $K_{Pn} = 79,7094$ $\mu\text{A/V}^2$; $V_{Tn} = 1,0$ V e $\lambda_n = 0,02$ V^{-1} .

No circuito da Figura 15, $V_{SS} + V_{refl} = V_b$ ou $V_{SS} + V_{refl} = V_b$. Então $V_b = 1,704 - 2,5 = -0,796$ V. Através da Equação 11.6, calcula-se:

$$I_1 = \frac{9,6}{6,4} \times 79,7094 \mu \times (-0,796 + 2,5 - 1)^2 \times [1 + 0,02 \times (-0,796 + 2,5)] = 61,27739 \quad [\mu A]$$

Com o valor de I_l determinado, calcula-se V_2 através da Equação 12.6. Então:

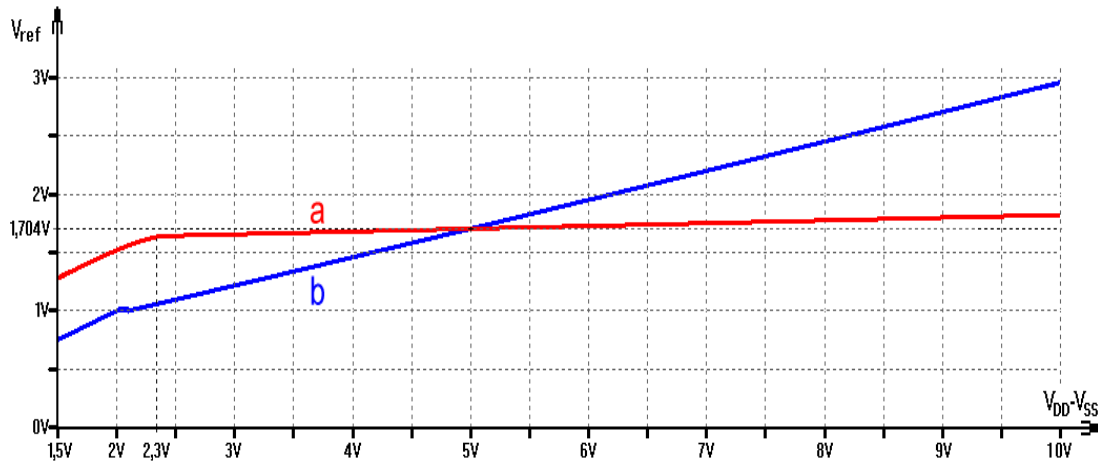


Figura 17 – Comparação entre Tensões de Referência. a.) Gerada pelo Circuito da Figura 15. b.) Gerada pelo Divisor Resistivo da Figura 14a.

$$61,27739\mu - \frac{32 \times 22,86881\mu}{6,4} (2,5 + 2,5 - V_2 - 1,1)^2 [1 + 0,025 \times (2,5 + 0,796)] = 0$$

⇒

$$\boxed{V_2 = 3,196362 \text{ V}}$$

Através da Equação 10.6 calcula-se I_2 . Então:

$$I_2 = \frac{32 \times 22,86881\mu}{6,4} \times (2,5 + 2,5 - 3,196362 - 1,1)^2 [1 + 0,025(2,5 + 2,5 - 3,196362)]$$

⇒

$$\boxed{I_2 = 59,16523 \mu\text{A}}$$

Finalmente o valor do resistor R pode ser calculado pela Equação 13.6a. Portanto:

$$3,19636 - \frac{6,4 \times 59,16523\mu}{0,02 \times 96 \times 79,7094\mu \times (-0,796 + 2,5 - 59,16523\mu \times R - 1)^2} + 50 - 59,16523\mu \times R = 0$$

⇒

$$\boxed{R = 8,237 \text{ k}\Omega}$$

A Figura 17 mostra a variação de $V_{ref1} \times (V_{DD} - V_{SS})$ obtida pelo circuito da Figura 15, comparando com a variação de $V_{ref1} \times (V_{DD} - V_{SS})$ obtida pelo circuito da Figura 14a. Percebe-se que, apesar de V_{ref1} não permanecer perfeitamente constante no circuito da Figura 15, no divisor resistivo a variação de V_{ref1} em função da tensão de alimentação é muito mais intensa. Nos exemplos numéricos apresentados, tem-se que:

- Para o circuito da Figura 15:

$$\frac{\Delta V_{ref1}}{\Delta(V_{DD} - V_{SS})} = 20,312 \text{ [mV/V]}$$

- Para o circuito da Figura 14a:

$$\frac{\Delta V_{ref}}{\Delta(V_{DD} - V_{SS})} = 189,86 \quad [\text{mV/V}]$$

Devido às dificuldades de cálculos feitos através do sistema de Equações 7.6 ~ 10.6, o circuito de *start-up*, mostrado na Figura 16, deve ser dimensionado por simulação. O objetivo é fazer com que o transistor M_{S1} não conduza em regime permanente, quando a alimentação total do circuito for máxima, isto é, quando $V_{DD} - V_{SS} = 10 \text{ V}$, no caso. Usando-se $L_{S1} = W_{S1} = 3,2 \mu\text{m}$ e $L_{S3} = W_{S2} = 3,2 \mu\text{m}$, tem-se que $L_{S2} \geq 4,8 \times W_{S3}$. Então pode-se usar $W_{S3} = 32 \mu\text{m}$ e $L_{S2} = 154 \mu\text{m}$.

6.3. Gerador de Tensão de Referência Ativo II

A Figura 18 apresenta um circuito alternativo de gerador de tensão de referência MOS, constituído por M_1 , M_2 , M_3 , M_4 , e por R . Nesse circuito, conhecido como autopolarizado com *bootstrap*, a corrente de referência é estabelecida por $V_{GS1} / R = V_R / R$, que estabelece uma corrente essencialmente constante em M_2 , se os efeitos de modulação de comprimento de canal em M_3 e em M_4 forem desprezíveis, isto é, se $\lambda_p \rightarrow 0$. Ao contrário do circuito da Figura 15, no qual $V_R = \Delta V_{GS} = V_{GS1} - V_{GS2}$, no circuito da Figura 18, $V_R = V_{GS1}$, bem maior do que no caso anterior, portanto. Assim sendo, o circuito da Figura 18 é mais apropriado para gerar correntes de referência de valores mais elevados, evitando o uso de resistores com valores altos, proibitivos para os processos de integração em geral. A corrente I_{ref} é mantida praticamente constante nesse circuito, porque a corrente $I_1 = I_{D1}$ depende de $V_{GS1} = V_R$ e, devido ao espelhamento de corrente, $I_1 = I_{D1} = I_{ref}$. Se I_{ref} tender a mudar de valor, V_{GS1} também muda, fazendo com que I_{ref} mude, o que é impossível pelas condições de equilíbrio mostradas na Figura 19. Essa figura mostra que em apenas dois pontos, A e B, a corrente pode ser igual no resistor R e no MOSFET M_1 , ao mesmo tempo. No ponto A tem-se que $I_{ref} = 0$ e, portanto, esse ponto deve ser eliminado. No ponto B, contudo, é estabelecida uma corrente de referência que virtualmente permanece fixa independentemente de V_{DD} e de V_{SS} . Para evitar que o ponto A seja acionado quando o circuito é ligado, deve-se usar um circuito de *start-up*, constituído por R_p , R_n e M_{S1} . Os resistores R_p e R_n podem ser implementados por um divisor resistivo CMOS, como o da Figura 14. Esse circuito gera uma tensão V_X que obriga, inicialmente, M_{S1} a conduzir, injetando corrente no dreno de M_1 . Então, a tensão V_b cresce e, se $V_X \leq V_b$, M_{S1} corta e assim permanece enquanto $I_{D1} \neq 0$. O circuito é obrigado, portanto, a ir para o ponto B de equilíbrio. A sequência de cálculos para esse circuito é mostrada a seguir:

- Síntese:

- Escolher V_R .
- Escolher I_{ref} , que, no caso, deve ser $\geq 100 \mu\text{A}$.
- Calcular $R = V_R / I_{ref}$.
- Escolher L_n maior ou igual ao mínimo exigido pela tecnologia.
- Escolher $V_b = V_{ref1} + V_{SS}$.
- Calcular W_1 e W_2 através das Equações 14.6a e 14.6b.
- Estipular $L_p > 10 \mu\text{m}$ para que $\lambda_p \rightarrow 0$.
- Estipular W_p de modo que $W_p = 3L_p(W_1/L_n)$.

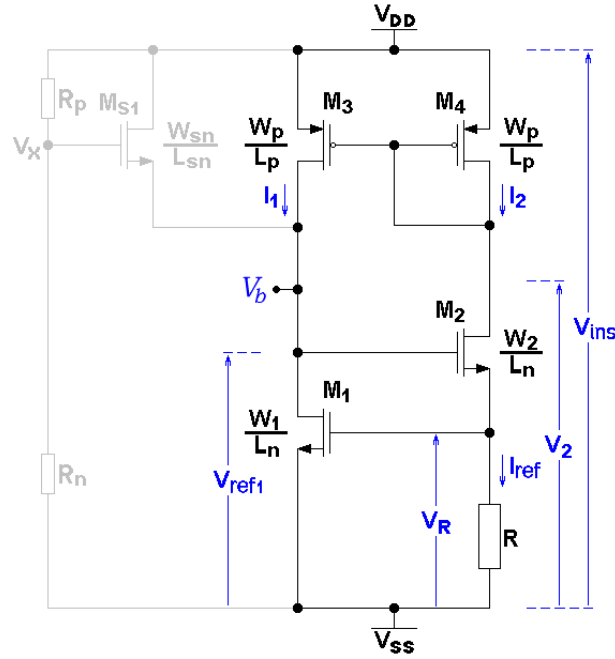


Figura 18 - Gerador de Tensão de Referência Ativo II.

$$W_1 = \frac{2I_{ref}L_1}{K_{Pn} \times (V_R - V_{Tn})^2 \times [1 + \lambda_1(V_b - V_{SS})]} \quad (14.6a)$$

e

$$W_2 \cong \frac{2I_{ref}L_2}{K_{Pn} \times (V_b - V_{SS} - V_R - V_{Tn})^2 [1 + \lambda_2(V_2 - V_{SS} - V_R)]} \quad (14.6b)$$

- Análise:

Com todos os valores acima conhecidos, calcular V_R , V_2 , V_{ref1} e I_{ref} através do sistema de equações:

$$V_R = RI_{ref} \quad (15.6)$$

$$V_2 = V_{DD} + V_{Tp} - \sqrt{\frac{2I_{ref}L_3}{W_3K_{Pp}}} \quad (16.6)$$

$$V_{ref1} = V_b - V_{SS} = V_R + V_{Tn} + \sqrt{\frac{2I_{ref}L_2}{W_2K_{Pn}[1 + \lambda_2(V_2 - V_R)]}} \quad (17.6)$$

$$I_{ref} - \frac{1}{2} \times \frac{W_1}{L_1} \times K_{Pn} \times (V_R - V_{Tn})^2 \times (1 + \lambda_1 V_{ref1}) = 0 \quad (18.6)$$

No sistema de quatro equações e quatro incógnitas (V_R , V_2 , V_{ref1} e I_{ref}) acima, as tensões V_{ref1} e V_R são essencialmente constantes, porque independem da tensão de alimentação. São, portanto, tensões de referência. O mesmo se pode dizer de I_{ref} . A tensão V_2 , no entanto, é variável e varia proporcionalmente à tensão de alimentação. Se $V_{SS} = 0$, então, $V_{ref1} = V_b$.

- Compliância:

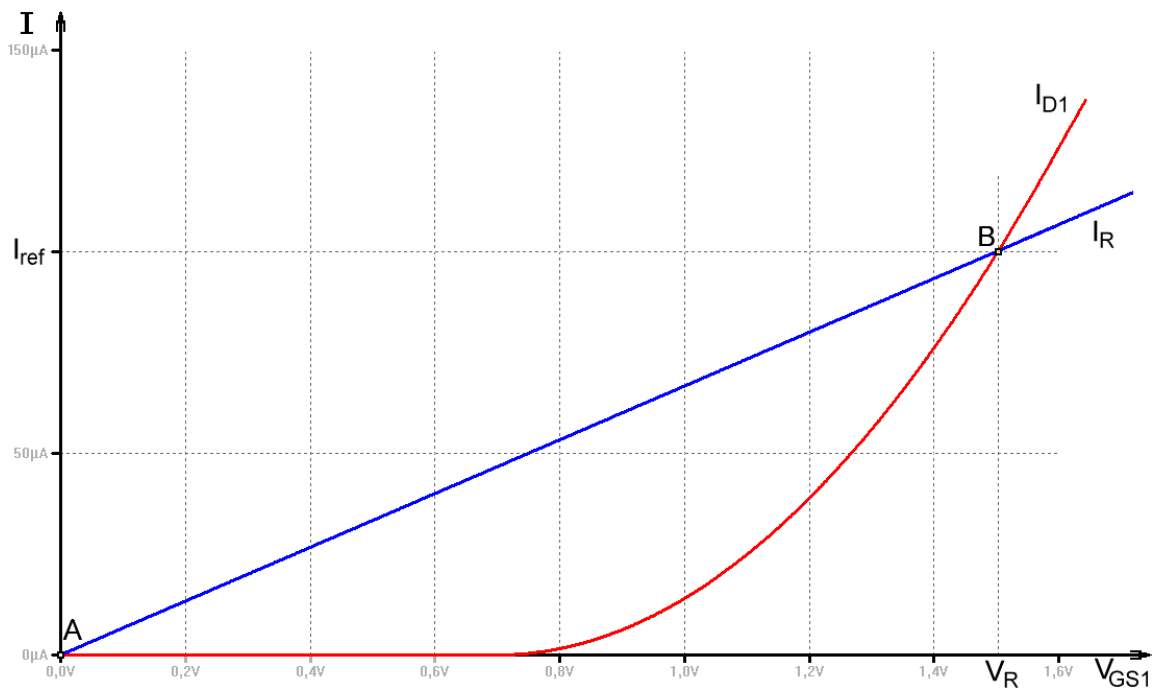


Figura 19 – Pontos de Equilíbrio de $I \times V$ do Circuito da Figura 18.

O circuito da Figura 18 gera duas tensões de referência e uma corrente de referência essencialmente independentes da tensão de alimentação, se todos os transistores permanecerem na região de saturação. Quando a tensão de alimentação total varia, V_{DS2} e $|V_{DS3}|$ também variam. Se $V_{ins} = (V_{DD} - V_{SS})$ cair demais, esses transistores entrarão na região trípode e o circuito perderá eficiência. Tem-se, portanto, que:

$$V_{ins(min)} = (V_{DD} - V_{SS})_{min} = V_b - V_{Tn} - V_{Tp} + \sqrt{\frac{2I_{ref}L_p}{W_pK_{pp}}} \quad (19.6)$$

Exemplo 6:

A partir de uma tensão de alimentação simples, $V_{DD} = 5\text{ V}$ e $V_{SS} = 0$, deseja-se construir um gerador de tensões de referência ($V_{ref1} = V_b = 3,5\text{ V}$ e $V_R = 1,5\text{ V}$) a partir de uma corrente de referência de $100\text{ }\mu\text{A}$. A tecnologia é de $3\text{ }\mu\text{m}$. Calcular o circuito.

Dados: $K_{Pn} = 60\text{ }\mu\text{A/V}^2$; $V_{Tn} = 0,7\text{ V}$ e $\lambda_n = 0,01\text{ V}^{-1}$.
 $K_{Pp} = 20\text{ }\mu\text{A/V}^2$; $V_{Tp} = -0,7\text{ V}$ e $\lambda_p = 0\text{ V}^{-1}$.

- Síntese:

a.) Escolher V_R , por exemplo:

$$V_R = 1,5\text{ V}$$

b.) Escolher I_{ref} , que, no caso, deve ser $\geq 100\text{ }\mu\text{A}$:

$$I_{ref} = 100\text{ }\mu\text{A}$$

c.) Calcular $R = V_R / I_{ref}$:

$$R = \frac{1,5}{100\mu} = 15 \text{ k}\Omega$$

d.) Escolher L_n maior ou igual ao mínimo exigido pela tecnologia:

$$L_n = 3 \mu m$$

e.) Escolher $V_b = V_{refl} + V_{SS}$:

$$V_b = 3,5 \text{ V}$$

f.) Calcular W_1 e W_2 através das Equações 14.6a e 14.6b.

$$W_1 = \frac{200\mu \times 3\mu}{60\mu \times (1,5 - 0,7)^2 \times [1 + 0,01 \times 3,5]} = 15,096 \mu m$$

\Rightarrow

$$W_1 = 15 \mu m$$

e

$$W_2 \cong \frac{200\mu \times 3\mu}{60\mu \times (3,5 - 1,5 - 0,7)^2 [1 + 0,01(3,5 - 1,5)]} = 5,801 \mu m$$

\Rightarrow

$$W_2 = 5,8 \mu m$$

g.) Estipular $L_p > 10 \mu m$ para que $\lambda_p \rightarrow 0$:

$$L_p = 12 \mu m$$

h.) Estipular W_p de modo que $W_p = 3L_p(W_1/L_n)$:

$$W_p = 180 \mu m$$

- Análise:

Com todos os valores acima conhecidos, calcular V_R , V_2 , V_b e I_{ref} através do sistema de equações 15.6 ~ 18.6:

$$V_R = 15k \times I_{ref}$$

$$V_2 = 5 - 0,7 - \sqrt{\frac{2 \times I_{ref} \times 12\mu}{180\mu \times 20\mu}}$$

$$V_b = V_R + 0,7 + \sqrt{\frac{2 \times I_{ref} \times 3\mu}{5,8\mu \times 60\mu \times [1 + 0,01 \times (V_2 - V_R)]}}$$

$$I_{ref} - \frac{1}{2} \times \frac{15}{3} \times 60\mu \times (V_R - 0,7)^2 \times (1 + 0,01 \times V_b) = 0$$

\Rightarrow

$$\boxed{I_{ref} = 100,23222 \mu; V_R = 1,5035 \text{ V}; V_2 = 3,4826 \text{ V e } V_b = V_{refl} = 3,505253 \text{ V}}$$

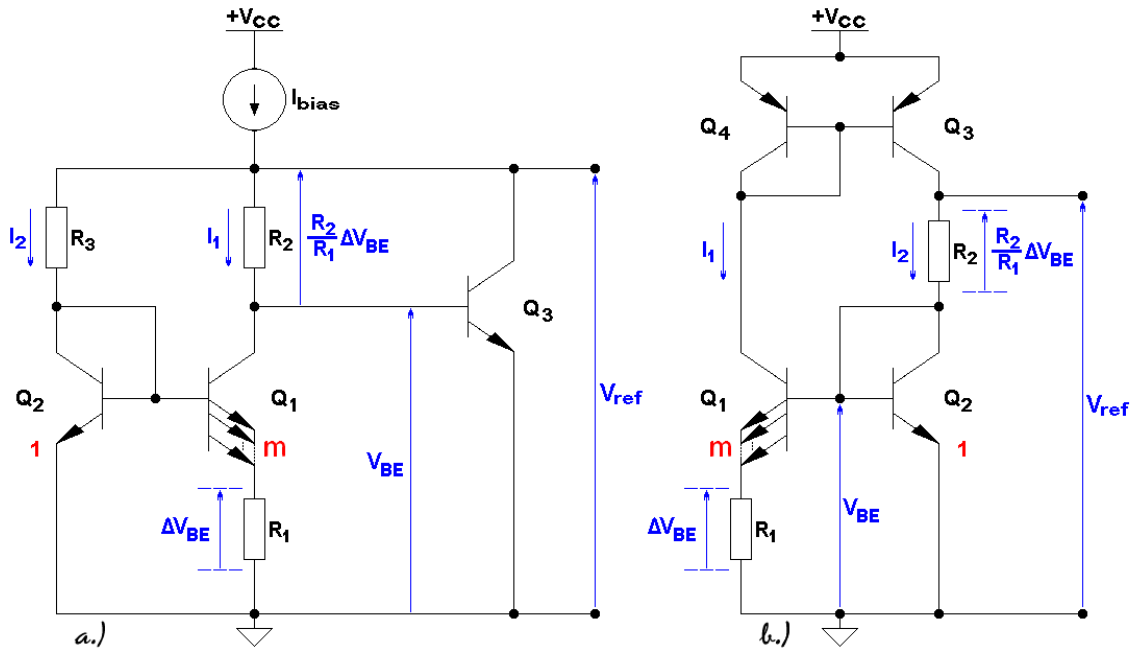


Figura 20 – Referências de Gap. a.) De Widlar. b.) Melhorada.

- Compliância:

$$V_{ins(min)} = V_{DD(min)} = 3,505253 + \sqrt{\frac{2 \times 100,23222 \mu \times 12 \mu}{180 \mu \times 20 \mu}}$$

⇒

$$\boxed{V_{DD(min)} = 4,323 \text{ V}}$$

Uma análise da variação das grandezas de referência pode ser feita, variando-se o valor da tensão de alimentação no sistema de Equações 15.6 ~ 18.6. Então, para $4,3 \text{ V} \leq V_{DD} \leq 10 \text{ V}$, tem-se que:

$V_{DD} [\text{V}]$	$I_{ref} [\mu\text{A}]$	$V_R [\text{V}]$	$V_2 [\text{V}]$	$V_b [\text{V}]$
4,3	100,23065	1,50346	2,78256	3,5097
5,0	100,23222	1,50350	3,48260	3,5053
10,0	100,24301	1,50365	8,48251	3,4747

Conclui-se, portanto, que o circuito da Figura 18 é um excelente gerador de corrente e de tensões de referência se, pelo menos, $\lambda_p \rightarrow 0$. Se $\lambda_p \neq 0$, como acontece normalmente, as variações de I_{ref} , de V_R e de V_b serão maiores, mas ficarão dentro das tolerâncias apresentadas na Figura 17, quando comparadas ao divisor resistivo da Figura 14a.

Se, ao contrário do que foi apresentado no exemplo, $V_{SS} \neq 0$, a tensão V_b se alterará proporcionalmente à variação de V_{SS} , mas as tensões e a corrente de referência (I_{ref} , V_R e V_{ref}) permanecerão imutáveis.

A compliância do circuito da Figura 18 não é muito boa, significando que a mínima tensão de alimentação que pode ser usada é relativamente elevada ($\cong 4,3 \text{ V}$). A máxima tensão de alimentação que pode ser aplicada ao circuito depende da tecnologia usada.

6.4. Gerador de Tensão de Referência de Gap Bipolar

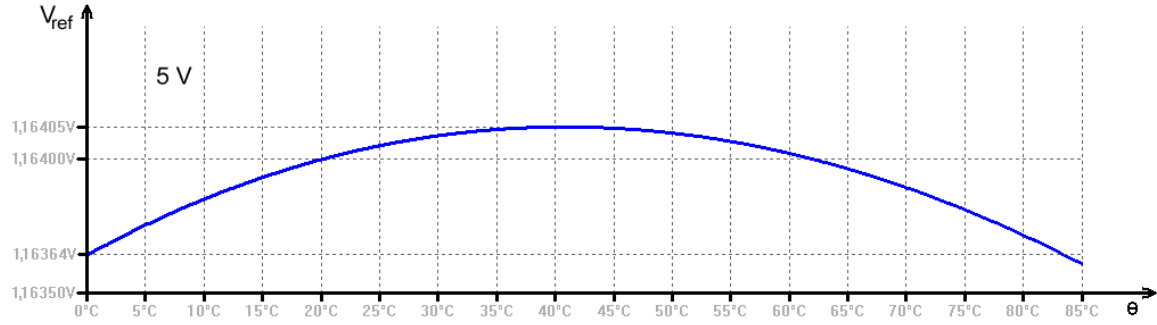


Figura 21 – Variação de $V_{ref} \times \theta$, no Circuito da Figura 20, com $V_{CC} = 5V$.

A banda proibida de ocupação eletrônica (*bandgap*), que é a diferença entre o nível de energia associado ao elétron que ocupa a banda de condução e a banda de valência de um material, vale $E_G = 1,11 \text{ eV}$ em 300 K e $E_{G0} \cong 1,25 \text{ eV}$ em 0 K , no silício intrínseco. Em termos de potencial elétrico, portanto, pode-se dizer que o *gap* do silício equivale aproximadamente a $2V_\gamma$, onde V_γ é o potencial interno de uma junção *pn* diretamente polarizada. Assim, baseadas em espelhos de corrente de Widlar [1], foram desenvolvidas arquiteturas de circuitos eletrônicos bipolares capazes de gerar tensões de referência de $\cong 1,25 \text{ V}$, com grande independência da tensão de alimentação e da temperatura. Esses circuitos, cujas versões elementares estão apresentadas na Figura 20, receberam pelo valor do potencial que geram, o nome de referência de *gap* (*bandgap reference*).

- Referência de *gap* de Widlar:

A Figura 20a mostra um gerador de tensão de referência de *gap* de Widlar, que foi a primeira arquitetura, apresentada em 1970, para esse propósito [2]. Nesse circuito, o transistor Q_1 possui m emissores, enquanto que o transistor Q_2 possui apenas um. No mais eles são considerados casados, isto é, $I_{S1} = I_{S2}$ e $N_{F1} = N_{F2} = 1$. Então, supondo-se $I_1 = I_2$, tem-se que:

$$I_1 = m I_{S1} \times e^{\frac{V_{BE1}}{V_t}} = I_{S2} \times e^{\frac{V_{BE2}}{V_t}} = I_2$$

\Rightarrow

$$m = e^{\frac{V_{BE2} - V_{BE1}}{V_t}}$$

\Rightarrow

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = V_t \times \ln m = \frac{kT}{q} \times \ln m$$

Como $\Delta V_{BE} / R_1 = I_{E1}$ e como, desprezando-se os efeitos de β_1 finito, $I_{E1} \cong I_{C1}$, então:

$$V_{R2} = \frac{R_2}{R_1} \times \frac{kT}{q} \times \ln m \quad (20.6)$$

e

$$V_{ref} = V_{BE} + \frac{kT}{q} \times \frac{R_2}{R_1} \times \ln m \quad (21.6)$$

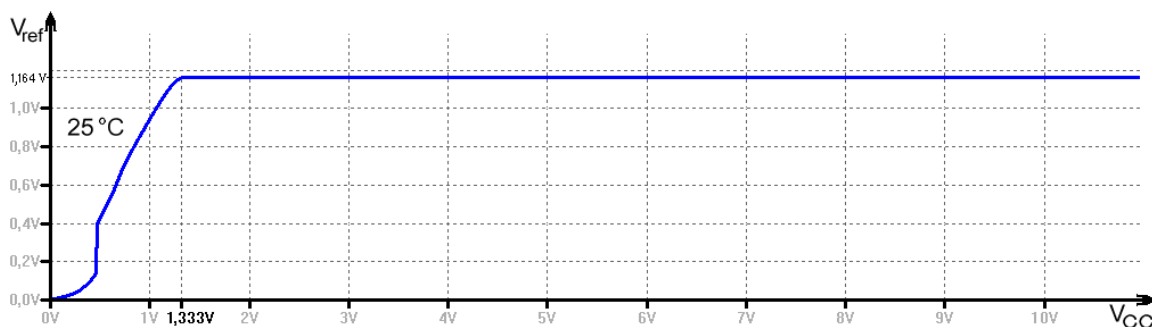


Figura 22 - Variação de V_{ref} x V_{CC} , no Circuito da Figura 20, com $\theta = 25\text{ }^{\circ}\text{C}$.

Se Q_3 for um transistor bipolar de silício, o coeficiente térmico de V_{BE} é negativo e da ordem de $-2,0\text{ mV}/^{\circ}\text{C}$, podendo variar na faixa: $-2,2\text{ mV}/^{\circ}\text{C} \leq \Delta V_{BE}/\Delta\theta \leq -1,8\text{ mV}/^{\circ}\text{C}$ [3]. A tensão V_{R2} , por outro lado, é *PTAT* (*Proportional to Absolute Temperature*), isto é, possui um coeficiente térmico linear e positivo. Se $\Delta V_{BE}/\Delta\theta = -\Delta V_{R2}/\Delta\theta$, então, $\Delta V_{ref}/\Delta\theta = 0$, isto é, a tensão de referência será pouco ou quase nada afetada pela variação de temperatura. A variação *PTAT* de V_{R2} vale:

$$\frac{\Delta V_{R2}}{\Delta\theta} = \frac{R_2}{R_1} \times \frac{k}{q} \times \ln m \quad (22.6)$$

Conclui-se, portanto, que, se $R_2/R_1 = 10$ e se $m = 10$, então $\Delta V_{R2}/\Delta\theta \cong 2\text{ mV}/^{\circ}\text{C}$, $V_{R2} \cong 600\text{ mV}$ e $V_{ref} \cong 625\text{ mV} + 600\text{ mV} \cong 1,25\text{ V}$. A fonte de corrente I_{bias} providencia a constância de V_{ref} em função das variações de $+V_{CC}$. O circuito da Figura 20a gera, portanto, uma tensão de referência de $\cong 1,25\text{ V}$ (igual à do *gap* do silício), com coeficiente térmico virtualmente nulo e independente da tensão de alimentação. A dependência de R_2 e de R_1 , que afeta a Equação 20.6, não afeta a precisão de V_{R2} , porque todas as imperfeições que afetam uma das resistências no *chip* também afetam a outra e a razão entre as duas permanece constante, tanto em função da temperatura, quanto em função de espalhamentos de fabricação. Evidentemente, o circuito da Figura 20a é básico e elementar e necessita de três terminais externos ($+V_{CC}$, $-V_{CC}$ ou *terra* e V_{ref}). O circuito da Figura 20b, ainda básico e elementar, é um exemplo de topologia mais simplificada, também de três terminais [4] [6]. Nesse circuito, foram adicionados Q_3 e Q_4 , que funcionam como espelho de corrente, garantindo que $I_1 = I_2$, independentemente de V_{CC} , se os transistores forem casados e se, para todos, $\beta > 100$. As Equações 20.6, 21.6 e 22.6 também calculam as grandezas V_{R2} , V_{ref} e $\Delta V_{R2}/\Delta\theta$ do circuito. Como a variação $\Delta V_{R2}/\Delta\theta$ é linear e a variação $\Delta V_{BE}/\Delta\theta$ não é perfeitamente linear [2], a grandeza $\Delta V_{ref}/\Delta\theta$ não consegue ser nula em toda a extensão de temperatura, como mostra a Figura 21. O coeficiente térmico geral de V_{ref} , no entanto, permanece muito baixo. Se, no circuito da Figura 20b, $R_2 = 10\text{ k}\Omega$, $R_1 = 1,21\text{ k}\Omega$ e $m = 10$, então, como mostra a Figura 22, $V_{ref} = 1,16405\text{ V}$, para $1,333\text{ V} \leq V_{CC} \leq 10\text{ V}$, em $25\text{ }^{\circ}\text{C}$, e o coeficiente térmico de V_{ref} é aproximadamente igual a $+11,488\text{ }\mu\text{V}/^{\circ}\text{C}$, para $0 \leq \theta \leq 41,8\text{ }^{\circ}\text{C}$, e aproximadamente igual a $-11,488\text{ }\mu\text{V}/^{\circ}\text{C}$, para $41,8\text{ }^{\circ}\text{C} \leq \theta \leq 83,6\text{ }^{\circ}\text{C}$, como mostra a Figura 21. Usando o princípio da referência de *gap*, vários circuitos integrados comerciais foram colocados no mercado pelos fabricantes, gerando tensões de $\cong 1,25\text{ V}$, de $2,5\text{ V}$ ou de 5 V , todas com coeficientes térmicos muito baixos e com grande independência de V_{CC} .

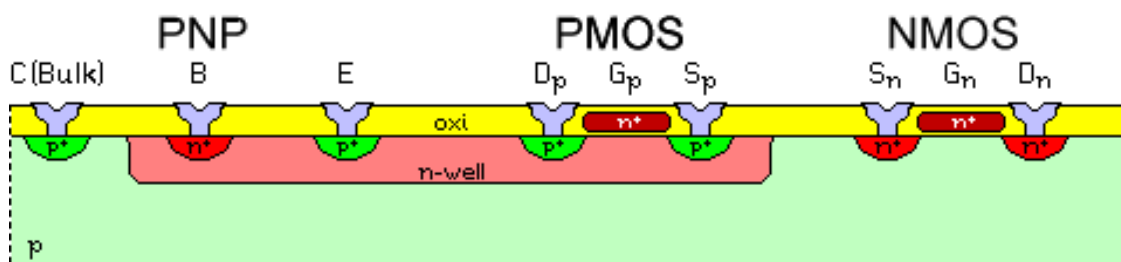


Figura 23 – Transistor Bipolar PNP Implementado na Tecnologia CMOS.

Exemplos desses circuitos integrados são: *LM313* e *LM385*, que são equivalentes a diodos Zener de $\approx 1,25$ V fixos, *TLV431*, equivalente a um diodo Zener de $\approx 1,25$ V ajustável, *TL431* e *LT1009*, equivalentes a diodos Zener de 2,5 V ajustáveis, *LT1021-5*, que é uma referência de tensão de precisão de 5 V. Esses circuitos integrados são construídos através da adição de uma referência de *gap* de $\approx 1,25$ V, com amplificadores operacionais que determinam ganhos internos adequados e correções de curvas de $V_{ref} \times \theta$, de modo a melhorar o desempenho final do circuito [5] [7]. Sensores térmicos, como o *LM34* e o *LM35*, também são desenvolvidos baseados na geração de tensões ou correntes *PTAT*, como foi explicitado pela Equação 20.6.

6.5. Gerador de Tensão de Referência de *Gap* em Tecnologia MOS

Referência de *gap* é um conceito bipolar. Ela necessita de diodos bipolares e de diferenças entre potenciais internos de dois diodos bipolares para poder gerar tensões de referências estáveis e precisas. Para que as arquiteturas MOS possam gerar tensões de referência de *gap*, portanto, diodos bipolares devem ser estabelecidos [7]. A Figura 23 mostra uma possibilidade de criação de transistores bipolares *pnp* em *chips CMOS*. Esses transistores, também conhecidos como *pnp substrate*, possuem os emissores criados pela dopagem p^+ , característica do dreno ou da fonte do PMOS. O poço *n*, que funciona como substrato do PMOS, é usado como base do *pnp* e o substrato *p* do NMOS é usado como coletor. Esses transistores possuem severas limitações de comportamento. Primeiro, todos os coletores devem estar ligados juntos e sempre à menor tensão de polarização do circuito, limitando a flexibilidade do componente. Segundo, devido ao fato das bases serem muito largas e altamente resistivas, esses transistores possuem, na melhor das hipóteses, $\beta = 10$. Se, no entanto, forem usados simplesmente como diodos através da ligação em curto-circuito entre as bases e os coletores, esses transistores cumprem o que se espera deles, isto é, geram potenciais na faixa $0,6 \text{ V} \leq V_\gamma \leq 0,7 \text{ V}$, com coeficiente térmico negativo na faixa $-2,2 \text{ mV}/^\circ\text{C} \leq \Delta V_\gamma / \Delta \theta \leq -1,8 \text{ mV}/^\circ\text{C}$ [3]. Na Figura 24, por exemplo, dois diodos bipolares foram estabelecidos através de dois transistores bipolares *pnp*, com o da Figura 23, mas com densidades de corrente diferentes. Isso é conseguido usando-se áreas de emissores diferentes. Na Figura 24, o transistor Q_1 possui apenas um emissor e o transistor Q_2 possui *m* emissores. Então, se $I_1 = I_2$ e se $V_X = V_Y$, vale a relação:

$$I_2 = \frac{V_T}{R} \times \ln m = \frac{kT}{qR} \times \ln m$$

A corrente I_2 é, portanto, *PTAT*. Os transistores M_1 , M_2 , M_3 e M_4 são dimensionados para que $I_1 = I_2$ e $V_X = V_Y$.

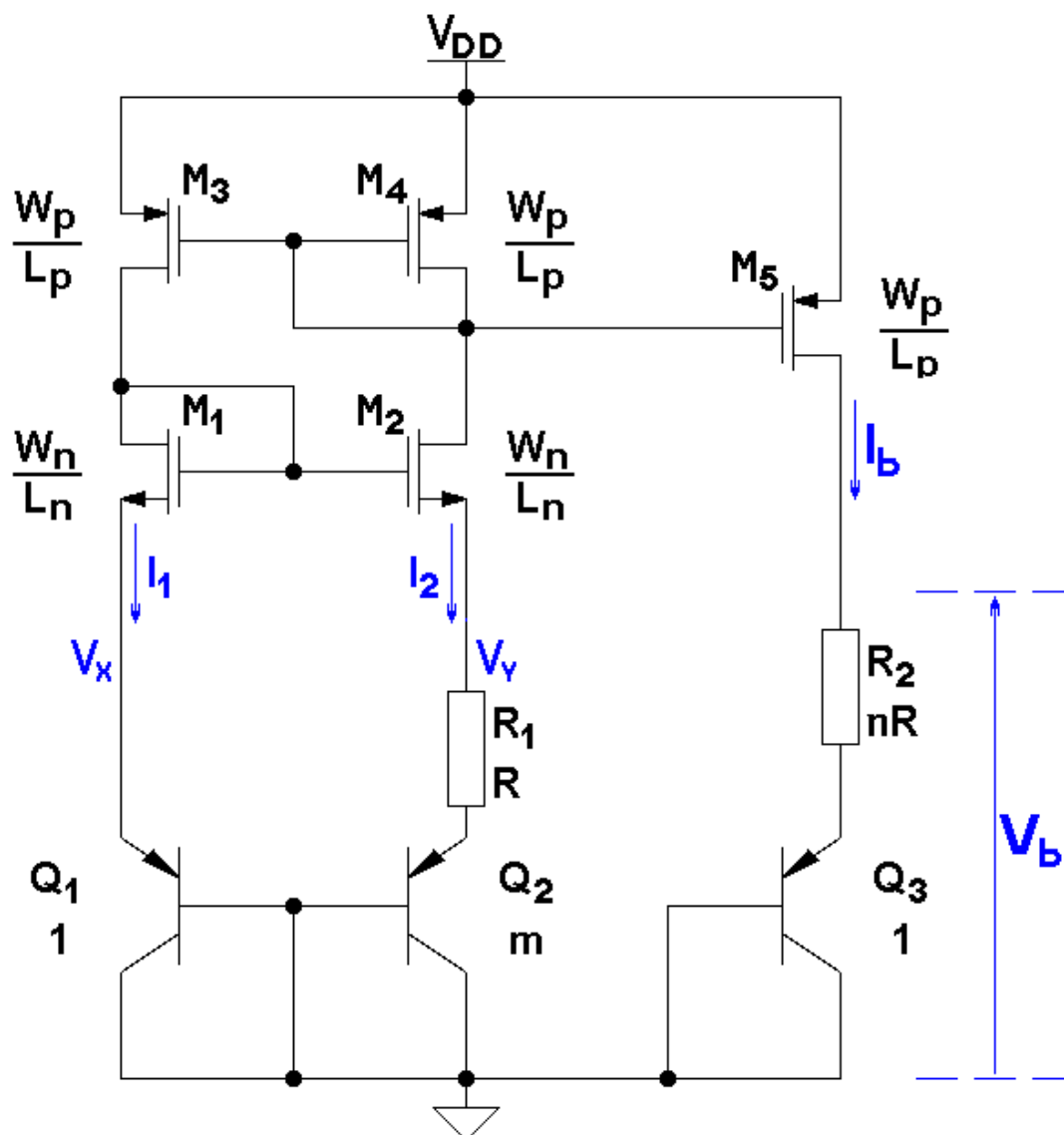


Figura 24 - Gerador de Tensão de Referência de *Gap* Elementar, em Tecnologia *MOS*.

Para melhorar a precisão do circuito, isto é, para que realmente $I_l = I_2$ e $V_X = V_Y$, independentemente de V_{DD} , deve-se substituir o espelho de corrente constituído por M_3 e por M_4 por um espelho *cascade*, como o da Figura 9b e o espelho de corrente constituído por M_1 e por M_2 por um espelho *cascade*, como o da Figura 9a. O transistor M_5 , ou um *cascade* equivalente a ele, espelha a corrente I_2 para I_b , que também vale:

$$I_b = \frac{V_T}{R} \times \ln m \quad (23.6)$$

Como a queda de tensão no resistor R_2 vale nRI_b , a tensão de referência, V_b , vale, portanto:

$$V_b = V_\gamma + nV_T \ln m = |V_{BE(Q3)}| + nV_T \ln m \quad (24.6)$$

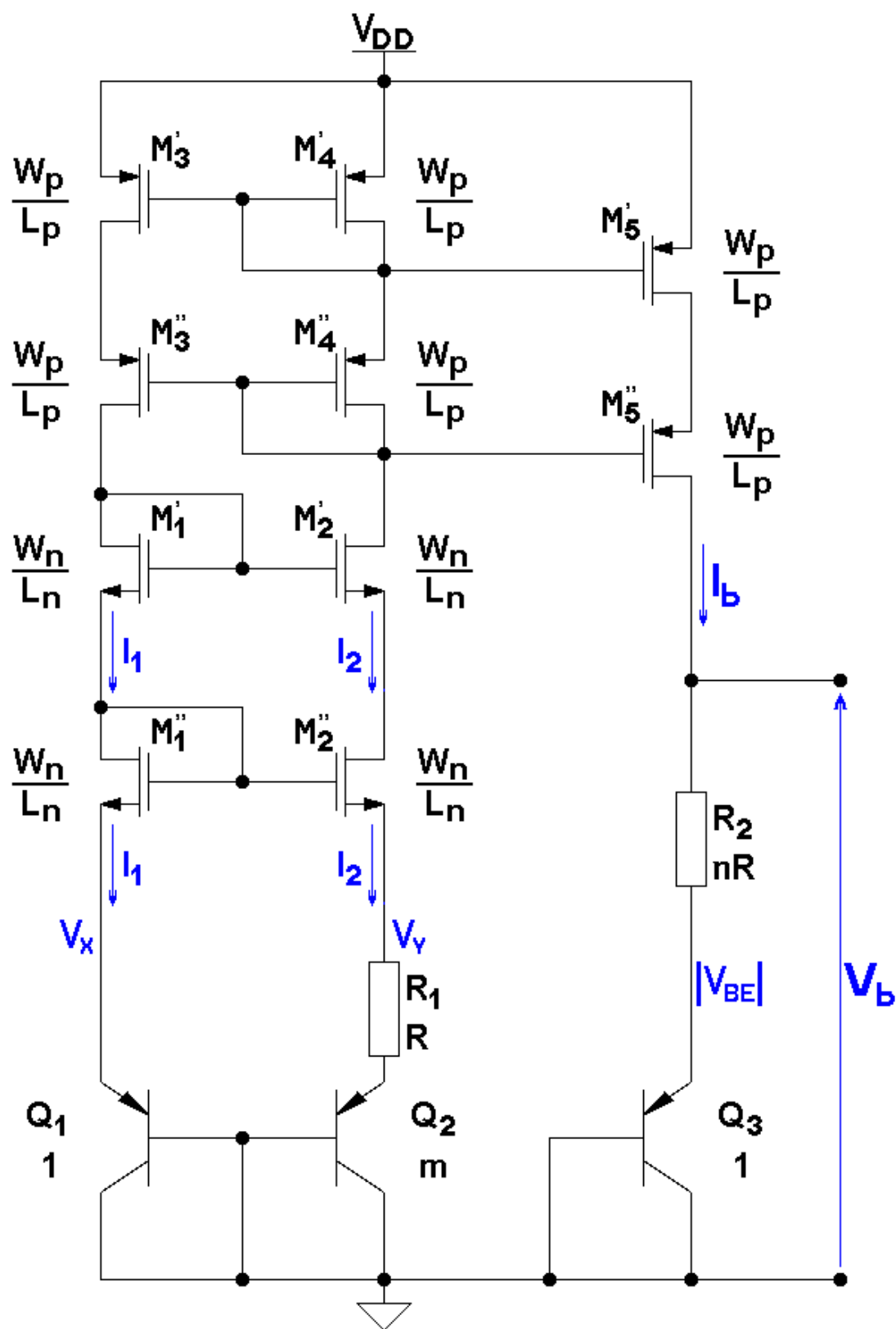


Figura 25 - Gerador de Tensão de Referência de *Gap Cascode*, em Tecnologia MOS.

O primeiro termo da Equação 24.6 possui coeficiente de temperatura negativo e o segundo termo, independente dos valores dos resistores, é *PTAT*. A variação térmica de V_b vale, portanto:

$$\frac{\partial V_b}{\partial \theta} = \frac{\partial V_{BE}}{\partial \theta} + \frac{nk}{q} \times \ln m \quad (25.6)$$

Fica claro, portanto, que os coeficientes m e n podem ser ajustados de modo que uma tensão de referência V_b seja obtida, com coeficiente térmico muito baixo ou quase nulo. Se, por outro lado, os transistores M_1 , M_2 , M_3 , M_4 e M_5 forem substituídos respectivamente por estruturas *cascode* correspondentes, a tensão V_b fica virtualmente independente de V_{DD} . O circuito final, com os *cascode* adicionados, está apresentado na Figura 25.

7. Referências

- [1] R. J. Widlar, "New Developments in IC Voltage Regulators," *IEEE International Solid-State Circuits Conference*, pp. 158-159, Feb. 1970.
- [2] R. J. Widlar, "New Developments in IC Voltage Regulators," *IEEE Journal of Solid-State Circuits*, vol. **SC-6**, pp. 2-7, Feb. 1971.
- [3] R. J. Widlar, "An Exact Expression for the Thermal Variation of the Emitter Base Voltage of Bipolar Transistors," *Proceedings of the IEEE*, pp. 96-97, Jan. 1967.
- [4] K. E. Kuijk, "A Precision Reference Voltage Source," *IEEE Journal of Solid-State Circuits*, vol. **SC-8**, N° 3, pp. 222-226, Jun. 1973.
- [5] A. P. Brokaw, "A Simple Three-Terminal IC Bandgap Reference," *IEEE Journal of Solid-State Circuits*, vol. **SC-9**, N° 6, pp. 388-393, Dec. 1974.
- [6] G. C. M. Meijer, J. B. Verhoeff, "An Integrated Bandgap Reference," *IEEE Journal of Solid-State Circuits*, vol. **SC-11**, pp. 403-406, Jun. 1976.
- [7] E. A. Vittoz, O. Neyroud, "A Low-Voltage CMOS Bandgap Reference," *IEEE Journal of Solid-State Circuits*, vol. **SC-14**, N° 3, pp. 573-577, Jun. 1979.

8. Bibliografia

- P. E. Allen, D. R. Holberg, *CMOS Analog Circuit Design*, 2th Edition, Oxford University Press, 2002.
- R. J. Baker, *CMOS - Circuit Design, Layout and Simulation*, IEEE Press Series, Wiley - Interscience, Revised, 2th Edition, New York, 2008.
- P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5th Edition, John Wiley & Sons, Inc., New York, 2009.
- A. S. Sedra, K. C. Smith, *Microeletrônica*, 5^a Edição, Pearson-Prentice Hall, São Paulo, 2007.
- B. Razavi, *Fundamentos de Microeletrônica*, 1^a Ed., LTC, 2010, Caps. 6, 7, 9, 10, 11 e 15.