

SEL-EESC-USP

MOSFET – Resumo da Teoria

P. R. Veronese
2014

SEL – EESC - USP

MOSFET – Resumo da Teoria

1. Cálculo de Circuitos de Polarização

1.1 - Introdução

MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) é um dispositivo de efeito de campo de porta isolada. Com uma geometria relativamente simples e diminuta, esse componente adquiriu grande importância na eletrônica moderna, principalmente em circuitos digitais com alta escala de integração. Basicamente, a estrutura do *MOSFET* é constituída por um substrato de *Si* pouco condutivo, com dois pontos de interligação, sobre o qual é construída uma porta de controle, isolada desse substrato por uma camada muito fina de dióxido de silício (SiO_2). O *MOSFET* é, portanto, um componente de quatro terminais: o *dreno* (**D**) e a *fonte* (**S**), que interligam as extremidades do canal, e a *porta* (**G**) e o *substrato* (**B**) que são os terminais de controle de condutividade do mesmo. Eventualmente, e quase sempre, a fonte e o substrato podem estar interconectados. Tensões elétricas, aplicadas entre a porta e o substrato, controlam a condutividade do canal através de um campo elétrico transversal a ele. Como o dióxido de silício é um isolante de alta qualidade, a porta de controle não consome energia estática, como acontece com a base do *BJT*. Dependendo do tipo de construção e de substrato usado, o *MOSFET* pode ser de quatro tipos:

***MOSFET* de depleção – Canal *p*.**

***MOSFET* de depleção – Canal *n*.**

***MOSFET* de enriquecimento – Canal *p*.**

***MOSFET* de enriquecimento – Canal *n*.**

O *MOSFET* é um dispositivo unipolar porque a condução de canal é feita unicamente através de um tipo de portador. Então:

MOSFET* Canal *p \Rightarrow condução de lacunas em um canal formado em substrato do tipo **n**.

MOSFET* Canal *n \Rightarrow condução de elétrons em um canal formado em substrato do tipo **p**.

A condução de canal só é possível quando houver inversão de portadores no substrato e isso só acontece quando a tensão elétrica entre os terminais de porta e de substrato (V_{GB}) ou entre os terminais de porta e de fonte (V_{GS}), quando esta estiver interconectada com o substrato, exceder a uma determinada tensão de limiar de condução de canal (V_{To}).

O *MOSFET* de depleção possui um canal formado *a priori* por dopagem e já conduz com $V_{GS} = 0$, tal como o *JFET*.

O *MOSFET* de enriquecimento não possui canal formado *a priori* e, portanto, não conduz com $V_{GS} = 0$. A Figura 1.1 exemplifica, esquematicamente, a construção de um *MOSFET* de enriquecimento canal **n**, em corte e planta. A partir de um substrato tipo **p**, fracamente dopado, são construídos, por difusão, dois poços **n⁺** que serão usados como terminais de extremidade de canal (dreno e fonte). Sobre essa região, é crescida termicamente uma camada muito fina de SiO_2 que será o isolante de porta.

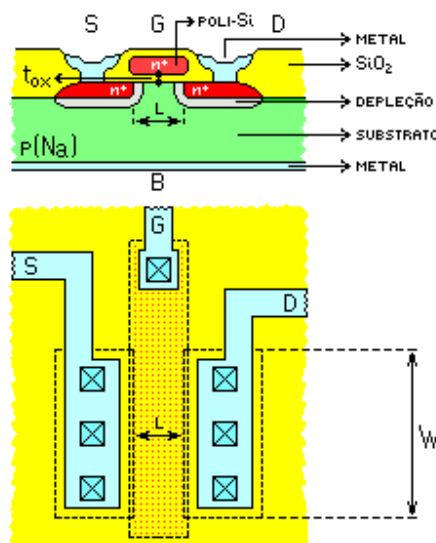


Figura 1.1 - Dados Construtivos Esquemáticos de um MOSFET Canal n de Enriquecimento (Corte e Planta).

A porta, no caso, foi construída com silício policristalino superdopado do tipo **n** (*poli-Si n⁺*), crescido pelo processo CVD (*Chemical Vapor Deposition*) sobre o óxido fino. Após a metalização dos contatos, normalmente feita com alumínio, o dispositivo já está finalizado. A metalização de substrato, desenhada por conveniência em baixo no esquema da Figura 1.1, é, normalmente, interconectada com as metalizações de fonte.

As grandezas físicas e geométricas de maior importância do *MOSFET* são:

- Concentração de dopagem do substrato $\equiv N_a$ [átomos/cm³].
- Comprimento efetivo de canal $\equiv L_{ef}$ [cm].
- Largura efetiva de canal $\equiv W_{ef}$ [cm].
- Espessura do óxido fino de porta $\equiv t_{ox}$ [cm].

O *MOSFET* em repouso ou em equilíbrio térmico, como o apresentado na Figura 1.1, não apresenta canal formado. As duas junções **pn⁺**, e suas respectivas regiões de depleção em fonte e dreno, formam dois diodos em oposição de polaridade. Se uma tensão elétrica externa (V_{DS}) for aplicada entre esses terminais não haverá condução de corrente porque o diodo **D-B** estará reversamente polarizado. O mesmo pode-se dizer em relação a uma tensão aplicada entre fonte e dreno (V_{SD}), pois, nesse caso, o diodo **S-B** estará reversamente polarizado. Para que haja condução de canal, uma tensão positiva ($V_{GB} > V_{To} > 0$) deverá ser aplicada entre os terminais de porta e de substrato, como será visto no próximo item.

1.2 - Características Elétricas

A Figura 1.2 mostra quatro estágios de polarização do *MOSFET* de enriquecimento canal **n**, no qual o terminal de fonte foi interconectado com o terminal de substrato ($V_{SB} = 0$) e sobre o qual foi aplicada uma tensão constante de canal ($V_{DS} > 0$).

Variando-se a tensão de porta-fonte (V_{GS}), obtêm-se quatro condições de condução elétrica:

1.2.1 – Acumulação ($V_{GS} < 0$):

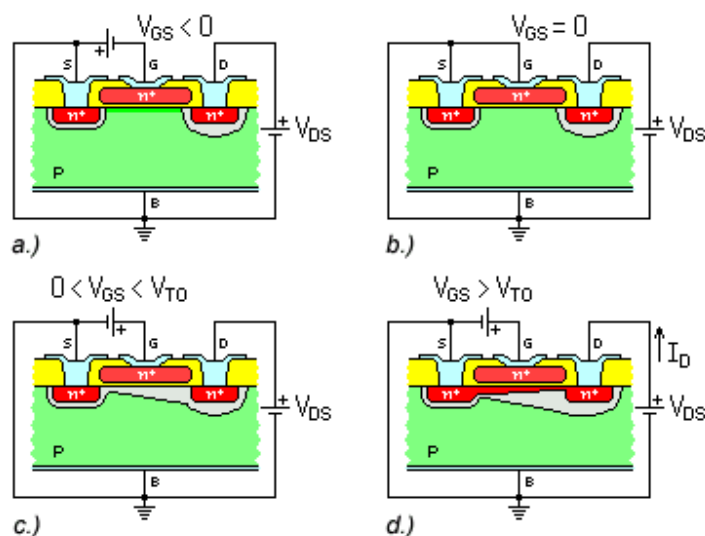


Figura 1.2 – Mecanismos de Condução em um MOSFET de Enriquecimento Canal *n*. a.) Acumulação. b.) Banda Plana. c.) Depleção. d.) Inversão.

Uma tensão negativa aplicada à porta atrai e acumula lacunas do substrato na interface óxido-semicondutor e o canal permanece inexistente devido aos diodos contrapostos. Nesse caso o MOSFET funciona como uma chave aberta, pois: $I_G = 0$ e $I_D \approx 0$. Ver Figura 1.2a.

1.2.2 – Banda Plana ($V_{GS} = V_{FB}$):

Nesse caso, nenhum campo elétrico é aplicado transversalmente ao canal e, portanto, ele permanece em repouso, mantendo a condição do item anterior, isto é, o MOSFET funciona como uma chave aberta, pois: $I_G = 0$ e $I_D \approx 0$. Ver Figura 1.2b.

1.2.3 – Depleção ($V_{FB} < V_{GS} < V_{T0}$):

Uma tensão positiva aplicada à porta expulsa lacunas da interface óxido-semicondutor para o substrato, criando uma região em depleção. Note-se que a largura de depleção é superior no terminal de dreno porque, nesse terminal, a tensão reversa é maior. Regiões em depleção ou de carga espacial não possuem portadores livres e, portanto, ainda não haverá condução de canal, isto é, o MOSFET funciona como uma chave aberta, pois: $I_G = 0$ e $I_D \approx 0$. Ver Figura 1.2c.

1.2.4 – Inversão ($V_{GS} > V_{T0}$):

Se a tensão de porta continuar a crescer, a região de depleção aumentará até um limite máximo determinado pela intensidade de campo elétrico na interface óxido-semicondutor. Quando o campo, nessa interface, adquirir energia associada superior à do *gap* do *Si*, novos pares elétron-lacuna serão liberados. As lacunas liberadas são expulsas para o substrato e os elétrons liberados são atraídos para a interface, formando uma finíssima camada de cargas invertidas, em relação à polaridade do substrato. A partir desse ponto praticamente cessa a geração de cargas de depleção e a população de cargas de inversão aumenta rapidamente. Como os elétrons são cargas livres, será iniciado um processo de condução de canal através da interligação entre os dois poços n^+ de dreno e fonte.

Nesse caso, portanto, o *MOSFET*, conforme a situação de polarização, pode funcionar como resistor variável controlado por tensão, como amplificador de sinais ou como chave fechada, pois: $I_G = 0$ e $I_D > 0$. Ver Figura 1.2d.

1.2.5 – Tensão de Limiar (V_{To}):

A tensão que, aplicada à porta, inicia o processo de inversão de cargas do substrato é chamada de *tensão de limiar* de condução de canal (V_{To}) e depende de alguns parâmetros físicos e geométricos da construção do *MOSFET*. Desprezando-se os efeitos de segunda ordem, a tensão de limiar pode ser calculada pelas equações:

- Canal **n**:

$$V_{To} = \gamma_n \sqrt{2\phi_{Fp}} + 2\phi_{Fp} \quad [\text{V}] \quad (1.a)$$

- Canal **p**:

$$V_{To} = -\gamma_p \sqrt{2\phi_{Fn}} - 2\phi_{Fn} \quad [\text{V}] \quad (1.b)$$

E, onde:

$$\phi_{Fp} = V_t \ln\left(\frac{N_a}{n_i}\right) \quad \text{e} \quad \phi_{Fn} = V_t \ln\left(\frac{N_d}{n_i}\right)$$

Essas grandezas são os respectivos potenciais de Fermi dos substratos.

As grandezas abaixo são chamadas de *sensibilidade de corpo* e medidas em $[\sqrt{\text{V}}]$.

$$\gamma_n = \frac{\sqrt{2\epsilon_s q N_a}}{C_{ox}} \quad \text{e} \quad \gamma_p = \frac{\sqrt{2\epsilon_s q N_d}}{C_{ox}}$$

A capacitância por área do óxido é calculada pela equação:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad [\text{F/cm}^2]$$

Outras grandezas:

- Potencial térmico: $V_t = (\theta + 273.15) * 86,1734215226 \times 10^{-6} \text{ V}$.
- Carga do elétron: $q = 1,60217733 \times 10^{-19} \text{ C}$.
- Concentração intrínseca do Si: $n_i = 1,45 \times 10^{10} \text{ cm}^{-3} @ 27^\circ \text{C}$.
- Constante dielétrica do Si: $\epsilon_s = 1,05364835 \times 10^{-12} \text{ F/cm}$.
- Constante dielétrica do óxido: $\epsilon_{ox} = 3,45313325 \times 10^{-13} \text{ F/cm}$.
- Concentrações de dopantes do substrato: N_a ou $N_d \equiv (10^{13} \sim 10^{17}) \text{ cm}^{-3}$.
- Espessura do óxido de porta: $t_{ox} \equiv (5 \sim 100) \text{ nm}$.

Incluindo-se efeitos de segunda ordem, ou seja: influência do metal de porta sobre o semiconductor, influência sobre o semiconductor de cargas parasitas aprisionadas no óxido e implantação iônica de canal, o cálculo da tensão de limiar torna-se:

- Canal **n**:

$$V_{To} = V_{FB} + \gamma_n \sqrt{2\phi_{Fp}} + 2\phi_{Fp} \quad [\text{V}] \quad (2.a)$$

- Canal **p**:

$$V_{To} = V_{FB} - \gamma_p \sqrt{2\phi_{Fn}} - 2\phi_{Fn} \quad [\text{V}] \quad (2.b)$$

A grandeza V_{FB} , conhecida como *tensão de banda plana*, é calculada por:

$$V_{FB} = \Phi_{ms} - \frac{Q_{Sef}}{C_{ox}} \pm \frac{Q_{(I/I)}}{C_{ox}} \quad [\text{V}] \quad (3)$$

Sendo:

- Diferença entre as funções trabalho do metal e do semiconductor: $\Phi_{ms} = -0,605 - \phi_{Fp}$ [V] entre alumínio e o substrato **p** e $\Phi_{ms} = -0,605 + \phi_{Fn}$ [V], entre alumínio e o substrato **n**.
- Carga efetiva equivalente aprisionada no óxido: $Q_{Sef} \approx 3,2 \text{ nC/cm}^2 \sim 16 \text{ nC/cm}^2$.
- Implantação iônica de canal: $|Q_{(I/I)}| \approx 16 \text{ nC/cm}^2 \sim 160 \text{ nC/cm}^2$.

A implantação iônica serve para ajustar V_{To} em um valor desejado. É positiva se a implantação for de *boro*, elevando o valor da tensão de limiar e negativa se a implantação for de *fósforo*, diminuindo o valor da tensão de limiar. O *MOSFET* canal **n**, com forte implantação de *fósforo*, passa a ter tensão de limiar negativa e é conhecido como *MOSFET* de depleção canal **n**. Da mesma forma, o *MOSFET* canal **p**, com forte implantação de *boro*, passa a ter tensão de limiar positiva e é conhecido como *MOSFET* de depleção canal **p**.

1.3 – Modelagem

O *MOSFET*, apesar de possuir uma estrutura geometricamente bem mais simples, é bem mais complexo do que o *BJT* em relação à modelagem. Primeiramente, as várias regiões de funcionamento não podem ser modeladas com apenas uma equação e, segundo, conforme as dimensões dos dispositivos variam, não podem ser modelados por apenas um modelo. Os vários modelos disponíveis em simuladores são designados por níveis. São encontrados, portanto, em simuladores, modelos em *Nível 1*, *Nível 2*, *Nível 3*, etc., *BSIM*, *BSIM2*, *BSIM3*, *BSIM4*, *EKV*, *VDMOS*, etc., dependendo do tipo e da precisão necessária para a simulação. Para cálculos manuais, o único modelo viável é o *Nível 1* (*Shichman e Hodges*), que é o mais simples e, conseqüentemente, o mais impreciso. Esse modelo só é aceitável para *MOSFET*'s grandes ($L > 10\mu\text{m}$).

Quando o *MOSFET* é polarizado com $V_{GS} > V_{To}$ e $V_{DS} > 0$ e, portanto, em condução, três regiões de funcionamento podem ser alcançadas. Analisando-se o *MOSFET* de enriquecimento canal **n**, pode-se escrever:

1.3.1 – Região Ôhmica ($V_{GS} > V_{To}$ e $0 < V_{DS} < V_{To}$):

Nessa região, como ilustra a Figura 1.3a, o canal é uniforme e a corrente de dreno relaciona-se com as tensões aplicadas pela Equação 4:

$$I_D = \frac{W}{L} \mu_n C_{ox} \times (V_{GS} - V_{To}) \times V_{DS} \quad [\text{A}] \quad (4)$$

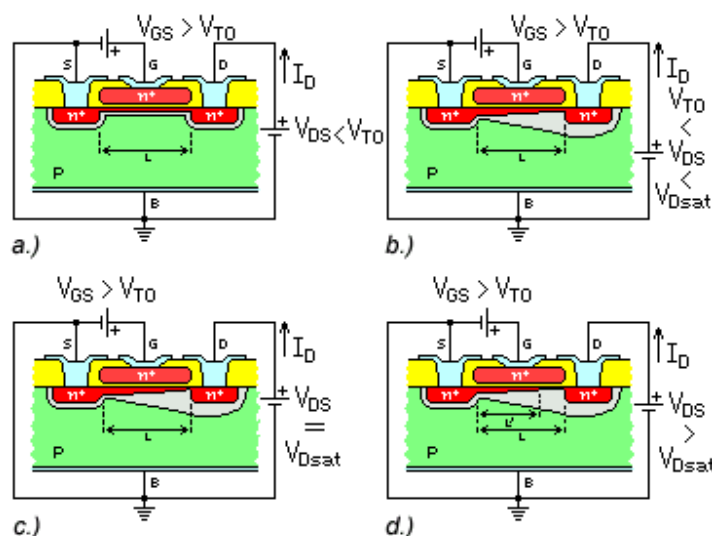


Figura 1.3 – Vários Níveis de Condução de Corrente de um MOSFET de Enriquecimento Canal n. a.) Região Ôhmica. b.) Região Linear ou Tríodo. c.) Pinçamento de Canal. d.) Região de Saturação ou Pêntodo.

A Equação 4 retrata a família de curvas do MOSFET em uma região próxima à origem e, como a relação entre a corrente e as tensões é linear, essa região é chamada *ôhmica*. A resistência equivalente de canal nessa região, quando $V_{DS} \rightarrow 0$, é calculada pela Equação 5:

$$R_{DSon} = \frac{\partial V_{DS}}{\partial I_D} = \frac{L}{W\mu_n C_{ox} \times (V_{GS} - V_{To})} \quad [\Omega] \quad (5)$$

Esse é um parâmetro muito importante a ser analisado quando o MOSFET for trabalhar como chave eletrônica de potência ou como resistor variável controlado por tensão. A grandeza μ_n [$\text{cm}^2/\text{V.s}$] é a mobilidade do portador livre do canal (elêtron, no caso).

1.3.2 – Região Linear ou Tríodo ($V_{GS} > V_{To}$ e $0 < V_{DS} \leq V_{GS} - V_{To}$):

Quando V_{DS} cresce, a tensão positiva aplicada ao dreno, atrai os elétrons com maior intensidade e estreita o canal nessa extremidade, como ilustra a Figura 1.3b. A relação entre tensão e corrente, calculada pela aproximação de *canal gradual*, torna-se, então, predominantemente quadrática e passa a valer:

$$I_D = \frac{W}{L} \mu_n C_{ox} \times (V_{GS} - V_{To} - 0,5V_{DS}) \times V_{DS} \times (1 + \lambda V_{DS}) \quad [\text{A}] \quad (6)$$

A Equação 6 é válida para $V_{DS} \leq V_{GS} - V_{To}$. Quando a tensão de dreno atingir o valor limite de $V_{DS} = V_{GS} - V_{To}$, o canal estreita-se totalmente e atinge um estado chamado de *pinçamento*, como ilustra a Figura 1.3c. A partir desse ponto, a corrente de dreno, em tese, não pode mais crescer em função de V_{DS} e, portanto, o canal atinge uma condição de saturação. A tensão limítrofe da região tríodo, $V_{DSat} = V_{GS} - V_{To}$, é, portanto, conhecida como tensão de saturação de canal e estabelece a fronteira entre essa região e a próxima a ser analisada. O termo λV_{DS} , na Equação 6, conhecido como modulação de comprimento de canal, é, ainda, numericamente desprezível para os níveis de V_{DS} dessa região.

A relação entre I_D e V_{DS} apresenta-se predominantemente quadrática e a relação entre I_D e V_{GS} ainda é linear, originando, assim, o nome dado a essa região.

1.3.3 – Região de Saturação ou Pêntodo ($V_{GS} > V_{To}$ e $V_{DS} \geq V_{GS} - V_{To}$):

Após o pinçamento do canal, a Equação 6 torna-se inválida e a corrente de dreno, teoricamente, tende a permanecer constante em função de V_{DS} . A Equação 7 define a corrente de dreno nessa região em Nível 1 de modelagem.

$$I_D = \frac{1}{2} \times \frac{W}{L} \mu_n C_{ox} \times (V_{GS} - V_{To})^2 \times (1 + \lambda V_{DS}) \quad [A] \quad (7)$$

O termo λV_{DS} é um efeito de segunda ordem chamado *efeito de modulação de comprimento de canal*, ilustrado na Figura 1.3d. Quando V_{DS} cresce, o pinçamento é obrigado a aprofundar-se no canal, encurtando, assim, o seu comprimento elétrico de L para $L' < L$. Canais mais curtos são menos resistivos do que canais mais longos e, por isso, a corrente I_D adquire uma pequena dependência de V_{DS} . O parâmetro λ , chamado de *coeficiente de modulação de comprimento de canal* e medido em $[V^{-1}]$, é significativo para *MOSFET* de canal curto ($L \leq 2\mu m$) e insignificante para *MOSFET* de canal longo ($L > 10\mu m$). Para o *MOSFET* idealizado, $\lambda = 0$. A Figura 1.4 mostra as curvas $I_D \times V_{GS} \times V_{DS}$, definidas pelas Equações 6 e 7, para um *MOSFET* de enriquecimento canal **n**, com $\lambda = 0$ e $\lambda \neq 0$. Note-se que a região ôhmica faz parte da região linear, gráfica e algebricamente, e a Equação 4 é, na realidade, um limite da Equação 6 com $V_{DS} \rightarrow 0$.

1.3.4 – Nomenclaturas Alternativas:

Como se pode notar, as Equações 6 e 7 possuem variáveis dependentes de geometria (W , L e t_{ox}) e de grandezas físicas (μ e ϵ_{ox}) do *MOSFET*. Para projetistas de circuitos integrados essas variáveis são interessantes e necessárias. Para o engenheiro convencional, que trabalha com dispositivos prontos, no entanto, essas grandezas são desconhecidas e indesejáveis. Por isso, modelos alternativos, dependentes apenas de grandezas elétricas, ou modelos mistos, dependentes apenas de grandezas elétricas e geométricas, podem ser escritos. Então:

1.3.4.a - Região Linear ou Tródo:

$$I_D = \frac{W}{L} \times K_P \times (V_{GS} - V_{To} - 0,5V_{DS}) \times V_{DS} \times (1 + \lambda V_{DS}) \quad [A] \quad (8)$$

1.3.4.b - Região de Saturação ou Pêntodo:

$$I_D = \frac{1}{2} \times \frac{W}{L} \times K_P \times (V_{GS} - V_{To})^2 \times (1 + \lambda V_{DS}) \quad [A] \quad (9)$$

O parâmetro K_P , conhecido como *coeficiente de transcondutância* e medido em $[A/V^2]$, é calculado, respectivamente para *MOSFET* canal **n** e **p**, do seguinte modo:

$$K_{Pn} = \mu_n C_{ox} \quad e \quad K_{Pp} = \mu_p C_{ox}$$

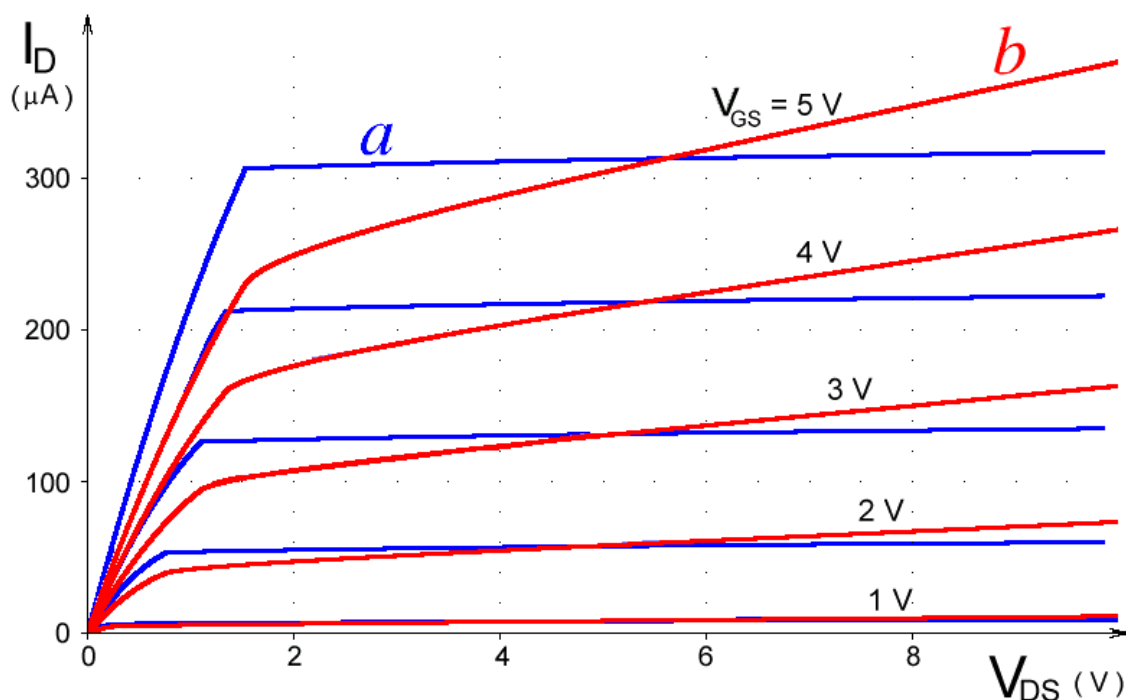


Figura 1.4 – Curvas $I_D \times V_{GS} \times V_{DS}$ de um MOSFET de Enriquecimento Canal n. a.) Com $\lambda = 0$. b.) Com $\lambda \neq 0$.

Alternativamente, as Equações 8 e 9 podem ser escritas das seguintes formas:

1.3.4.c - Região Linear ou Trípodo:

$$I_{Dt} = \beta \times (V_{GS} - V_{To} - 0,5V_{DS}) \times V_{DS} \times (1 + \lambda V_{DS}) \quad [\text{A}] \quad (10)$$

1.3.4.d - Região de Saturação ou Pêntodo:

$$I_{Dp} = \frac{\beta}{2} \times (V_{GS} - V_{To})^2 \times (1 + \lambda V_{DS}) \quad [\text{A}] \quad (11)$$

Neste caso os fatores de transcondutância, que englobam informações de geometria, são calculados, respectivamente para MOSFET canal **n** e **p**, pelas seguintes relações:

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox} \quad e \quad \beta_p = \frac{W_p}{L_p} \mu_p C_{ox}$$

Os parâmetros β_n e β_p não são, no entanto, parâmetros de modelagem aceitos pelo SPICE, em qualquer nível. As Equações 10 e 11 são as mais frequentemente usadas em cálculos manuais envolvendo os MOSFET's porque elas são dependentes, apenas, tal qual no JFET, de grandezas elétricas externamente aplicadas e de três parâmetros de modelagem estática (β , V_{To} e λ), facilmente determináveis em ensaios de laboratório [2]. Esses parâmetros podem aparecer, na literatura em geral, com outras notações tais como, por exemplo: k ou k_n no lugar de K_P e V_T ou V_{Th} no lugar de V_{To} .

MOSFET – Símbolos

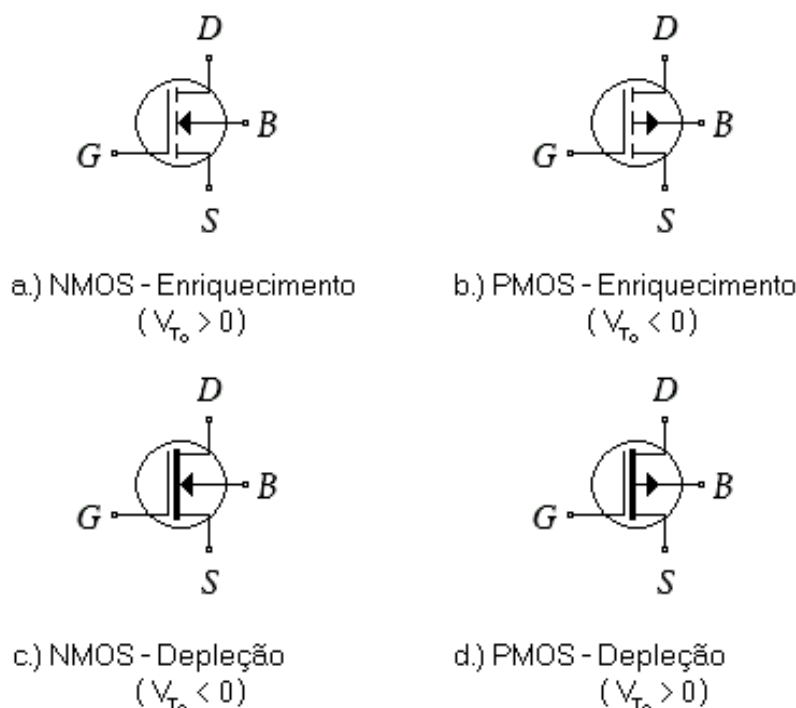


Figura 1.5 – Simbologia mais Comum Usada Para MOSFET 's.

1.3- Simbologia e Polarização

Os símbolos mais usados para MOSFET são mostrados na Figura 1.5. Alguns símbolos alternativos simplificados, principalmente em esquemas de circuitos integrados contendo muitos dispositivos, podem, também, ser usados. Para trabalhar como amplificador analógico de sinais, o MOSFET precisa ser polarizado na região ativa, também chamada de região pênodo ou de saturação. Nessa região, para o MOSFET canal **n** de enriquecimento ($V_{T_0} > 0$), as grandezas quiescentes devem situar-se nas faixas: $I_{DQ} > 0$; $V_{GSQ} > V_{T_0}$ e $V_{DSQ} > V_{GSQ} - V_{T_0}$. Para o MOSFET canal **p** de enriquecimento ($V_{T_0} < 0$) os cálculos devem ser feitos “em módulo” e os resultados devem ter seus sinais algébricos trocados. Então, para o MOSFET canal **p** de enriquecimento, polarizado na região ativa: $I_{DQ} < 0$, $V_{GSQ} < V_{T_0}$ e $V_{DSQ} < V_{GSQ} - V_{T_0}$. Os MOSFET 's, tanto de canal **n** quanto de canal **p**, podem ser do tipo de depleção. Nesse caso, os comportamentos elétricos dos mesmos são muito semelhantes aos dos JFET's, isto é: na região ativa, para o MOSFET canal **n** de depleção ($V_{T_0} < 0$), as grandezas quiescentes devem situar-se nas faixas: $I_{DQ} > 0$; $V_{T_0} < V_{GSQ} < 0$ e $0 < V_{GSQ} - V_{T_0} < V_{DSQ}$. Para o MOSFET canal **p** de depleção ($V_{T_0} > 0$) os cálculos devem ser feitos “em módulo” e os resultados devem ter seus sinais algébricos trocados. Então, para o MOSFET canal **p** de depleção, na região ativa: $I_{DQ} < 0$, $0 < V_{GSQ} < V_{T_0}$ e $V_{DSQ} < V_{GSQ} - V_{T_0} < 0$. Para o MOSFET não é possível determinar-se um cálculo para o ponto quiescente que seja estável termicamente e razoavelmente independente dos parâmetros internos do dispositivo. Termicamente o MOSFET é muito estável graças ao seu coeficiente térmico negativo, na região ativa.

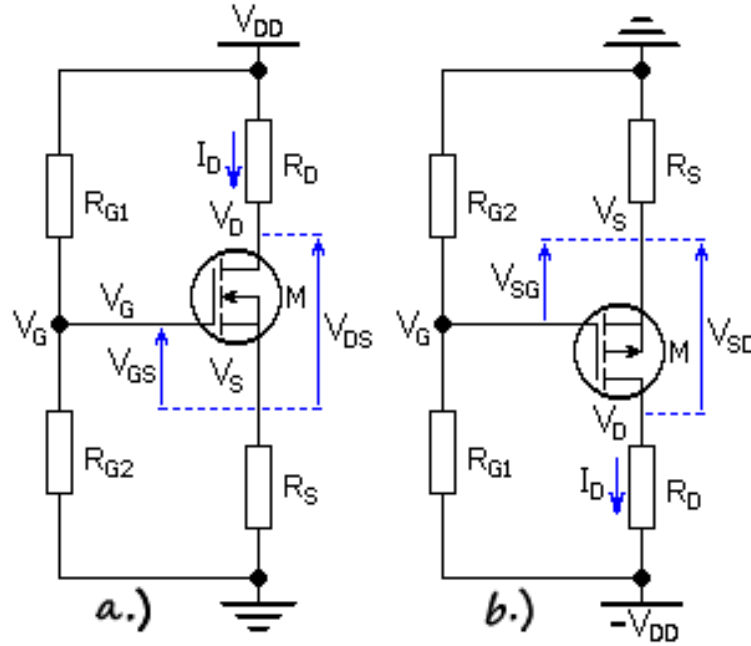


Figura 1.6 – Circuitos de Polarização do MOSFET de Enriquecimento. a.) Canal *n*. b.) Canal *p*.

Os espalhamentos de fabricação afetando os parâmetros β e V_{To} , no entanto, são muito comuns em componentes discretos, e, por isso, pontos quiescentes estáveis em montagens em série são normalmente problemáticos.

1.4.1 – Cálculo do Ponto de Polarização:

A Figura 1.6 apresenta o circuito genérico de polarização usado na prática para o MOSFET canal *n*. Se o MOSFET for de *depleção*, usa-se o circuito de autopolarização idêntico ao do JFET canal *n*, com $R_{G1} = \infty$ e $R_{G2} = R_G$. Se o MOSFET for de *enriquecimento*, usa-se o circuito da Figura 1.6, podendo-se, eventualmente, fazer $R_S = 0$. O cálculo do ponto de polarização é feito na região de saturação, com calculadoras avançadas, pela resolução da equação genérica dada por:

$$k_3 R_S^2 I_{D_Q}^3 - R_S (2k_1 k_3 + k_2 R_S) I_{D_Q}^2 + \left(k_1^2 k_3 + 2k_1 k_2 R_S + \frac{2}{\beta} \right) I_{D_Q} - k_1^2 k_2 = 0 \quad (12a)$$

Onde:

$$k_1 = V_G - V_{To} \quad [\text{V}]$$

$$k_2 = 1 + \lambda \times V_{DD} \quad [-]$$

$$k_3 = \lambda \times (R_D + R_S) \quad [\text{A}^{-1}]$$

$$V_G = \frac{R_{G2} V_{DD}}{R_{G1} + R_{G2}} \quad [\text{V}]$$

$$\beta_n = \frac{W}{L} K_{Pn} = \frac{W}{L} \mu_n C_{ox} = \frac{W}{L} \mu_n \frac{\epsilon_{ox}}{t_{ox}} \quad [\text{A/V}^2]$$

$$\beta_p = \frac{W}{L} K_{Pp} = \frac{W}{L} \mu_p C_{ox} = \frac{W}{L} \mu_p \frac{\epsilon_{ox}}{t_{ox}} \quad [\text{A/V}^2]$$

Genericamente, como para o *JFET*, o ponto quiescente pode ser calculado pelo sistema de Equações 12b:

$$\begin{aligned}
 V_G &= \frac{R_{G_2} V_{DD}}{R_{G_1} + R_{G_2}} \quad [\text{V}] \\
 R_G &= \frac{R_{G_1} R_{G_2}}{R_{G_1} + R_{G_2}} \\
 V_{Dsat} &= V_{GS} - V_{To} \\
 I_{Dt} &= \frac{W}{L} K_P \times (V_{GS} - V_{To} - 0,5V_{DS}) \times V_{DS} \times (1 + \lambda V_{DS}) \\
 I_{Dp} &= \frac{W \times K_P}{2L} \times (V_{GS} - V_{To})^2 (1 + \lambda V_{DS}) \\
 V_{GS} &= V_G - R_S I_D \\
 V_{DS} &= V_{DD} - (R_S + R_D) I_D \\
 I_D &= IFTE(V_{DS} \geq V_{Dsat}, I_{Dp}, I_{Dt}) \quad (12b)
 \end{aligned}$$

1.4.2 - Ponto Quiescente e Reta de Carga:

Após o estabelecimento do tipo de circuito e do ponto quiescente, deve-se verificar a posição do mesmo na reta de carga. Define-se como reta de carga o lugar geométrico dos pontos de polarização de um circuito em função das grandezas elétricas externamente aplicadas. A equação da reta de carga de um circuito como o da Figura 1.6 vale:

$$I_D = \frac{V_{DD} - V_{DS}}{R_D + R_S}$$

Então:

- para $V_{DS} = V_{DD} \Rightarrow I_D = 0$
- e
- para $V_{DS} = 0 \Rightarrow I_D = I_{D_{\max}} = \frac{V_{DD}}{R_D + R_S}$

A Figura 1.7 ilustra a situação da reta de carga em relação às curvas $I_D \times V_{DS}$ do *MOSFET*. O ponto quiescente do circuito, calculado pelas Equações 12a ou 12b, estará obrigatoriamente sobre essa reta. Quando um sinal AC for aplicado externamente na malha de porta do circuito, o ponto quiescente se deslocará sobre a reta de carga causando variações de V_{DS} e I_D , proporcionalmente às variações de V_{GS} . A máxima excursão útil de sinal será delimitada pelos pontos:

$$[I_D = 0; V_{DS} = V_{DD}] \text{ e } [I_D = I_{D_x}; V_{DS} = V_{DS_x}]$$

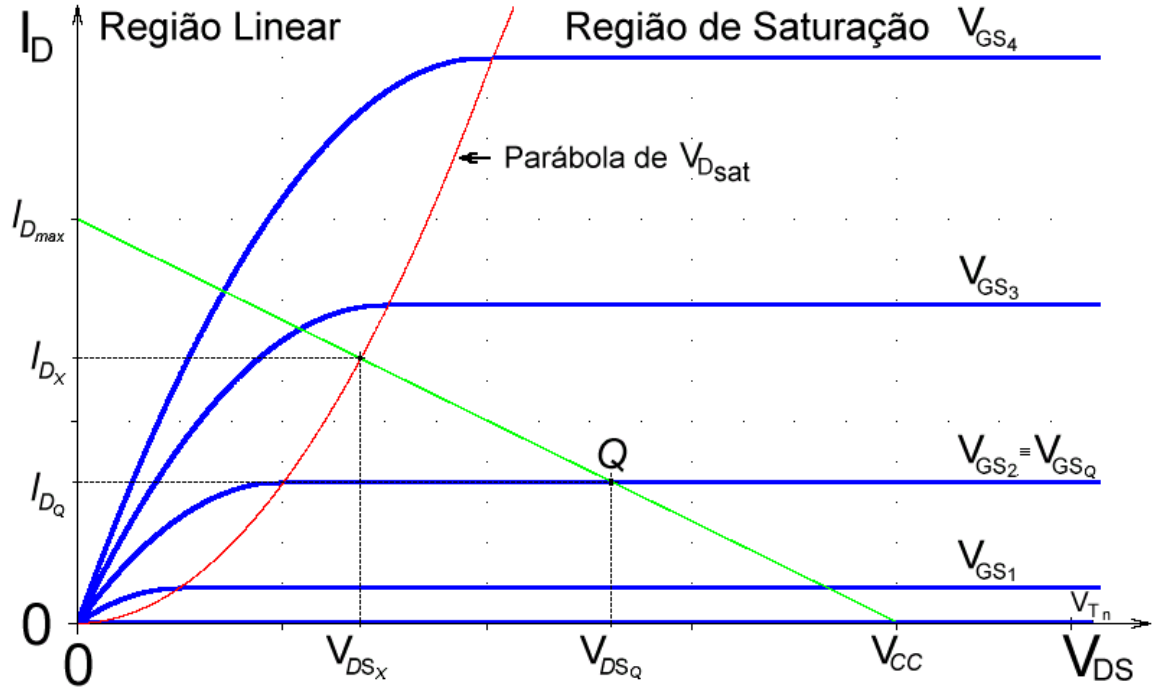


Figura 1.7 – Ponto Quiescente e Reta de Carga.

A tensão V_{DSx} é o ponto limítrofe entre a região de saturação e a região trítodo do *MOSFET* e pode ser calculada pela resolução da equação:

$$V_{DSx} = \text{IFTE}(V_{DS} \geq V_{Dsat}, \frac{\sqrt{1 + 2 \times \beta \times V_{DD} \times (R_D + R_S) \times (1 - \lambda V_{To})} - 1}{\beta \times (R_D + R_S) \times (1 - \lambda V_{To})}, \text{inválido}) \quad (13)$$

1.4- Parâmetros Incrementais

1.5.1 - Introdução:

Os parâmetros incrementais de pequenos sinais do *MOSFET* permitem que seja estipulado um modelo linearizado para o dispositivo, como mostra a Figura 1.8, calculado na vizinhança de um ponto quiescente pré-determinado e válido apenas para sinais alternados (AC). Esses parâmetros são calculados como a seguir:

1.5.2 - Transcondutância:

1.5.2.a – Para a região de saturação ou pênodo ($V_{DSQ} \geq V_{Dsat}$):

$$g_{mp} = \beta \times (V_{GS} - V_{To}) \times (1 + \lambda V_{DS}) = \frac{2I_D}{V_{Dsat}} \quad [\text{A/V}] \quad (14a)$$

1.5.2.b – Para a região linear ou trítodo ($V_{DSQ} \leq V_{Dsat}$):

$$g_{mt} = \beta \times V_{DS} \times (1 + \lambda \times V_{DS}) \quad [\text{A/V}] \quad (14b)$$

Então:

$$g_m = IFTE(V_{DS} \geq V_{Dsat}, g_{mp}, g_{mt}) \quad (14)$$

A transcondutância define o poder de variação da corrente de dreno do *MOSFET* em função da variação da tensão entre a porta e a fonte do dispositivo e vale $g_m = \partial I_D / \partial V_{GS}$, com V_{DS} constante.

1.5.3 - Resistência Incremental de Entrada:

Como a porta é um circuito aberto em baixas frequências, a resistência incremental de entrada do *MOSFET*, calculada por $r_i = \partial V_{GS} / \partial I_G$, com V_{DS} constante, é infinita.

1.5.4 - Resistência Incremental de Saída:

A resistência incremental de saída ou resistência incremental de dreno, dada por $r_{ds} = \partial V_{DS} / \partial I_D$, com V_{GS} constante, representa a resistência interna da fonte de corrente de saída do dispositivo. Vale, portanto:

1.5.4.a - Para a região de saturação ou pñtado ($V_{DS_Q} \geq V_{Dsat}$):

$$r_{dsp} = IFTE(\lambda \neq 0, \frac{1 + \lambda \times V_{DS}}{\lambda \times I_D}, \infty) \quad [\Omega] \quad (15a)$$

1.5.4.b - Para a região linear ou tríodo ($V_{DS_Q} \leq V_{Dsat}$):

$$r_{dst} = \frac{1}{\beta[(1 + 2\lambda V_{DS})(V_{GS} - V_{To}) - V_{DS}(1 + 1,5\lambda V_{DS})]} \quad [\Omega] \quad (15b)$$

Então:

$$r_{ds} = IFTE(V_{DS} \geq V_{Dsat}, r_{dsp}, r_{dst}) \quad (15)$$

1.5.5 - Capacitâncias Incrementais de Porta-Canal:

Como a porta está isolada do canal por uma camada de óxido, entre essas duas regiões é estabelecida uma capacitância distribuída que pode ser calculada como se fossem duas capacitâncias concentradas em cada uma das extremidades do canal. Próximo à origem, isto é, para $V_{DS} \rightarrow 0$, as capacitâncias concentradas são igualmente divididas para cada extremidade do canal. Então:

1.5.5.a – Capacitância Incremental entre porta e fonte:

$$C_{gs} = IFTE(V_{GS} \leq V_{To}, 0, IFTE(V_{DS} \geq V_{Dsat}, \frac{2C'_{ox}}{3}, \frac{2C'_{ox}(1+2x)}{3(1+x)^2})) + C_{gs(ov)} \quad [F] \quad (16a)$$

1.5.5.b – Capacitância Incremental entre porta e dreno:

$$C_{gd} = IFTE(V_{GS} \leq V_{To}, 0, IFTE(V_{DS} \geq V_{Dsat}, 0, \frac{2C'_{ox}(x+2)x}{3(1+x)^2})) + C_{gd(ov)} \quad [F] \quad (16b)$$

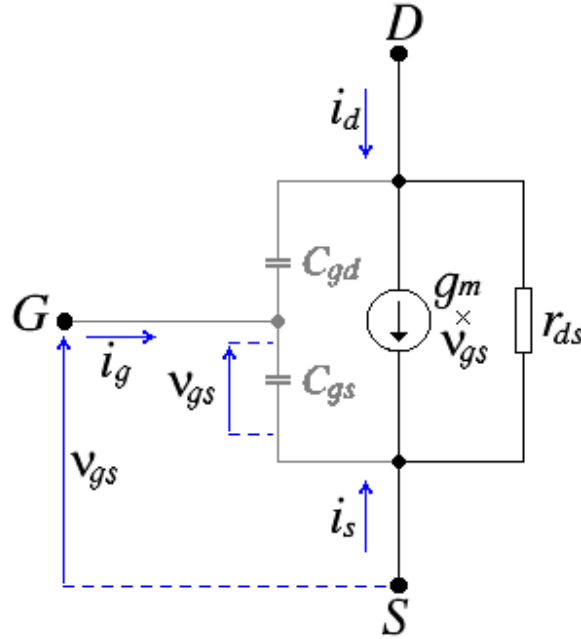


Figura 1.8 – MOSFET - Modelo Linearizado Para Pequenos Sinais.

Onde:

$$C'_{ox} = WLC_{ox} = WL \frac{\epsilon_{ox}}{t_{ox}} \quad [F] \quad \text{e} \quad x = 1 - \frac{V_{DS}}{V_{Dsat}}$$

As grandezas $C_{gs(ov)}$ e $C_{gd(ov)}$ são capacitâncias de superposição (*overlap*) definidas na literatura [5].

2. Amplificadores Básicos

2.1 - Fonte-Comum

As equações a seguir são referentes ao circuito da Figura 2.1, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.8:

2.1.1 - Ganho de Tensão:

$$A_v = \frac{v_o}{v_i} = \frac{-g_m r_{ds} R_D^*}{r_{ds} + R_D^* + R_{S(AC)}(1 + g_m r_{ds})} \quad [V/V]$$

e

$$A_{vg} = \frac{v_o}{v_g} = \frac{R_G A_v}{R_G + R_{ger}} \quad [V/V]$$

2.1.2 - Resistência de Saída:

$$R_o = \frac{[r_{ds} + R_{S(AC)}(1 + g_m r_{ds})]R_D}{r_{ds} + R_D + R_{S(AC)}(1 + g_m r_{ds})} \quad [\Omega]$$

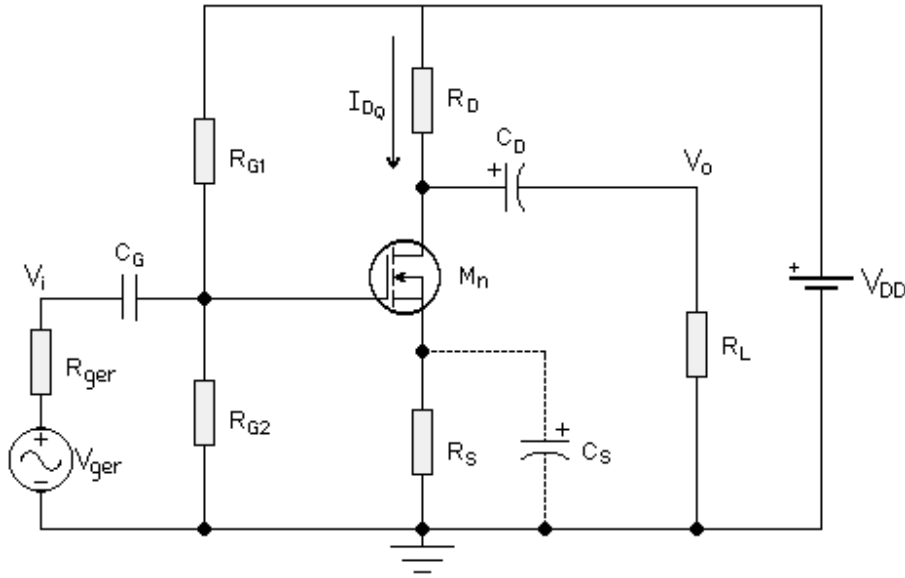


Figura 2.1 – Amplificador Fonte-Comum Genérico.

2.1.3 - Resistência de Entrada:

$$R_i = \frac{R_{G1}R_{G2}}{R_{G1}+R_{G2}}$$

2.1.4 - Frequência de Corte nas Altas:

$$f_{CA} \approx \frac{R_{ger} + R_G}{2\pi R_G \left\{ R_{ger} + \left(\frac{g_m R_{ger}}{1 + g_m R_{S(AC)}} + \frac{R_{ger} + R_G}{R_G} \right) \times R_L^* \times C_{gd} + \frac{g_m R_L^* R_{ger}}{1 + g_m (R_L^* + R_{S(AC)})} \times C_{gs} \right\}}$$

Essa equação é genérica e pode ser usada nos dois casos, isto é, com $C_S = 0$ e com $C_S \neq 0$. Como, porém, algumas aproximações foram feitas na dedução dessa equação, ela é válida apenas para $R_{ger} \geq 1 \text{ k}\Omega$, quando $C_S = 0$. Caso contrário, o valor da f_{CA} deverá ser aferido por simulação. Se $C_S \neq 0$, todavia, para qualquer valor de R_{ger} , a aproximação da equação acima é bastante boa. O circuito linearizado equivalente, usado para o cálculo dessa equação, está apresentado na Figura 1.8.

2.1.5 - Frequência de Corte nas Baixas:

2.1.5.a – Polo de Porta:

$$p_G = \frac{1}{2\pi C_G (R_{ger} + R_G)} \quad [\text{Hz}]$$

2.1.5.b – Polo de Dreno:

$$p_D = \frac{1}{2\pi C_D (R_o + R_L)} \quad [\text{Hz}]$$

2.1.5.c – Polo de Fonte:

$$p_s = IFTE \left[C_s \neq 0, \frac{1}{2\pi C_s R_s} \times \frac{r_{ds} + R_D^* + R_s \times (1 + g_m r_{ds})}{r_{ds} + R_D^*}, 0 \right] \quad [\text{Hz}]$$

2.1.5.d – Zero de Fonte:

$$z_s = IFTE \left[C_s \neq 0, \frac{1}{2\pi C_s R_s}, 0 \right] \quad [\text{Hz}]$$

2.1.5.e – Frequência de Corte nas Baixas:

$$f_{CB} = IFTE \left[C_s \neq 0, \sqrt{p_G^2 + p_D^2 + p_S^2 - 2z_s^2}, \sqrt{\frac{p_G^2 + p_D^2 + \sqrt{p_G^4 + p_D^4 + 6p_G^2 p_D^2}}{2}} \right] \quad [\text{Hz}]$$

2.1.6 - Equações Auxiliares:

$$R_D^* = \frac{R_D R_L}{R_D + R_L} \quad [\Omega]$$

$$R_L^* = \frac{r_{ds} R_D^*}{r_{ds} + R_D^*} \quad [\Omega]$$

e

$$R_{S(AC)} = IFTE[C_s \neq 0, 0, R_s] \quad [\Omega]$$

2.2 - Porta-Comum

Equações referentes ao circuito genérico da Figura 2.2, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.8:

2.2.1 - Ganho de Tensão:

- Relacionado à v_i :

$$A_v = \frac{v_o}{v_i} = \frac{1 + g_m r_{ds}}{r_{ds} + R_D^*} \times R_D^* \quad [\text{V/V}]$$

- Relacionado à v_{ger} :

$$A_{vg} = \frac{v_o}{v_g} = \frac{A_v R_i}{R_i + R_{ger}} \quad [\text{V/V}]$$

2.2.2 - Resistência de Saída:

$$R_o = \frac{[r_{ds} + R_s'(1 + g_m r_{ds})]R_D}{r_{ds} + R_D + R_s'(1 + g_m r_{ds})} \quad [\Omega]$$

2.2.3 - Resistência de Entrada:

$$R_i = \frac{(r_{ds} + R_D^*) \times R_s}{r_{ds} + R_D^* + R_s(1 + g_m r_{ds})} \quad [\Omega]$$

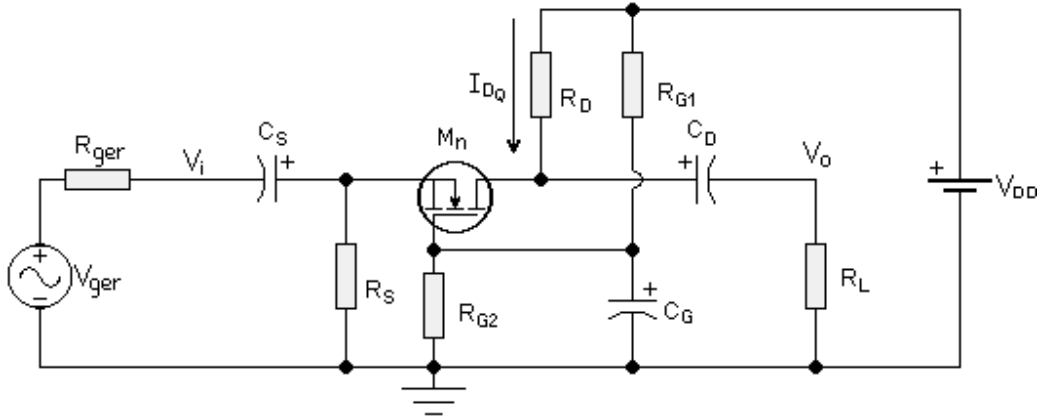


Figura 2.2 – Amplificador Porta-Comum Genérico.

2.2.4 - Frequência de Corte nas Altas:

$$f_{CA} \approx IFTE(R_{ger} \neq 0, \sqrt{\frac{p_i^4 + p_o^4 + 6p_i^2 p_o^2 - p_i^2 - p_o^2}{2}}, p_o) \quad [\text{Hz}]$$

- Polo de entrada:

$$p_i = IFTE(R_{ger} \neq 0, \frac{(R_i + R_{ger})}{2\pi C_{gs} R_i R_{ger}}, 0)$$

- Polo de saída:

$$p_o = \frac{R_o + R_L}{2\pi C_{gd} R_o R_L}$$

2.2.5 - Frequência de Corte nas Baixas:

- Polo de Fonte:

$$p_s = \frac{1}{2\pi C_s (R_{ger} + R_i)} \quad [\text{Hz}]$$

- Polo de Dreno:

$$p_D = \frac{1}{2\pi C_D (R_o + R_L)} \quad [\text{Hz}]$$

- Frequência de Corte:

$$f_{CB} = \sqrt{\frac{p_s^2 + p_D^2 + \sqrt{p_s^4 + p_D^4 + 6p_s^2 p_D^2}}{2}} \quad [\text{Hz}]$$

2.2.6 - Equações Auxiliares:

$$R_D^* = \frac{R_D R_L}{R_D + R_L} \quad ; \quad R_L^* = \frac{r_{ds} R_D^*}{r_{ds} + R_D^*}$$

$$R_S' = \frac{R_S R_{ger}}{R_S + R_{ger}}$$

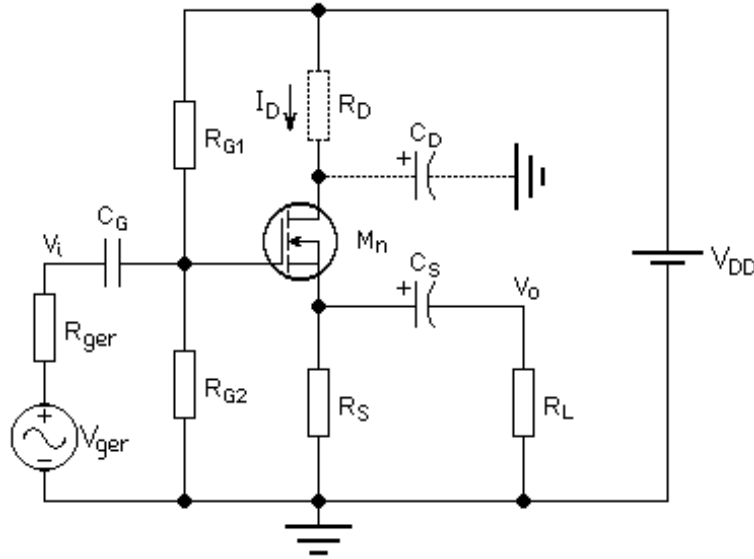


Figura 2.3 – Amplificador Dreno-Comum Genérico.

2.3 - Dreno-Comum

Equações referentes ao circuito genérico da Figura 2.3, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.8.

2.3.1.a - Ganho de Tensão:

$$A_v = \frac{v_o}{v_i} = \frac{g_m r_{ds} R_S^*}{r_{ds} + R_{D(AC)} + (1 + g_m r_{ds}) \times R_S^*} \quad [\text{V/V}]$$

e

$$A_{vg} = \frac{v_o}{v_g} = A_v \times \frac{R_G}{R_G + R_{ger}} \quad [\text{V/V}]$$

2.3.1.b - Resistência de Saída:

$$R_o = \frac{(R_{D(AC)} + r_{ds}) \times R_S}{r_{ds} + R_{D(AC)} + (1 + g_m r_{ds}) \times R_S} \quad [\Omega]$$

2.3.1.c - Resistência de Entrada:

$$R_i = \frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}} \quad [\Omega]$$

2.3.1.d - Frequência de Corte nas Altas:

$$f_{CA} \approx \frac{R_i + R_{ger}}{2\pi R_i R_{ger} \left[C_{gd} \left(1 + \frac{A_v R_{D(AC)}}{R_S} \right) + (1 - A_v) C_{gs} \right]} \quad [\text{Hz}]$$

A equação acima vale para $R_{ger} \geq 1k\Omega$. Para $R_{ger} \leq 1k\Omega$ a f_{CA} tende, teoricamente, a valores muito elevados e fica limitada, apenas, pelos componentes reativos parasitas externos ao circuito.

2.3.1.e - Frequência de Corte nas Baixas:

- Polo de Fonte:

$$p_s = \frac{1}{2\pi C_s (R_o + R_L)} \quad [\text{Hz}]$$

- Polo de Porta:

$$p_G = \frac{1}{2\pi C_G (R_G + R_{ger})} \quad [\text{Hz}]$$

- Frequência de Corte:

$$f_{CB} = \sqrt{\frac{p_s^2 + p_G^2 + \sqrt{p_s^4 + p_G^4 + 6p_s^2 p_G^2}}{2}} \quad [\text{Hz}]$$

2.3.2 - Equações Auxiliares:

$$R_s^* = \frac{R_s R_L}{R_s + R_L} \quad ; \quad R_G = \frac{R_{G1} \times R_{G2}}{R_{G1} + R_{G2}}$$

$$R_{D(AC)} = IFTE(C_D \neq 0, 0, R_D)$$

O resistor R_D e o capacitor C_D são optativos e nulos, na maioria dos casos.

3. Influência do Substrato na Tensão de Limiar

Se, como acontece muitas vezes em circuitos integrados, a fonte e o substrato não estiverem interligados, uma tensão V_{SB} entre esses terminais será gerada. Nesse caso, a tensão de limiar (V_{Tn} ou V_{Tp}) do MOSFET será, em relação à V_{To} , afetada da seguinte forma:

- Canal n :

$$V_{Tn} = V_{To} + \gamma_n \left[\sqrt{(2\phi_{Fp} + V_{SB})} - \sqrt{2\phi_{Fp}} \right] \quad [\text{V}]$$

- Canal p :

$$V_{Tp} = V_{To} - \gamma_p \left[\sqrt{(2\phi_{Fn} + V_{BS})} - \sqrt{2\phi_{Fn}} \right] \quad [\text{V}]$$

A tensão V_{SB} afeta a tensão de limiar proporcionalmente à grandeza γ e, por isso, essa grandeza é chamada de *sensibilidade de corpo* e é calculada pela equação:

$$\gamma_x = \frac{\sqrt{2\epsilon_s q N_x}}{C_{ox}} \quad [\sqrt{\text{V}}]$$

e onde:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad ; \quad \phi_{Fp} = V_t \ln \frac{N_a}{n_i} \quad \text{e} \quad \phi_{Fn} = V_t \ln \frac{N_d}{n_i}$$

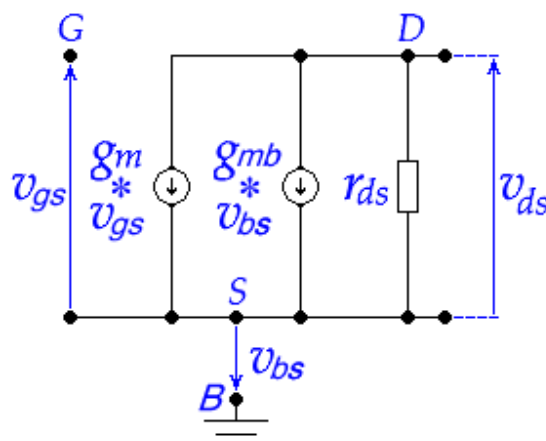


Figura 4.1 – Modelo Linearizado Para Pequenos Sinais do MOSFET com $V_{BS} \neq 0$.

O parâmetro N_x é a concentração de dopantes do substrato. Usando-se substratos fracamente dopados ($N_x < 10^{15} \text{ cm}^{-3}$), a influência de V_{SB} na tensão de limiar é muito pequena.

4. Influência do Substrato na Amplificação do MOSFET

Se ainda, como acontece muitas vezes em circuitos integrados, a fonte e o substrato do MOSFET não estiverem interligados, a transcondutância total dele também será afetada. Nesse caso, o circuito linearizado equivalente do MOSFET não pode mais ser considerado igual ao mostrado na Figura 1.8. A tensão variável entre substrato e fonte (v_{bs}) modula o sinal de saída através da adição de uma fonte de corrente equivalente, colocada em paralelo com a original, como mostra a Figura 4.1. O novo parâmetro de pequenos sinais, chamado de transcondutância de substrato, pode ser calculado pela seguinte equação [6]:

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} \cong \frac{\gamma \times g_m}{2\sqrt{2|\phi_F| + |V_{BS}|}} \quad [\text{A/V}]$$

Nessa equação, V_{BS} é a tensão de polarização entre substrato e fonte do MOSFET e γ é a sensibilidade de corpo do mesmo. O potencial de Fermi vale $\phi_F = -\phi_{Fn}$, se o MOSFET for de canal **p**, e vale $\phi_F = \phi_{Fp}$, se o MOSFET for de canal **n**.

Em simulações pelo SPICE, o parâmetro g_{mb} é sempre calculado se o parâmetro $\gamma \neq 0$ for fornecido. A fonte de corrente adicional mostrada na Figura 4.1, no entanto, só será utilizada se $V_{BS} \neq 0$, isto é, se o substrato do MOSFET não estiver em curto-circuito com a fonte. Em eletrônica discreta esse problema nunca é sentido porque o substrato do MOSFET sempre está em curto-circuito com a fonte. Em eletrônica integrada, no entanto, na qual os MOSFET's precisam compartilhar o mesmo substrato, o problema causado por g_{mb} no comportamento do dispositivo tem que ser analisado com maior precisão. Cálculos manuais e simulações em Nível 1 do SPICE normalmente não dão resultados satisfatórios, nesses casos. Fornecendo-se o parâmetro γ , mesmo em nível 1, o SPICE leva em conta o parâmetro g_{mb} e melhora a precisão no cálculo das grandezas dinâmicas do circuito.

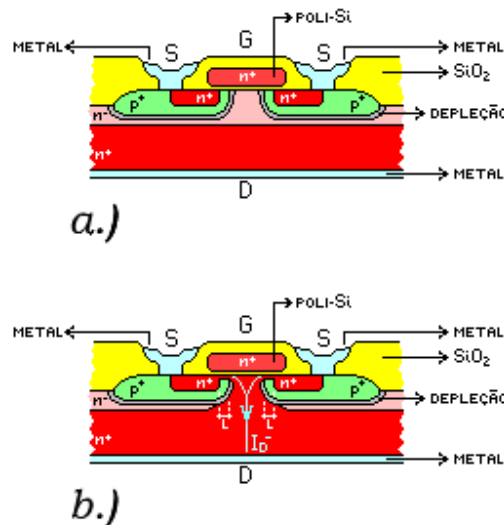


Figura 5.1 – Corte Esquemático de um MOSFET Vertical de Potência Canal n. a.) Com $V_{GS} \leq V_{To}$. b.) Com $V_{GS} > V_{To}$.

5. MOSFET de Potência

MOSFET 's de potência são construídos em uma estrutura vertical com o terminal de dreno acoplado a uma placa metálica de dimensões razoáveis e com acesso externo para a adequada dissipação de calor. A Figura 5.1 mostra um corte esquemático dessa estrutura, também chamada de *VDMOS* por causa das duas difusões de fonte (p^+ e n^+). O princípio de funcionamento desses dispositivos é, basicamente, o mesmo dos *MOSFET* 's laterais planares para pequenos sinais. A Figura 5.1a mostra o corte esquemático de uma célula do dispositivo em repouso ou na região de corte, isto é, com $V_{GS} \leq V_{To}$. Nesse caso, a estrutura apresenta a seguinte configuração:

- Um substrato superdopado (n^+) forma a região de dreno que tem como objetivos diminuir a resistividade do caminho de corrente e proporcionar um bom contato ôhmico com o metal externo.
- Uma região delgada de crescimento epitaxial de dreno, chamada região de *drift*, fracamente dopada (n^-) que tem como objetivo aumentar a tensão de ruptura reversa da junção fonte/dreno (p^+/n^-). Em *MOSFET* 's modernos, a máxima tensão aplicável ao dreno (V_{DSmax}) pode atingir a casa dos 1000 V. A espessura dessa camada é projetada de modo que a tensão V_{DS} não consiga depletá-la completamente iniciando um processo de ruptura precoce (*punch-through*).
- Uma região duplamente difundida (p^+ e n^+) de fonte que tem como objetivo criar uma junção reversa, barrando o deslocamento (*drift*) de corrente de dreno no estado de repouso, e criar um canal condutor quando a tensão de porta (V_{GS}) ultrapassar a tensão de limiar de condução de canal (V_{To}).
- Um terminal de porta, que pode ser de poli-Si superdopado ou de alumínio, isolado do corpo do dispositivo por uma finíssima (t_{ox}) camada de óxido (SiO_2) e que tem como objetivo estabelecer um campo elétrico de controle sobre a condução do canal.

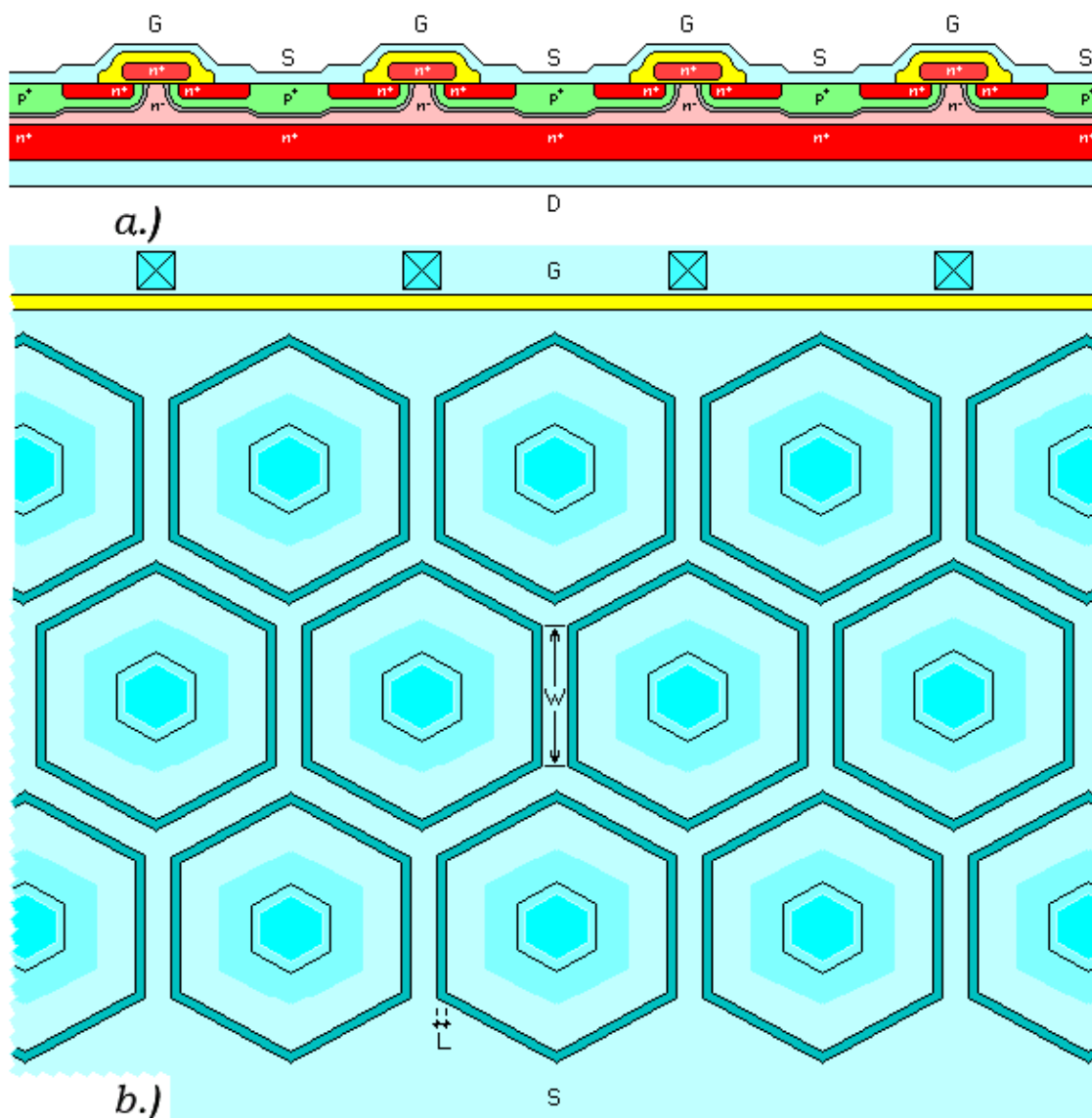


Figura 5.2 – MOSFET de Potência Construído com Várias Células em Paralelo. a.) Corte. b.) Planta.

Na situação em que se encontra o MOSFET da Figura 5.1a, ele funciona como uma chave aberta, sem condução entre os terminais de dreno e fonte.

5.1 – Princípio de Funcionamento

A Figura 5.1b mostra o corte esquemático de uma célula do dispositivo com canal formado, ou seja, com $V_{GS} > V_{To}$. Nesse caso, a estrutura apresenta os seguintes mecanismos elétricos:

- Aumentando-se positivamente a tensão entre a porta e a fonte (V_{GS}), elétrons da região n^+ são atraídos (*drift*) para a superfície do óxido, causando acumulação de cargas livres nessa região.
- Ao mesmo tempo, lacunas da região p^+ , logo abaixo da porta, são repelidas, inicialmente causando depleção e, posteriormente, invertendo essa região.

- Quando a inversão é iniciada ($V_{GS} > V_{To}$), elétrons livres são acumulados em uma folha de cargas superficiais na fronteira óxido/ p^+ , estabelecendo um caminho de corrente entre o dreno e o poço n^+ de fonte. Inicia-se, assim, através da ação do campo elétrico longitudinal estabelecido pela diferença de potencial V_{DS} , a condução de canal que aumenta proporcionalmente às tensões V_{GS} e V_{DS} . Na Figura 5.1b é mostrado o sentido de deslocamento de elétrons (I_D^-) entre fonte e dreno.

Nesse tipo de estrutura, o comprimento de canal (L), formado pela inversão de cargas da região p^+ , é extremamente diminuto ($L < 1 \mu\text{m}$). A largura do canal (W) pode, no entanto, ser enorme. A Figura 5.2 mostra uma estrutura com várias células, iguais às da Figura 5.1, interligadas em paralelo. Essa estrutura, conhecida como *HEXFET* (patenteada pela *International Rectifier Co.*, El Segundo, Ca, USA), é construída com n células hexagonais em paralelo, cujas dimensões L e w são mostradas e, na qual, w é a dimensão de cada lado do hexágono. A largura total do *MOSFET* da Figura 5.2 vale, portanto, $W = 6.n.w$, enquanto que o seu comprimento permanece igual a L . A relação W/L desses dispositivos, que são construídos com centenas de células, alcança, conseqüentemente, valores muito elevados. Com isso, a capacidade de corrente de dreno (I_D) e a transcondutância (g_m), na região ativa, tornam-se muito elevadas e a resistência entre dreno e fonte (R_{DSon}), com o dispositivo funcionando como chave fechada, atinge valores muito baixos. A Tabela 5.1 resume as características principais de dois *MOSFET* 's desse tipo. Esses *MOSFET* 's podem ser usados, tanto como chave eletrônica de alta potência e alta velocidade, quanto como estágio de saída complementar classe AB de amplificadores de potência de áudio com capacidade de saída de até $60 W_{RMS}$. Entre a fonte e dreno, como pode ser visto na Figura 5.3, existe um diodo parasita formado pela junção p^+/n^- que está sempre presente, em paralelo com o canal e polarizado reversamente nas regiões normais de funcionamento do *MOSFET*. Esse diodo traz o inconveniente de acrescentar uma capacitância parasita entre o dreno e a fonte (C_{ds}) e diminuir a resistência de isolamento dreno/fonte, na condição de chave aberta. Traz, no entanto, o benefício de proteger o *MOSFET* contra transitórios de tensão reversa, por exemplo, em chaveamentos de cargas indutivas.

Características	IRF530N	IRF9530N
Polaridade	n	p
Encapsulamento	TO-220AB	TO-220AB
V_{DSmax}	100 V	-100 V
R_{DSon} @ $ V_{GS} = 10 \text{ V}$	0,11 Ω	0,20 Ω
I_{Dmax} @ 25 °C	17 A	-14 A
I_{Dmax} @ 100 °C	12 A	-10 A
P_{max} @ $T_j = 25 \text{ °C}$	79 W	79 W
V_{To}	2 V ~ 4 V	-4 V ~ -2 V
$g_{m(min)}$ ($ V_{DS} =50\text{V}; I_D \approx 9\text{A}$)	12 A/V	3,2 A/V
T_{jmax}	175 °C	175 °C
θ_{jc}	1,9 °C/W	1,9 °C/W
θ_{jA}	62 °C/W	62 °C/W

Tabela 5.1 – Principais Características de Dois *MOSFET* 's Comerciais de Potência.

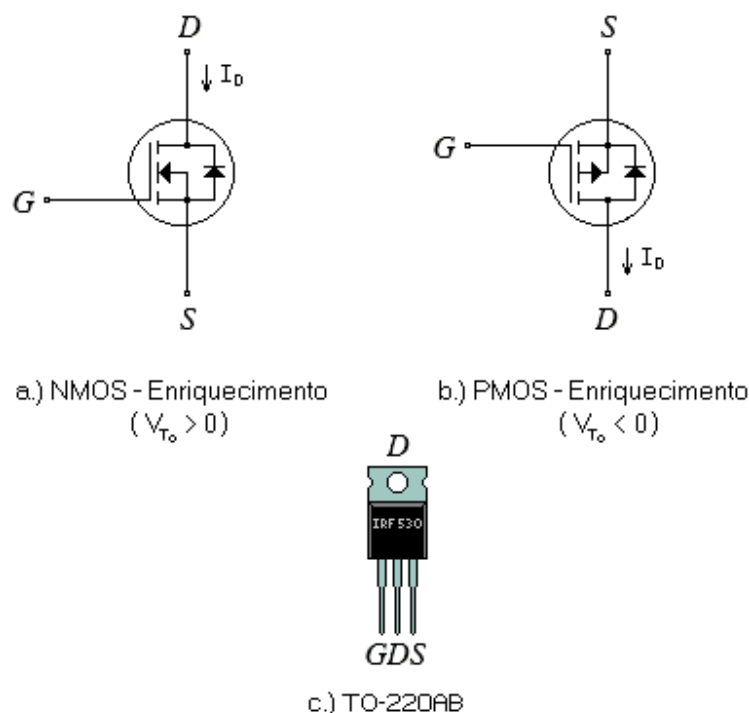


Figura 5.3 – MOSFET's de Potência. a.) Canal n. b.) Canal p. c.) Encapsulamento.

Nas folhas de dados de MOSFET 's de potência são fornecidas três capacitâncias intereletrodos, medidas com $V_{GS} = 0$ e com V_{DS} variável, a saber:

- Capacitância de entrada: $C_{iss} = C_{gs} + C_{gd}$, com C_{ds} em curto-circuito. Para os MOSFET 's avaliados essa capacitância fica na faixa: $700 \text{ pF} \leq C_{iss} \leq 1,6 \text{ nF}$.
- Capacitância de saída: $C_{oss} = C_{ds} + C_{gd}$. Para os MOSFET 's avaliados essa capacitância fica na faixa: $100 \text{ pF} \leq C_{oss} \leq 1,3 \text{ nF}$.
- Capacitância de realimentação: $C_{rss} = C_{gd}$. Para os MOSFET 's avaliados essa capacitância fica na faixa: $10 \text{ pF} \leq C_{rss} \leq 950 \text{ pF}$.

Os valores numéricos fornecidos acima são para os MOSFET 's canal **n** e **p**, com uma variação de tensão imposta aos terminais dreno/fonte na faixa: $0 \leq |V_{DS}| \leq 100 \text{ V}$. Essas capacitâncias, através de armazenamento de cargas, são responsáveis pelos tempos de ligamento ($t_{d(on)}$) e desligamento ($t_{d(off)}$) dos dispositivos, trabalhando como chaves.

Indutâncias parasitas ($4 \text{ nH} \sim 8 \text{ nH}$), em série com os terminais internos de dreno e de fonte, também fazem com que esses tempos de chaveamento não sejam mais baixos.

Para os MOSFET 's avaliados, canal **n** e canal **p**, esses tempos valem, respectivamente: $t_{d(on)} = 31,2 \text{ ns}$ e $t_{d(on)} = 73 \text{ ns}$ e $t_{d(off)} = 60 \text{ ns}$ e $t_{d(off)} = 91 \text{ ns}$.

5.2 – Modelagem

Em programas simuladores baseados no SPICE, não existe um modelo perfeitamente adequado para o MOSFET de potência. Normalmente esses dispositivos são modelados em Nível 3, com ênfase na modelagem da velocidade de saturação e na degradação da mobilidade do portador no canal (parâmetros: KAPPA, UO e THETA), efeitos característicos de dispositivos de canal curto.

Modelos mais sofisticados podem ser desenvolvidos em forma de *subcircuitos* nos quais, a partir de um *MOSFET* central modelado em *Nível 1* ou *3*, componentes adicionais, como fontes de corrente ou de tensão dependentes, diodos parasitas, capacitores e indutores parasitas, são adicionados. A Figura 5.4 mostra um subcircuito típico para modelagem de *MOSFET* de potência. O núcleo do subcircuito é um transistor, aqui chamado de *MOS*, modelado por um dos modelos convencionais do *SPICE*, normalmente o de *Nível 3*. Adicionalmente são colocados componentes elétricos parasitas, isto é, indutâncias e resistências em série com os terminais internos e capacitâncias fixas interterminais (L_D , L_S , L_G , R_D , R_S , R_G , R_J , C_{GD} , C_{GS} e C_K). As capacitâncias variáveis em função do ponto de polarização são modeladas por dois diodos reversamente polarizados (D_{GD} e D_{BD}). O diodo D_{BS} modela a ruptura reversa entre dreno e fonte do transistor e é um diodo existente fisicamente no interior do dispositivo. Em regimes de chaveamento de altas tensões e altas correntes, principalmente com cargas indutivas, o *MOSFET* é polarizado em regiões de trabalho completamente diversas e opostas, isto é, a tensão V_{DG} salta de valores altamente positivos para valores altamente negativos quase que instantaneamente. Para satisfazer a modelagem da capacitância entre dreno e porta, com variação não-linear, foram usadas fontes de corrente e de tensões dependentes associadas a diodos e capacitores, como mostra a Figura 5.4. A fonte G_I , que é uma fonte de corrente controlada por tensão (*VCCS*), faz o sensoriamento da diferença de potencial entre os terminais internos de dreno e porta ($V_{[7,5]}$) e injeta uma corrente proporcional sobre os resistores R_I e R_2 , consequentemente gerando as tensões V_I e V_2 . As fontes E_I e E_2 , que são fontes de tensão controladas por tensão (*VCVS*), fazem o sensoriamento de V_I e de V_2 e carregam alternadamente os capacitores C_{GD} , se $V_{DG} < 0$, ou o capacitor variável da junção de D_{GD} , se $V_{GD} > 0$, conseguindo-se, assim, uma modelagem mais realística da capacitância total entre dreno e porta frente às várias situações de polarização do dispositivo. O capacitor C_K é um parasita fixo, normalmente muito pequeno ou nulo. Os componentes E_I e R_I modelam, também, a resistência extra da camada epitaxial causada pela modulação da região de depleção da junção substrato-dreno por V_{DS} e não prevista nos modelos nativos. A fonte E_J , que é uma fonte de tensão controlada por tensão (*VCVS*) polinomial, adiciona efeitos na relação $I_D \times V_{DS}$ não previstos na modelagem original do *MOSFET*, tais como: degradação da mobilidade e saturação da velocidade do portador de canal.

5.2.1 - Modelo:

Segue-se um típico modelo para *MOSFET* de potência em forma de subcircuito:

```
.SUBCKT POWERMOS 1 2 3
*
LG 2 4 7.5n
LS 12 3 7.5n
LD 6 1 4.5n
*
RG 4 5 100
RS 9 12 .004
RD 7 6 .05017
RJ 8 7 .02071
*
CGS 5 9 143p
CGD 7 10 502.3p
CK 11 7 .1p
```

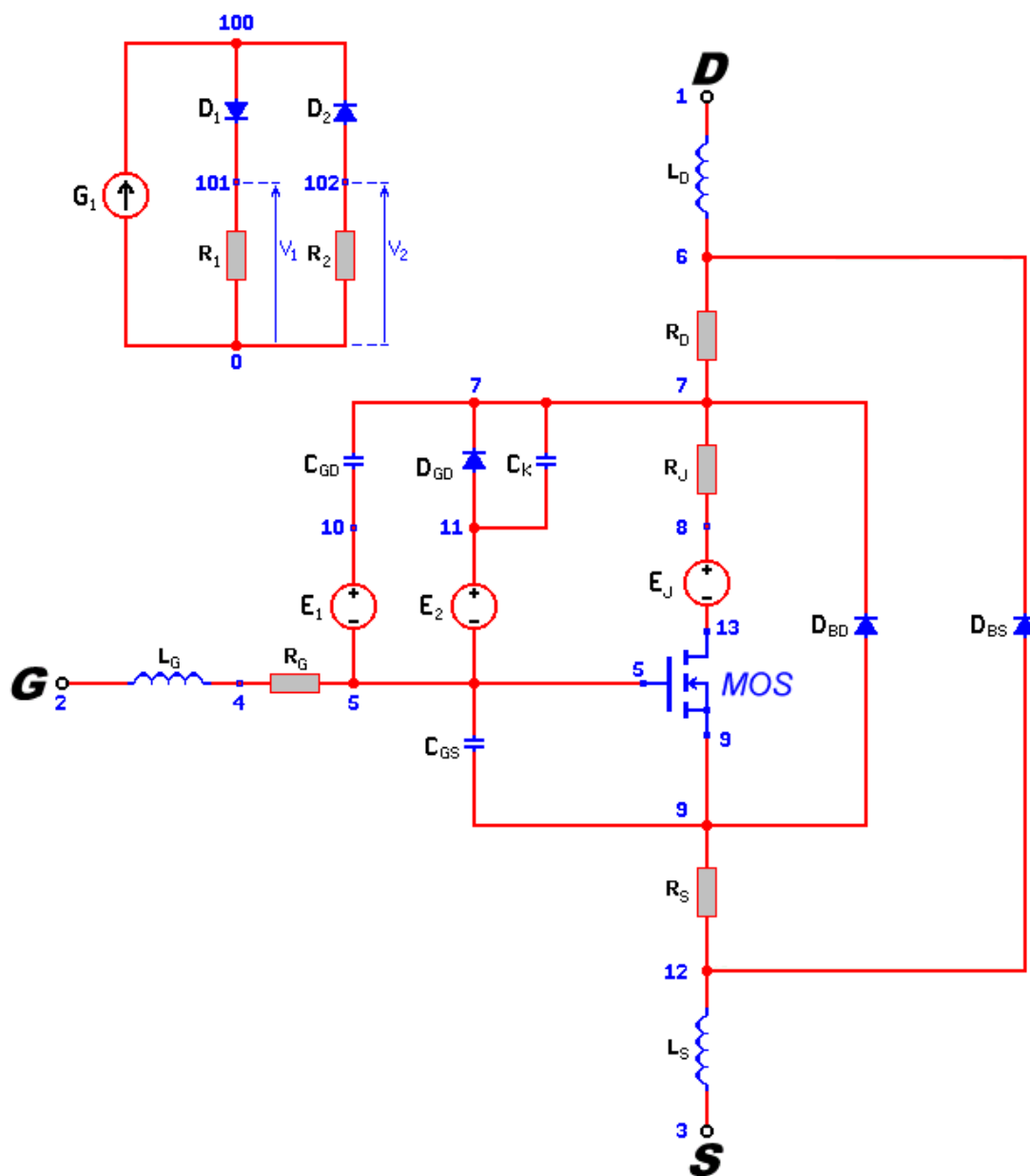


Figura 5.4 – Subcircuito Usado na Modelagem de um MOSFET de Potência.

*

DGD 11 7 DGD

DBD 9 7 DBD

DBS 12 6 DBS

*

MOS 13 5 9 9 MOS L=1.8u W=.4593

*

E1 10 5 101 0 1

E2 11 5 102 0 1

EJ 8 13 POLY(2) 6 8 6 12 0 0 0 0 .03

G1 0 100 7 5 1u

```

*
D1 100 101 DID
D2 102 100 DID
R1 101 0 1MEG
R2 102 0 1MEG
*
.MODEL MOS NMOS ( LEVEL=3 TOX=85n VTO=3.134 PHI=.821 NSUB=1.15E+17
+                      IS=0 JS=0 KAPPA=.18 UO=491.335 THETA=.02 )
*
.MODEL DGD D ( IS=0 CJO=398p VJ=1.06 M=.63 )
*
.MODEL DBD D ( IS=0 CJO=510p VJ=.67 M=.38 )
*
.MODEL DBS D ( IS=1.95p BV=72.1 N=1.1 TT=12.5n RS=.02275 )
*
.MODEL DID D ( IS=2p )
*
.ENDS POWERMOS

```

5.2.2 - Descrição das Fontes Dependentes:

A fonte G_I é uma fonte de corrente ligada entre os nós 0 e 100 do circuito, injetando corrente no nó 100 e cuja amplitude, dependente da tensão entre os nós 7 e 5, vale:

$$I_{G1} = g_{m1} \times V_{(7,5)} = 10^{-6} \times V_{(7,5)} \quad [\text{A}]$$

A fonte E_I é uma fonte de tensão ligada entre os nós 10 e 5 do circuito, com o terminal positivo ligado ao nó 10 e cuja amplitude, dependente da tensão entre os nós 101 e 0 (V_I), vale:

$$V_{E1} = A_{v1} \times V_I = 1 \times V_I = V_I \quad [\text{V}]$$

A fonte E_2 é uma fonte de tensão ligada entre os nós 11 e 5 do circuito, com o terminal positivo ligado ao nó 11 e cuja amplitude, dependente da tensão entre os nós 102 e 0 (V_2), vale:

$$V_{E2} = A_{v1} \times V_2 = 1 \times V_2 = V_2 \quad [\text{V}]$$

A fonte E_J é uma VCVS polinomial, ligada entre os nós 8 e 13 do circuito, com o terminal positivo ligado ao nó 13 e cuja amplitude, dependente das tensões entre os nós 6 e 8 e entre os nós 6 e 12 (dimensão: 2), vale:

$$V_{EJ} = k_1 + k_2 V_{(6,8)} + k_3 V_{(6,12)} + k_4 V_{(6,8)}^2 + k_5 V_{(6,8)} V_{(6,12)}$$

Na declaração dos parâmetros de *.SUBCKT POWERMOS* os coeficientes do polinômio valem: $k_1 = 0$; $k_2 = 0$; $k_3 = 0$; $k_4 = 0$ e $k_5 = 0,03$. Portanto:

$$V_{EJ} = 0,03 \times V_{(6,8)} \times V_{(6,12)} \quad [\text{V}]$$

A fonte E_J gera, portanto, uma tensão contrária a V_{DS} , proporcional ao produto das tensões entre os nós 6 e 8 e entre os nós 6 e 12 do circuito, com o objetivo de modelar de forma quadrática a queda de mobilidade do portador de canal em função de I_D .

5.2.3 - Descrição dos Diodos:

Deve-se observar, também, que os diodos D_{GD} e D_{BD} foram modelados apenas como capacitâncias não lineares e D_{BS} foi modelado realmente como retificador, para representar o diodo parasita interno do *MOSFET*. Os diodos ideais D_1 e D_2 são chaves auxiliares de comutação instantânea e não pertencem ao circuito propriamente dito do *MOSFET*.

5.2.4 - Conclusões:

Deve-se salientar, ainda, que modelos como o da Figura 5.4 só devem ser usados quando absolutamente necessários (circuitos de chaveamento de alta velocidade e de alta potência), pois tornam a simulação muito pesada, usando quantidade de memória e tempo de simulação excessivos dos computadores e aumentando a probabilidade de erros de convergência nos cálculos numéricos. Para simulações de circuitos analógicos amplificadores, normalmente prefere-se a modelagem nativa do *MOSFET* em *Nível 3*. Para simulações de chaveamentos de potência, como em circuitos de fontes chaveadas, deve-se usar o modelo *VDMOS*, que usa uma modelagem estática igual à do *Nível 1* e uma modelagem dinâmica muito simples, mas eficiente, das capacitâncias C_{gs} e C_{gd} [4].

6. Bibliografia e Referências

1. A. S. Sedra, K. C. Smith, *Microeletrônica*, 5ª Edição, Pearson Education Prentice Hall, Cap. 4, 2009.
2. P. R. Veronese, *JFET, Resumo da Teoria*, SEL, EESC, USP, Rev. 10, 2012.
3. M. Melito, F. Portuese, "A New Approach to Parameter Extraction for the SPICE Power MOSFET Model," SGS-THOMSON Microelectronics, Nota de Aplicação 3674.
4. Manual do *LTSpice*.
5. P. R. Veronese, *MOSFET, Introdução*, SEL, EESC, USP, Rev. 6, 2012.
6. Phillip E. Allen, Douglas R. Holberg, "*CMOS Analog Circuit Design*", 2ª Edição, Oxford University Press, 2002, Cap. 3, pg. 89.
7. R. L. Boylestad, L. Nashelsky, *Electronic Devices and Circuit Theory*, 11th Ed., Pearson Education, 2013.
8. B. Razavi, *Fundamentos de Microeletrônica*, 1ª Ed., LTC, 2010, Caps. 6, 7, 9, 10, 11 e 15.