

SEL-EESC-USP

JFET Resumo da Teoria

P. R. Veronese
2014

SEL – EESC - USP

JFET – Resumo da Teoria

1. Cálculo de Circuitos de Polarização

1.1. Introdução

Para ser usado como amplificador analógico de sinais, o *JFET* precisa ser polarizado na região ativa, também chamada de região pênodo ou de saturação. Nessa região, para o *JFET* canal **n** ($V_{To} < 0$), as grandezas quiescentes devem estar situadas nas seguintes faixas: $I_{DQ} > 0$; $V_{To} < V_{GSQ} < 0$ e $0 < V_{GSQ} - V_{To} < V_{DSQ}$.

Para o *JFET* canal **p** ($V_{To} > 0$) os cálculos devem ser feitos “em módulo” e os resultados devem ter seus sinais algébricos trocados. Então, para o *JFET* canal **p**, na região ativa, pode-se escrever que: $I_{DQ} < 0$; $0 < V_{GSQ} < V_{To}$ e $V_{DSQ} < V_{GSQ} - V_{To} < 0$.

1.2. Circuitos de Polarização

1.2.1 - Polarização Simples:

Para o *JFET* não é possível determinar-se um cálculo para o ponto quiescente que seja estável termicamente e razoavelmente independente dos parâmetros internos do dispositivo. A Figura 1.1 apresenta o circuito de polarização mais simples usado na prática, com fonte de alimentação dupla, para o *JFET* canal **n**. Como as junções *G-D* e *G-S* devem ser polarizadas reversamente, as tensões externas de polarização necessitam, obrigatoriamente, ser: $V_{GSQ} < 0$ e $V_{GDQ} < 0$. A corrente de porta é desprezível na temperatura ambiente e, portanto, $V_G = -V_{GG}$ para $R_G \leq 10\text{ M}\Omega$ e, como $V_S = 0$ no circuito da Figura 1.1, tem-se que $V_{GSQ} = -V_{GG} < 0$. A tensão entre dreno e porta vale $V_{GD} = V_G - V_D = -V_{GG} - V_D$. Se a relação $V_D \gg |V_{GG}|$ for verdadeira, fica satisfeita a condição: $V_{GD} < 0$. Conclui-se, portanto, que o dreno deve ser polarizado com uma tensão $V_{DD} \gg 0$, resultando $V_{DSQ} > 0$. Pelas equações de modelagem do *JFET* tem-se que:

Se $V_{DSQ} \geq V_{Dsat}$:

$$I_{DQ} = \beta \times (V_{GSQ} - V_{To})^2 \times (1 + \lambda \times V_{DSQ}) \quad (1.1a)$$

Se $0 \leq V_{DSQ} \leq V_{Dsat}$:

$$I_{DQ} = \beta \times V_{DSQ} \times [2 \times (V_{GSQ} - V_{To}) - V_{DSQ}] \times (1 + \lambda \times V_{DSQ}) \quad (1.1b)$$

Sendo:

$$V_{Dsat} = V_{GSQ} - V_{To} \quad (1.1c)$$

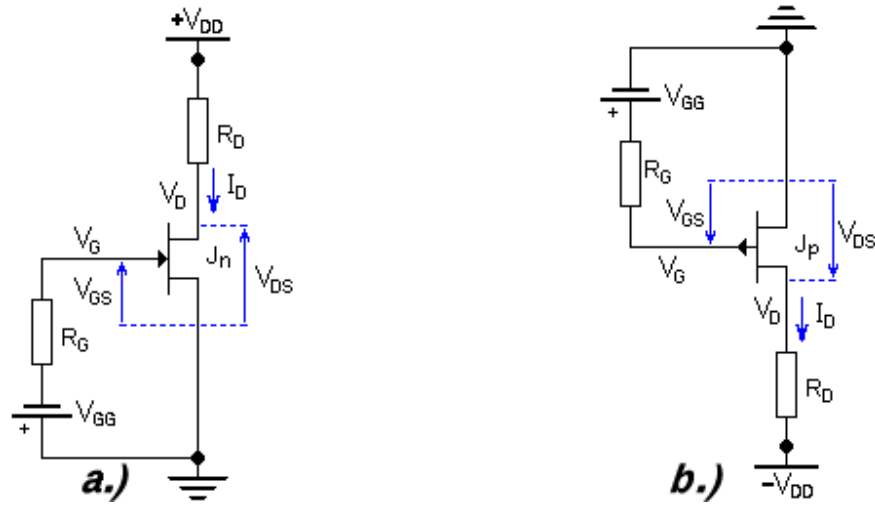


Figura 1.1 – Circuito de Polarização com Fonte Dupla. a.) JFET Canal n. b.) JFET Canal p.

Os circuitos amplificadores devem ser polarizados na região de saturação do JFET ($V_{DSQ} \geq V_{DSat}$) e, portanto, o sistema de equações fica, para o circuito da Figura 1.1:

$$I_{D_Q} = \beta \times (V_{GS_Q} - V_{To})^2 \times (1 + \lambda \times V_{DS_Q})$$

$$V_{GS_Q} = -V_{GG}$$

$$V_{DS_Q} = V_{DD} - R_D \times I_{D_Q}$$

\Rightarrow

$$I_{D_Q} = \frac{\beta \times (-V_{GG} - V_{To})^2 \times (1 + \lambda \times V_{DD})}{1 + \lambda \times \beta \times R_D \times (-V_{GG} - V_{To})^2} \quad [\text{A}] \quad (1.2)$$

1.2.2 – Autopolarização dos amplificadores fonte-comum e porta-comum:

Para que o uso de fontes duplas seja evitado, pode-se usar um circuito conhecido como de autopolarização no qual a tensão negativa V_{GS} é conseguida através da colocação de um resistor de fonte, R_S , como mostra a Figura 1.2a, para o JFET canal n. A corrente de fonte, que é igual à de dreno, percorrendo a resistência R_S , eleva o potencial de fonte para:

$$V_S = R_S \times I_D$$

Como, nesse circuito, $V_G = 0$, tem-se que:

$$V_{GS} = V_G - V_S = -R_S \times I_D$$

A tensão entre porta e fonte assume, portanto, automaticamente um valor negativo, mesmo sem a presença de uma fonte de alimentação adicional de polarização de porta (V_{GG}). A tensão de porta pode ser nula, como no circuito da Figura 1.2a, ou positiva, como no circuito da Figura 1.2b. No primeiro caso, então, $V_{GS} = -R_S I_D < 0$ e no segundo caso, $V_{GS} = V_G - R_S I_D < 0$. Portanto, na Figura 1.2b, deve-se impor, obrigatoriamente, $V_G < R_S I_D$.

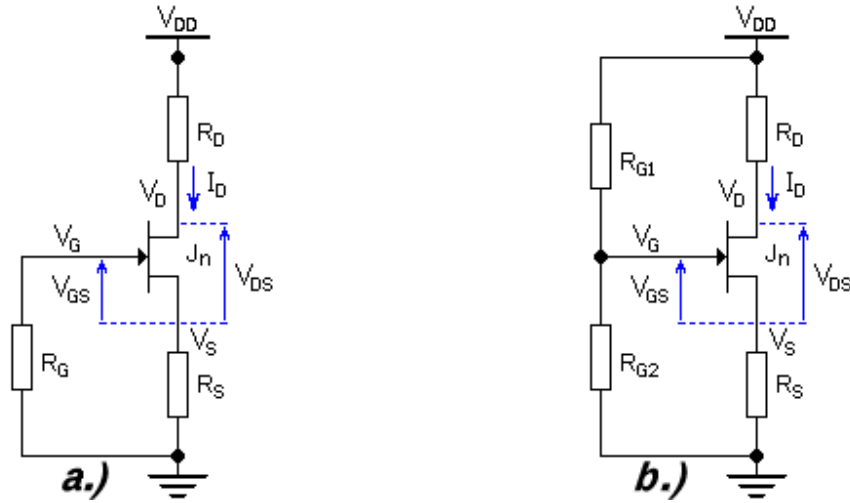


Figura 1.2 – Circuitos Autopolarizados. a.) Convencional. b.) Com Divisor de Porta.

Genericamente, para os circuitos da Figura 1.2, pode-se escrever que, na região de saturação do *JFET*:

$$V_G = IFTE(R_{G1} = \infty, 0, \frac{R_{G2}V_{DD}}{R_{G1} + R_{G2}})$$

$$R_G = IFTE(R_{G1} = \infty, R_{G2}, \frac{R_{G1}R_{G2}}{R_{G1} + R_{G2}})$$

$$k_1 = V_G - V_{T0} \quad [\text{V}]$$

$$k_2 = 1 + \lambda V_{DD} \quad [-]$$

$$k_3 = (R_S + R_D)\lambda \quad [\text{A}^{-1}]$$

$$k_3 R_S^2 I_D^3 - (2k_1 k_3 + k_2 R_S) R_S I_D^2 + \left(k_1^2 k_3 + 2k_1 k_2 R_S + \frac{1}{\beta} \right) I_D - k_1^2 k_2 = 0 \quad (1.3)$$

$$V_{GS} = V_G - R_S I_D \quad (1.4)$$

$$V_{DS} = V_{DD} - (R_S + R_D) I_D \quad (1.5)$$

As Equações 1.3, 1.4 e 1.5 calculam as grandezas quiescentes I_{DQ} , V_{GSQ} e V_{DSQ} dos dois circuitos da Figura 1.2 lembrando-se que $R_{G1} = \infty$ e $R_G = R_{G2}$ no circuito da Figura 1.2a. Os circuitos da Figura 1.2 são usados para a montagem de amplificadores dos tipos fonte-comum e porta-comum.

1.2.3 – Polarização do amplificador dreno-comum:

Os amplificadores do tipo dreno-comum, construídos com *JFET* canal **n**, podem apresentar quatro formas de polarização, como mostra a Figura 1.3.

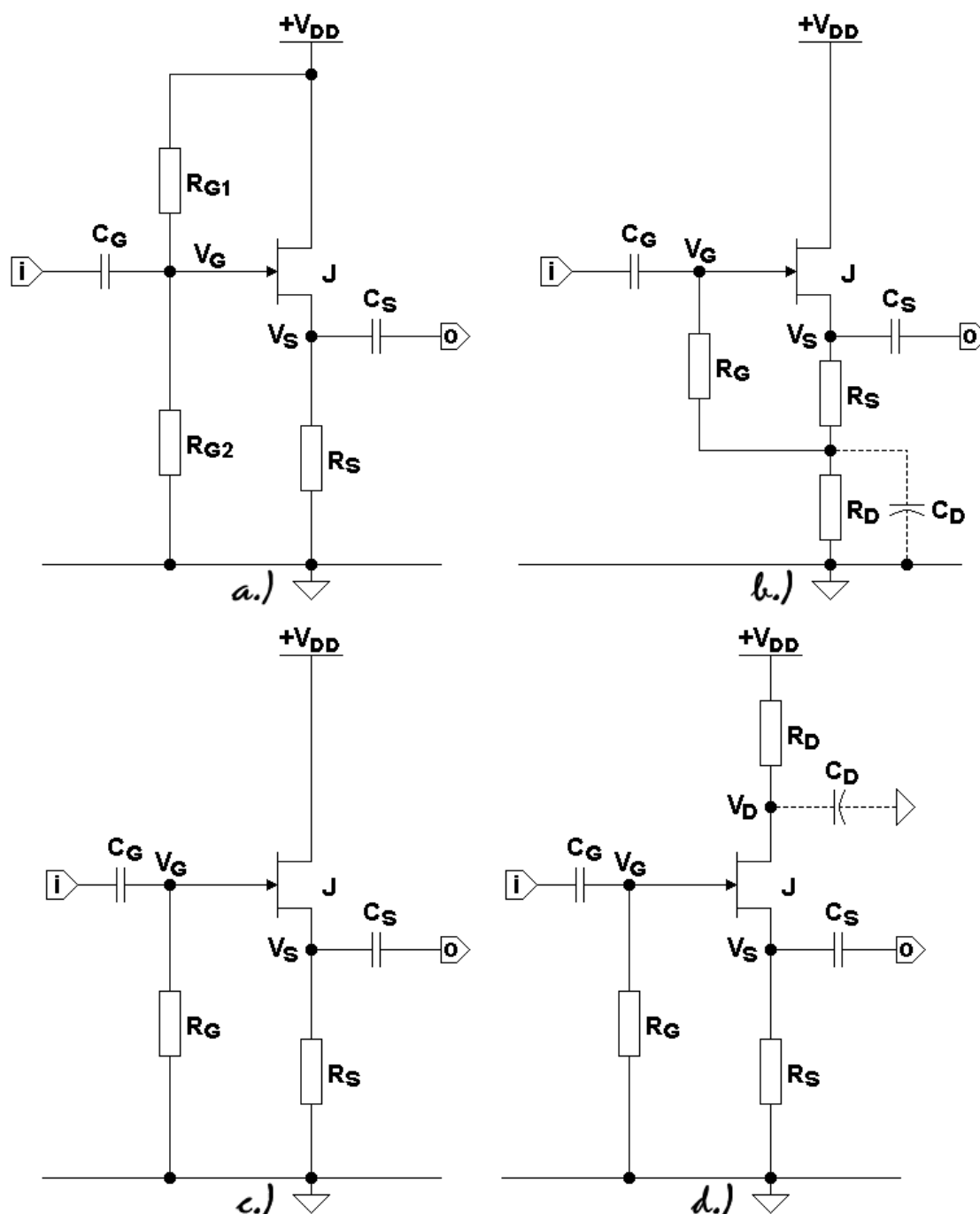


Figura 1.3 – Amplificadores Dreno-Comum. a.) Polarização com Divisor de Porta. b.) Polarização com Divisor de Fonte. c.) Polarização Automática Convencional com $R_D = 0$. d.) Polarização Automática Convencional com $R_D \neq 0$.

As equações genéricas que calculam os pontos quiescentes dos circuitos da Figura 1.3, na região de saturação do JFET canal **n**, também são as Equações 1.3, 1.4 e 1.5.

O circuito da Figura 1.3b, com divisor de fonte, é de uso exclusivo do amplificador dreno-comum e é assim montado para manter o ponto de polarização no centro da reta de carga, isto é, com $V_{DSQ} \approx V_{DD} / 2$, sem deteriorar a resistência de entrada em AC.

Deve-se lembrar que $R_D = 0$ nos circuitos das Figuras 1.3a, 1.3b e 1.3c, que $R_{G1} = \infty$ e que $R_G = R_{G2}$ nos circuitos das Figuras 1.3b, 1.3c e 1.3d, e, ainda, que $R_{D(AC)} = 0$, se $C_D \neq 0$, na Figura 1.3d.

1.2.4 – Cálculo Genérico de Pontos de Polarização:

Todos os circuitos vistos anteriormente, mostrados nas Figuras 1.1, 1.2a, 1.2b, 1.3a, 1.3b, 1.3c e 1.3d, podem ter seus pontos de polarização calculados pelo sistema genérico das Equações 1.6:

$$V_G = IFTE\left(R_{G1} = \infty, IFTE(R_S \neq 0, 0, -V_{GG}), \frac{R_{G2}V_{DD}}{R_{G1} + R_{G2}}\right)$$

$$R_G = IFTE(R_{G1} = \infty, R_{G2}, \frac{R_{G1}R_{G2}}{R_{G1} + R_{G2}})$$

$$V_{Dsat} = V_{GS} - V_{To}$$

$$I_{Dt} = \beta(2(V_{GS} - V_{To}) - V_{DS})V_{DS}(1 + \lambda V_{DS})$$

$$I_{Dp} = \beta(V_{GS} - V_{To})^2(1 + \lambda V_{DS})$$

$$V_{GS} = V_G - R_S I_D \quad (1.6a)$$

$$V_{DS} = V_{DD} - (R_S + R_D)I_D \quad (1.6b)$$

$$I_D = IFTE(V_{DS} \geq V_{Dsat}, I_{Dp}, I_{Dt}) \quad (1.6c)$$

1.2.5 - Ponto Quiescente e Reta de Carga:

Após o estabelecimento do tipo de circuito e do ponto quiescente, deve-se verificar a posição do mesmo na reta de carga do circuito. Define-se como reta de carga o lugar geométrico dos pontos de polarização de um circuito em função das grandezas elétricas externamente aplicadas. A equação da reta de carga de um circuito como o da Figura 1.2 vale:

$$I_D = \frac{V_{DD} - V_{DS}}{R_D + R_S}$$

Então:

$$- \text{ Para } V_{DS} = V_{DD} \Rightarrow I_D = 0$$

e

$$- \text{ Para } V_{DS} = 0 \Rightarrow I_D = \frac{V_{DD}}{R_D + R_S}$$

A Figura 1.4, referente ao circuito da Figura 1.1, ilustra a situação da reta de carga em relação às curvas $I_D \times V_{DS}$ do JFET e à parábola de V_{Dsat} e a Figura 1.5, referente aos circuitos das Figuras 1.2a, 1.2b e 1.3d, ilustra a situação da reta de carga em relação às curvas $I_D \times V_{DS}$ do JFET. O ponto quiescente do circuito, calculado pela Equação 1.3, estará obrigatoriamente sobre essa reta.

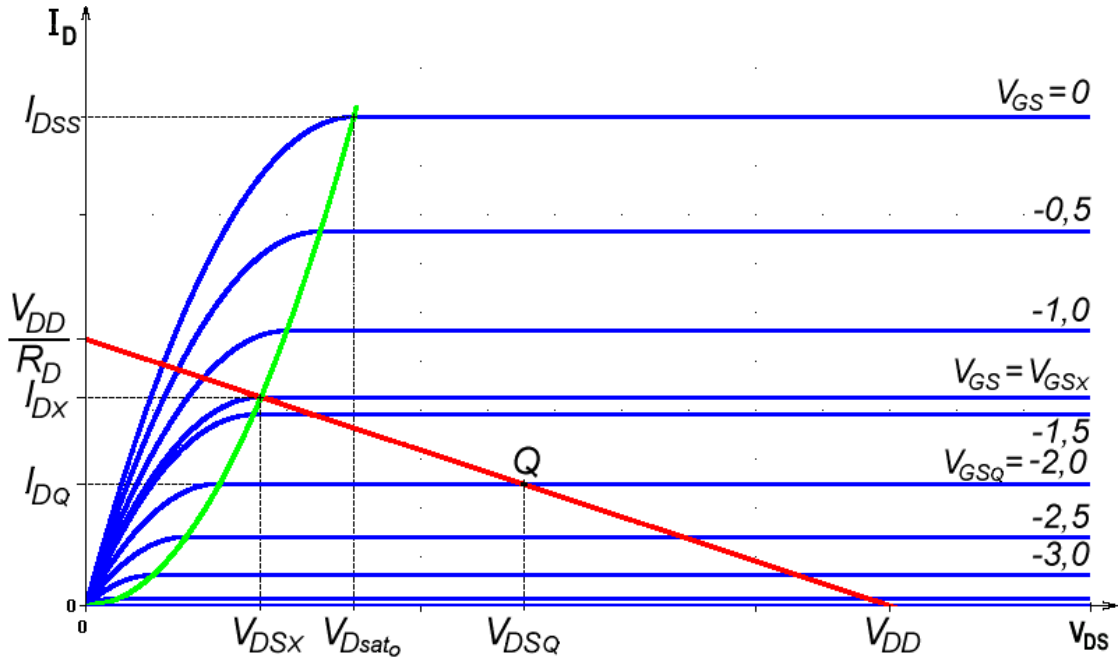


Figura 1.4 – Reta de Carga, Parábola de V_{Dsat} e Ponto Quiescente.

Quando um sinal AC for aplicado externamente na malha de porta do circuito, o ponto quiescente se deslocará sobre a reta de carga causando variações de V_{DS} e I_D , proporcionalmente às variações de V_{GS} . A máxima excursão útil de sinal será delimitada pelos pontos:

$$[I_D = 0; V_{DS} = V_{DD}] \text{ e } [I_D = I_{Dx}; V_{DS} = V_{DSx}]$$

A tensão V_{DSx} é o ponto limítrofe entre a região de saturação e a região trípode do JFET. A equação da parábola de V_{Dsat} vale, aproximadamente:

$$I_{Dx} \cong \beta \times (1 - \lambda V_{To}) \times V_{DSx}^2$$

Igualando-se a equação acima com a equação da reta de carga, pode-se calcular:

$$\beta \times (1 - \lambda V_{To}) \times V_{DSx}^2 = \frac{V_{DD} - V_{DSx}}{R_D + R_S}$$

\Rightarrow

$$V_{DSx} = IFTE(V_{DS} \geq V_{Dsat}, \frac{\sqrt{1 + 4 \times \beta \times V_{DD} \times (R_D + R_S) \times (1 - \lambda V_{To})} - 1}{2 \times \beta \times (R_D + R_S) \times (1 - \lambda V_{To})}, \text{inválido}) \quad (1.7)$$

Se, pela resolução da Equação 1.7, resultar que $V_{DSx} > |V_{To}|$, então o JFET sempre permanecerá na região pñtode ou de saturação, porque isso indicará que $V_{GSx} > 0$ para o JFET canal **n** ou que $V_{GSx} < 0$ para o JFET canal **p**, regiões proibitivas para eles.

1.3. Parâmetros Incrementais

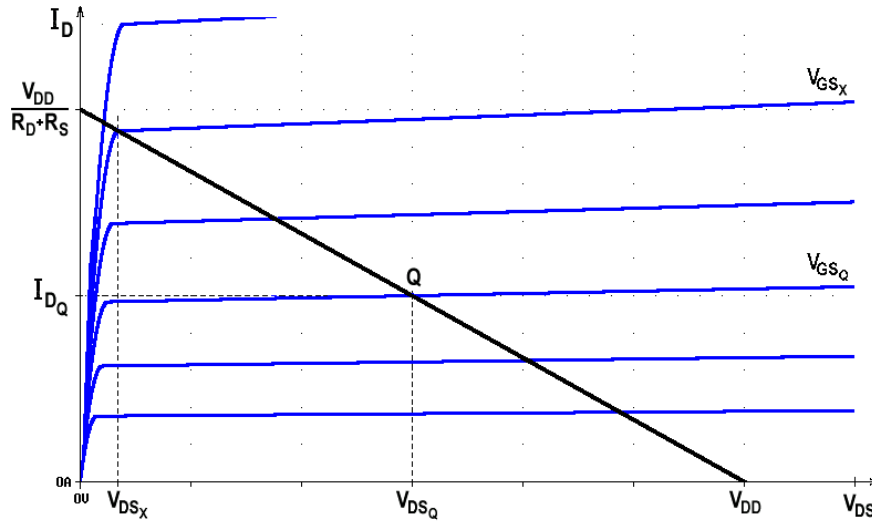


Figura 1.5 - Reta de Carga e Ponto Quiescente.

1.3.1 - Introdução:

Os parâmetros incrementais, para pequenos sinais e baixas frequências, do *JFET* permitem que seja estipulado um modelo linearizado para o dispositivo, como mostra a Figura 1.6, calculado na vizinhança de um ponto quiescente pré-determinado e válido apenas para sinais alternados (AC). Esses parâmetros são calculados como a seguir:

1.3.2 - Transcondutância:

1.3.2.a – Para a região de saturação ou pñtoto ($V_{DSQ} \geq V_{Dsat}$):

$$g_{mp} = 2 \times \beta \times (V_{GS} - V_{To}) \times (1 + \lambda \times V_{DS}) = \frac{2I_D}{V_{GS} - V_{To}} \quad [\text{A/V}] \quad (1.8a)$$

1.3.2.b – Para a região linear ou tríodo ($V_{DSQ} \leq V_{Dsat}$):

$$g_{mt} = 2 \times \beta \times V_{DS} \times (1 + \lambda \times V_{DS}) \quad [\text{A/V}] \quad (1.8b)$$

1.3.2.c – Para qualquer região:

$$g_m = IFTE(V_{DS} \geq V_{Dsat}, g_{mp}, g_{mt}) \quad (1.9)$$

A transcondutância define o poder de variação da corrente de dreno do *JFET* em função da variação da tensão entre a porta e a fonte do dispositivo e vale $g_m = \partial I_D / \partial V_{GS}$, com V_{DS} constante. Formas alternativas de cálculo da transcondutância na região pñtoto são:

$$g_m = \frac{2I_{DSS}}{|V_{To}|} \times \sqrt{\frac{I_{DQ}}{I_{DSS}}} \times (1 + \lambda \times V_{DSQ}) \quad \text{ou} \quad g_m = 2 \times |V_{To}| \times \beta \times \sqrt{\frac{I_{DQ}}{I_{DSS}}} \times (1 + \lambda \times V_{DSQ})$$

1.3.3 - Resistência Incremental de Entrada:

Como a porta é um circuito aberto em baixas frequências, a resistência incremental de entrada do *JFET*, dada por $r_i = \partial V_{GS} / \partial I_G$, com V_{DS} constante, é, teoricamente, infinita. Então: $r_i = \infty$.

1.3.4 - Resistência Incremental de Saída:

A resistência incremental de saída ou resistência incremental de dreno, dada por $r_{ds} = \partial V_{DS} / \partial I_D$, com V_{GS} constante, representa a resistência interna da fonte de corrente de saída do dispositivo. Vale, portanto:

1.3.4.a - Para a região de saturação ou pñtoto ($V_{DS_Q} \geq V_{Dsat}$):

$$r_{dsp} = IFTE(\lambda \neq 0, \frac{1 + \lambda \times V_{DS}}{\lambda \times I_D}, \infty) \quad [\Omega] \quad (1.10a)$$

1.3.4.b - Para a região linear ou tríodo ($V_{DS_Q} \leq V_{Dsat}$):

$$r_{dst} = \frac{1}{2\beta(1 + \lambda V_{DS})(V_{GS} - V_{To} - V_{DS}) + \lambda\beta V_{DS}[2(V_{GS} - V_{To}) - V_{DS}]} \quad [\Omega] \quad (1.10b)$$

1.3.4.c - Para qualquer região:

$$r_{ds} = IFTE(V_{DS} \geq V_{Dsat}, r_{dsp}, r_{dst}) \quad (1.11)$$

1.3.5 - Capacitâncias Incrementais das Junções:

Como as duas junções estão sempre em polarização reversa na região ativa do *JFET*, as capacitâncias a elas associadas são, ambas, de *depleção* e valem:

1.3.5.a – Capacitância Incremental Porta-Dreno:

$$C_{gd} = \frac{C_{GD}}{\left[1 - \frac{(V_{GS} - V_{DS})}{P_B}\right]^m} \quad [F] \quad (1.12a)$$

1.3.5.b - Capacitância Incremental Porta-Fonte:

$$C_{gs} = \frac{C_{GS}}{\left(1 - \frac{V_{GS}}{P_B}\right)^m} \quad [F] \quad (1.12b)$$

1.3.5.c - Definição dos Parâmetros de Modelagem de Capacitâncias:

$C_{GD} \equiv$ Capacitância da junção *porta-dreno*, com $V_{GD} = 0$.

$C_{GS} \equiv$ Capacitância da junção *porta-fonte*, com $V_{GS} = 0$.

$P_B \equiv$ Potencial interno das junções (0,75 V ~ 2,0 V).

$m \equiv$ Coeficiente de gradualismo de dopagem das junções (0,333 ~ 0,5).

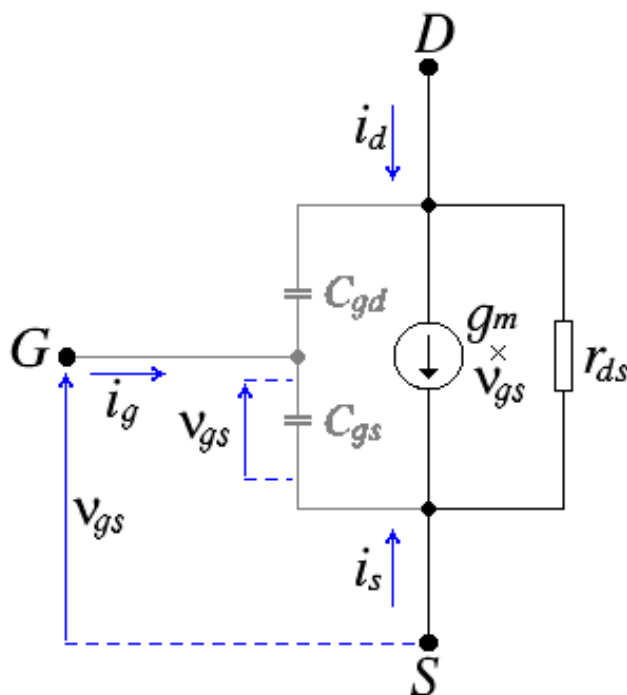


Figura 1.6 – Modelo Linearizado do JFET, para Pequenos Sinais.

2. Amplificadores Básicos

2.1. Fonte-Comum

As equações a seguir são referentes ao circuito da Figura 2.1, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.6:

2.1.1 - Ganho de Tensão:

$$A_v = \frac{-g_m r_{ds} R_D^*}{r_{ds} + R_D^* + R_{S(AC)}(1 + g_m r_{ds})}$$

e

$$A_{vg} = \frac{R_i A_v}{R_i + R_{ger}}$$

2.1.2 - Resistência de Saída:

$$R_o = \frac{[r_{ds} + R_{S(AC)}(1 + g_m r_{ds})]R_D}{r_{ds} + R_D + R_{S(AC)}(1 + g_m r_{ds})} \quad [\Omega]$$

2.1.3 - Resistência de Entrada:

$$R_i = R_G \quad [\Omega]$$

2.1.4 - Frequência de Corte nas Altas:

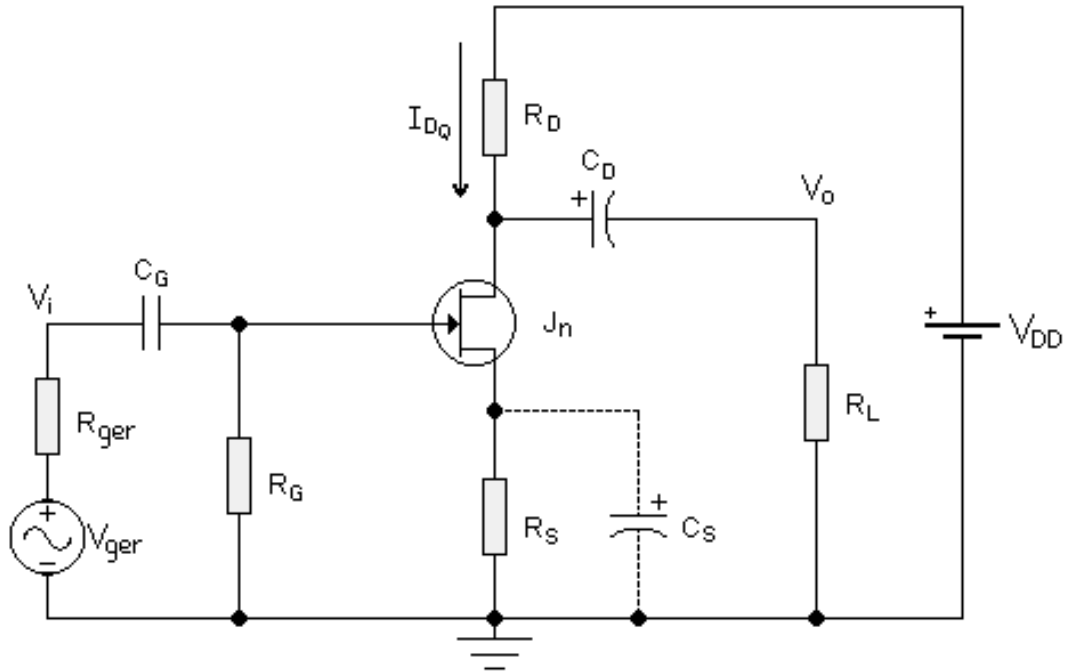


Figura 2.1 – Amplificador Fonte-Comum.

A frequência de corte nas altas pode ser calculada aproximadamente pela equação a seguir. Essa equação é genérica e pode ser usada nos dois casos, isto é, com $C_S = 0$ e com $C_S \neq 0$. Como, porém, algumas aproximações foram feitas na dedução dessa equação, ela é válida apenas para $R_{ger} \geq 1\text{ k}\Omega$, quando $C_S = 0$. Caso contrário, o valor da f_{CA} deverá ser aferido por simulação. Se $C_S \neq 0$, todavia, para qualquer valor de R_{ger} , a aproximação da equação a seguir é bastante boa. O circuito linearizado equivalente, usado para o cálculo dessa equação, está apresentado na Figura 1.6.

$$f_{CA} \approx \frac{R_{ger} + R_G}{2\pi R_G \left\{ \left[R_{ger} + \left(\frac{g_m R_{ger}}{1 + g_m R_{S(AC)}} + \frac{R_{ger} + R_G}{R_G} \right) \times R_L^* \right] \times C_{gd} + \frac{g_m R_L^* R_{ger} C_{gs}}{1 + g_m (R_L^* + R_{S(AC)})} \right\}}$$

2.1.5 - Frequência de Corte nas Baixas:

– *Polo de porta:*

$$p_G = \frac{1}{2\pi C_G (R_{ger} + R_G)} \quad [\text{Hz}]$$

– *Polo de dreno:*

$$p_D = \frac{1}{2\pi C_D (R_o + R_L)} \quad [\text{Hz}]$$

– *Polo de fonte:*

$$p_S = IFTE \left[C_S \neq 0, IFTE(R_S \neq 0, \frac{1}{2\pi C_S R_S} \times \frac{r_{ds} + R_D^* + R_S \times (1 + g_m r_{ds})}{r_{ds} + R_D^*}, 0), 0 \right] \quad [\text{Hz}]$$

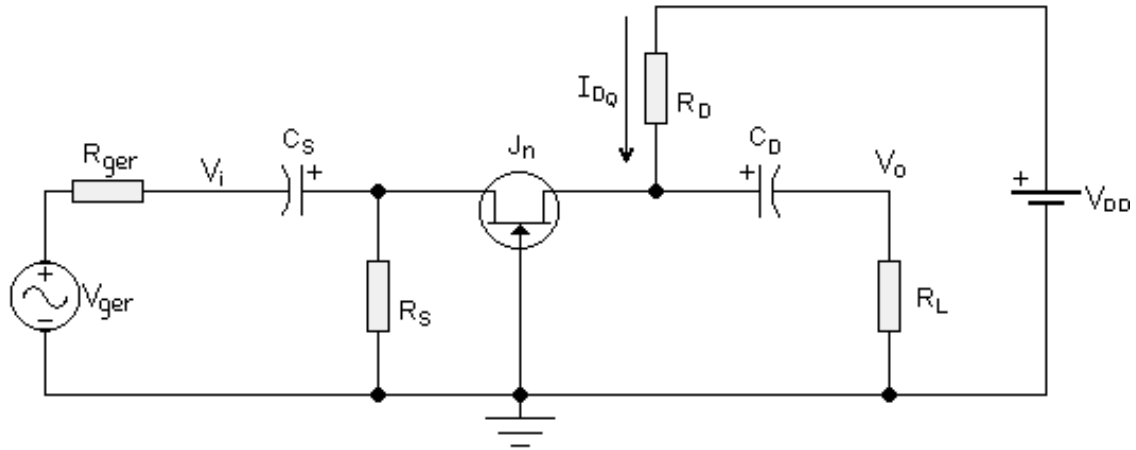


Figura 2.2 – Amplificador Porta-Comum.

– Zero de fonte:

$$z_S = IFTE \left[C_S \neq 0, IFTE \left(R_S \neq 0, \frac{1}{2\pi C_S R_S}, 0 \right), 0 \right] \text{ [Hz]}$$

– Frequência de corte:

$$f_{CB} = IFTE \left[C_S \neq 0, \sqrt{p_G^2 + p_D^2 + p_S^2 - 2z_S^2}, \sqrt{\frac{p_G^2 + p_D^2 + \sqrt{p_G^4 + p_D^4 + 6p_G^2 p_D^2}}{2}} \right] \text{ [Hz]}$$

2.1.6 - Equações Auxiliares:

$$R_D^* = \frac{R_D R_L}{R_D + R_L} \text{ } [\Omega]$$

$$R_L^* = \frac{r_{ds} R_D^*}{r_{ds} + R_D^*} \text{ } [\Omega]$$

$$R_{S(AC)} = IFTE[C_S \neq 0, 0, R_S] \text{ } [\Omega]$$

2.2. Porta-Comum

Equações referentes ao circuito genérico da Figura 2.2, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.6:

2.2.1 - Ganho de Tensão:

$$A_v = \frac{v_o}{v_i} = \frac{1 + g_m r_{ds}}{r_{ds} + R_D^*} \times R_D^* \text{ } [V/V]$$

e

$$A_{vg} = \frac{v_o}{v_g} = \frac{A_v R_i}{R_i + R_{ger}} \text{ } [V/V]$$

2.2.2 - Resistência de Saída:

$$R_o = \frac{R_D \times [r_{ds} + R'_S \times (1 + g_m r_{ds})]}{r_{ds} + R_D + R'_S \times (1 + g_m r_{ds})} \quad [\Omega]$$

2.2.3 - Resistência de Entrada:

$$R_i = \frac{(r_{ds} + R_D^*) \times R_S}{r_{ds} + R_D + R_S (1 + g_m r_{ds})} \quad [\Omega]$$

2.2.4 - Frequência de Corte nas Altas:

- Polo de entrada:

$$p_i = IFTE(R_{ger} \neq 0, \frac{R_i + R_{ger}}{2\pi C_{gs} R_i R_{ger}}, 0)$$

- Polo de saída:

$$p_o = \frac{R_o + R_L}{2\pi C_{gd} R_o R_L}$$

- Frequência de corte:

$$f_{CA} = IFTE(R_{ger} \neq 0, \sqrt{\frac{\sqrt{p_i^4 + p_o^4 + 6p_i^2 p_o^2} - p_i^2 - p_o^2}{2}}, p_o) \quad [\text{Hz}]$$

2.2.5 - Frequência de Corte nas Baixas:

- Polo de fonte:

$$p_s = \frac{1}{2\pi C_s (R_{ger} + R_i)} \quad [\text{Hz}]$$

- Polo de dreno:

$$p_D = \frac{1}{2\pi C_D (R_o + R_L)} \quad [\text{Hz}]$$

- Frequência de corte:

$$f_{CB} = \sqrt{\frac{p_s^2 + p_D^2 + \sqrt{p_s^4 + p_D^4 + 6p_s^2 p_D^2}}{2}} \quad [\text{Hz}]$$

2.2.6 - Equações Auxiliares:

$$R_D^* = \frac{R_D R_L}{R_D + R_L} \quad ; \quad R_L^* = \frac{r_{ds} R_D^*}{r_{ds} + R_D^*} \quad \text{e} \quad R_S' = \frac{R_S R_{ger}}{R_S + R_{ger}}$$

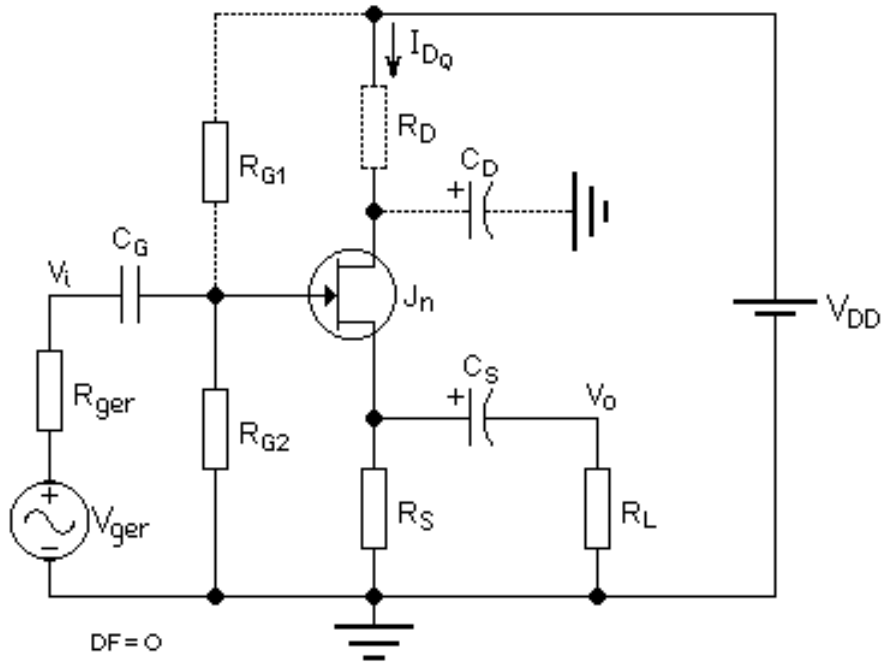


Figura 2.3 – Amplificador Dreno-Comum com Divisor de Porta.

2.3. Dreno-Comum

Equações referentes aos circuitos genéricos das Figuras 2.3 e 2.4, no qual o transistor foi substituído pelo modelo linearizado para pequenos sinais, mostrado na Figura 1.6. A resistência R_D é optativa no circuito da Figura 2.3 e o capacitor C_D é optativo nas figuras 2.3 e 2.4. A resistência R_{G1} pode ter seu valor igual a infinito no circuito da Figura 2.3.

2.3.1 - Ganho de Tensão:

- Com divisor de porta ($DF = 0$):

$$A_{v1} = \frac{v_o}{v_i} = \frac{g_m r_{ds} R_S^*}{r_{ds} + R_{D(AC)} + (1 + g_m r_{ds}) R_S^*} \quad [\text{V/V}]$$

- Com divisor de fonte ($DF = 1$):

$$A_{v2} = \frac{[R_{D(AC)} + g_m P] \times r_{ds} \times R_L}{[P + (R_G + R_{D(AC)}) \times R_L] \times r_{ds} + (1 + g_m r_{ds}) \times P \times R_L}$$

- Ganho de tensão:

$$A_v = \frac{v_o}{v_i} = IFTE(DF = 0, A_{v1}, A_{v2}) \quad [\text{V/V}]$$

e

$$A_{vg} = \frac{v_o}{v_g} = \frac{A_v R_i}{R_i + R_{ger}} \quad [\text{V/V}]$$

2.3.2 - Resistência de Saída:

- Com divisor de porta ($DF = 0$):

$$R_{o1} = \frac{(R_{D(AC)} + r_{ds})R_S}{r_{ds} + R_{D(AC)} + (1 + g_m r_{ds})R_S} \quad [\Omega]$$

- Com divisor de fonte ($DF = 1$):

$$R_{o2} = \frac{P^* \times r_{ds}}{(R_G^* + R_{D(AC)}) \times r_{ds} + (1 + g_m r_{ds}) \times P^* - g_m r_{ds} R_{D(AC)} R_{ger}}$$

- Resistência de saída:

$$R_o = IFTE(DF = 0, R_{o1}, R_{o2}) \quad [\Omega]$$

2.3.3 - Resistência de Entrada:

- Com divisor de porta ($DF = 0$):

$$R_{i1} = R_G \quad [\Omega]$$

- Com divisor de fonte ($DF = 1$):

$$R_{i2} = \frac{R_S R_{D(AC)} + (R_S + R_{D(AC)}) \times R_G}{R_S + R_{D(AC)} (1 - A_v)}$$

- Resistência de entrada:

$$R_i = IFTE(DF = 0, R_{i1}, R_{i2}) \quad [\Omega]$$

2.3.4 - Frequência de Corte nas Altas:

- Com divisor de porta ($DF = 0$):

$$f_{CA1} \approx \frac{R_i + R_{ger}}{2\pi R_i R_{ger} \left[\left(1 + \frac{A_v R_{D(AC)}}{R_S} \right) C_{gd} + (1 - A_v) C_{gs} \right]} \quad [\text{Hz}]$$

- Com divisor de fonte ($DF = 1$):

$$f_{CA2} \approx \frac{R_i + R_{ger}}{2\pi R_i R_{ger} [C_{gd} + (1 - A_v) C_{gs}]} \quad [\text{Hz}]$$

- Frequência de corte:

$$f_{CA} = IFTE(DF = 0, f_{CA1}, f_{CA2}) \quad [\text{Hz}]$$

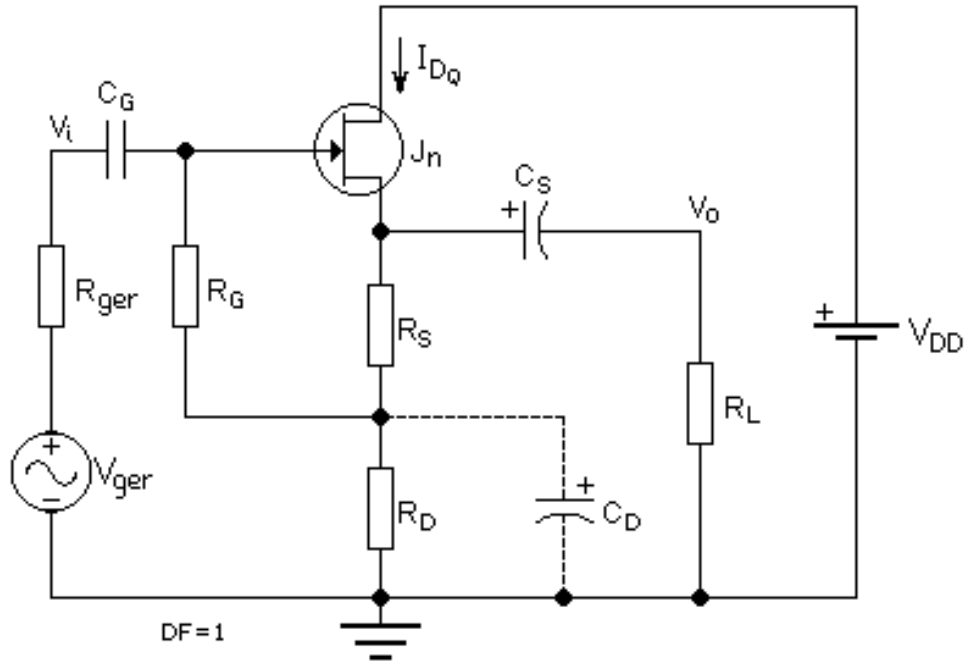


Figura 2.4 – Amplificador Dreno-Comum com Divisor de Fonte.

A equação acima vale para $R_{ger} \geq 1 \text{ k}\Omega$. Para $R_{ger} < 1 \text{ k}\Omega$ a f_{CA} tende, teoricamente, a valores muito elevados e fica limitada, apenas, pelos componentes reativos parasitas externos ao circuito.

2.3.5 - Frequência de Corte nas Baixas:

- Polo de fonte:

$$p_s = \frac{1}{2\pi C_s (R_o + R_L)} \quad [\text{Hz}]$$

- Polo de porta:

$$p_G = \frac{1}{2\pi C_G (R_i + R_{ger})} \quad [\text{Hz}]$$

- Frequência de corte:

$$f_{CB} = \sqrt{\frac{p_s^2 + p_G^2 + \sqrt{p_s^4 + p_G^4 + 6p_s^2 p_G^2}}{2}} \quad [\text{Hz}]$$

2.3.6 - Equações Auxiliares:

$$P = R_{D(AC)} R_G + R_{D(AC)} R_S + R_G R_S ; \quad P^* = R_{D(AC)} R_G^* + R_{D(AC)} R_S + R_G^* R_S$$

$$R_{D(AC)} = IFTE(C_D \neq 0, 0, R_D) ; \quad R_G^* = R_G + R_{ger}$$

$$R_S^* = \frac{R_S R_L}{R_S + R_L}$$

$$R_G = IFTE(R_{G1} = \infty, R_{G2}, \frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}})$$

Se, nos circuitos das Figuras 2.3 e 2.4, $C_D \neq 0$, um polo adicional $p_D = 1/(2\pi C_D R_D)$ é formado na malha de saída. Para que esse polo não influencie no cálculo da f_{CB} e consequentemente a equação acima seja válida, as seguintes relações devem ser estipuladas: $p_D \ll p_G$ e $p_D \ll p_S$.

2.3.7 - Observações:

O parâmetro DF funciona como um sinalizador do tipo de polarização usado para o amplificador dreno-comum. Se o amplificador estiver polarizado com divisor de fonte, como o circuito da Figura 2.4, então $DF = 1$. Se, no entanto, o amplificador estiver polarizado com divisor de porta, como o circuito da Figura 2.3 com $R_{G1} = \infty$ ou não, então $DF = 0$. Os circuitos das Figuras 1.3a e 1.3b, quando polarizados no centro da reta de carga ($V_{DSQ} \cong V_{DD}/2$), apresentam desempenhos semelhantes, ou seja: grande excursão de saída ($V_{o(pk-pk)} \geq 0,75V_{DD}$) e ganho de tensão mais extenso ($0,9 V/V < A_v < 1,0 V/V$). O circuito da Figura 1.3b apresenta, ainda, resistência de entrada superior ($R_i > R_G$) e distorção harmônica levemente inferior ao circuito da Figura 1.3a.

Os circuitos das Figuras 1.3c e 1.3d, por outro lado, apresentam desempenhos muito inferiores, tanto em ganho de tensão, quanto em máxima excursão de saída e em taxa de distorção harmônica e, por isso, devem ser evitados. Para o circuito da Figura 1.3d, com $C_D = 0$, são válidas as equações:

$$A_v = \frac{g_m r_{ds} R_S^*}{r_{ds} + R_D + (1 + g_m r_{ds}) R_S^*}$$

$$R_o = \frac{(r_{ds} + R_D) R_S}{r_{ds} + R_D + (1 + g_m r_{ds}) R_S^*}$$

$$R_S^* = \frac{R_S R_L}{R_S + R_L}$$

2.4. Bibliografia

1. R. L. Boylestad, *Introductory Circuit Analysis*, 12th Ed., Pearson-Prentice Hall, 2010.
2. R. L. Boylestad, L. Nashelsky, *Electronic Devices and Circuit Theory*, 11th Ed., Pearson Education, 2013.
3. A. S. Sedra, K. C. Smith, *Microeletrônica*, 5th Ed., Pearson-Prentice Hall, 2000.
4. P. R. Veronese, *JFET Introdução*, SEL, EESC, USP, Rev. 4, 2009.

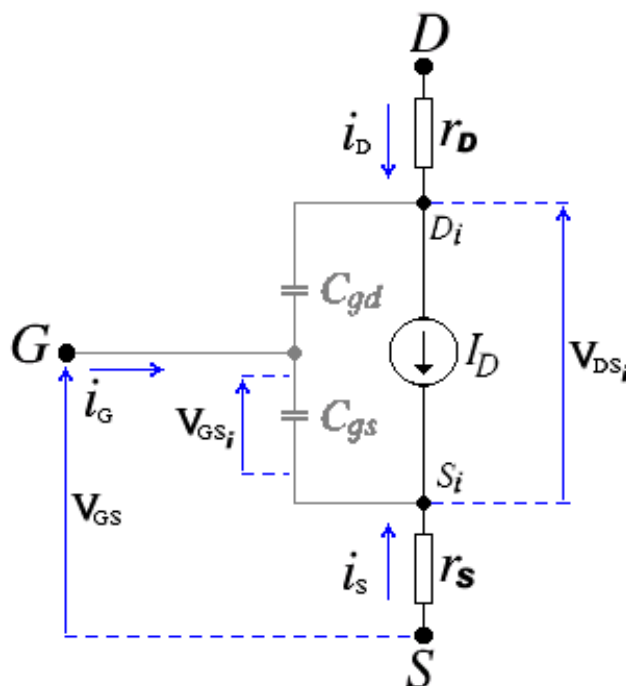


Figura 3.1 - Modelo de Grandes Sinais do JFET.

3. Modelagem de Grandes Sinais

3.1. Introdução

O JFET é modelado em simuladores de circuitos eletrônicos através de um modelo de circuitos elétricos composto por uma fonte de corrente dependente e por componentes passivos parasitas associados, como mostra a Figura 3.1.

O modelo da Figura 3.1 é conhecido como de grandes sinais e a fonte dependente de corrente é modelada pelas equações apresentadas a seguir.

3.2. Modelagem Estática

O modelo estático retrata o comportamento do JFET em relação às grandezas contínuas (DC) e é determinado pelas seguintes equações:

3.2.1 - Corrente de Porta:

$$I_G = I_S \times \left[\exp\left(\frac{V_{GS_i}}{NV_t}\right) - 1 \right] \quad [\text{A}]$$

Na região ativa do JFET, isto é, com $V_{GS_i} \leq 0$, a corrente de porta vale $I_G = -I_S$ e, portanto, permanece desprezível em temperatura ambiente.

3.2.2 - Corrente de Dreno:

- Região Pêntodo ou de Saturação ($0 \leq V_{GS_i} - V_{To} \leq V_{DS_i}$):

$$I_D = \beta \times (V_{GS_i} - V_{To})^2 \times (1 + \lambda V_{DS_i}) \quad [\text{A}]$$

- Região Trípodo ou Linear ($0 \leq V_{DS_i} \leq V_{GS_i} - V_{To}$):

$$I_D = \beta \times V_{DS_i} \times [2(V_{GS_i} - V_{To}) - V_{DS_i}] \times (1 + \lambda V_{DS_i}) \quad [\text{A}]$$

3.2.3 - Grandezas Externas:

As tensões V_{GS_i} e V_{DS_i} são internas. As resistências de perdas de dreno e de fonte são r_D e r_S , respectivamente, e ligam os terminais externos de D e S aos respectivos terminais internos, D_i e S_i . Então:

$$V_{GS} = V_{GS_i} + r_S I_D$$

$$V_{DS} = V_{DS_i} + (r_S + r_D) \times I_D \quad \text{e} \quad I_G + I_D + I_S = 0 \Rightarrow I_D \cong I_S$$

3.2.4 - Parâmetros Estáticos @ 27 °C:

Parâmetros	Descrição	Unidades	Default
β	Fator de Transcondutância	A/V ²	100 μ
V_{To}	Tensão de Limiar de Condução de Canal	V	-2,0
λ	Coef. de Modulação de Comprimento de Canal	V ⁻¹	0,0
I_S	Corrente de Saturação Reversa da Junção	A	10 f
N	Coeficiente de Emissão da Junção	-	1,0
r_D	Resistência de Perdas do Dreno	Ω	0,0
r_S	Resistência de Perdas da Fonte	Ω	0,0

Tabela 3.1 – Parâmetros Estáticos @ 27 °C.

3.3. Modelagem Dinâmica

O modelo dinâmico retrata o comportamento do *JFET* em relação às grandezas variáveis (*AC e transitórios*) e é determinado pelas seguintes equações, usando os parâmetros da Tabela 3.2:

3.3.1 - Capacitância Porta-Dreno:

- Região Reversa ($V_{GD_i} > F_C \times P_B$):

$$C_{gd} = C_{GD} \times (1 - F_C)^{-(1+m)} \times \left[1 - F_C \times (1 + m) + \frac{mV_{GD_i}}{P_B} \right] \quad [F]$$

- Região Ativa ($V_{GD_i} \leq F_C \times P_B$):

$$C_{gd} = \frac{C_{GD}}{\left(1 - \frac{V_{GD_i}}{P_B} \right)^m} \quad [F]$$

3.3.2 - Capacitância Porta-Fonte:

- Região Reversa ($V_{GS_i} > F_C \times P_B$):

$$C_{gs} = C_{GS} \times (1 - F_C)^{-(1+m)} \times \left[1 - F_C \times (1 + m) + \frac{mV_{GS_i}}{P_B} \right] \quad [F]$$

- Região Ativa ($V_{GS_i} \leq F_C \times P_B$):

$$C_{gs} = \frac{C_{GS}}{\left(1 - \frac{V_{GS_i}}{P_B} \right)^m} \quad [F]$$

3.3.3 - Parâmetros Dinâmicos @ 27 °C:

Parâmetros	Descrição	Unidades	Default
C_{GD}	Capacitância G/D com $V_{GD_i} = 0$	F	0,0
C_{GS}	Capacitância G/S com $V_{GS_i} = 0$	F	0,0
P_B	Potencial Interno da Junção	V	1,0
m	Coefficiente de Gradualismo de Dopagem da Junção	-	0,5
F_C	Coefficiente de Fronteira de Polarização Reversa	-	0,5

Tabela 3.2 - Parâmetros Dinâmicos @ 27 °C.

3.4. Modelagem Térmica

3.4.1 - Variação Térmica do gap:

O modelo térmico retrata o comportamento do *JFET* em relação às variações de temperatura da junção e é determinado pelas seguintes equações, usando os parâmetros da Tabela 3.3:

$$E_{Gt} = 1,155 - \frac{702 \times 10^{-6} \times T^2}{T + 1108} \quad [\text{eV}]$$

Onde:

$$T = \theta + 273,15 \quad [\text{K}]$$

O parâmetro θ é a temperatura da junção em $^{\circ}\text{C}$.

3.4.2 - Variação Térmica do Potencial Interno da Junção:

$$P_{Bt} = P_B \times \frac{T}{300,15} - 3 \times V_t \times \ln\left(\frac{T}{300,15}\right) - E_G \times \frac{T}{300,15} + E_{Gt} \quad [\text{V}]$$

onde E_G é a energia associada ao *gap* do semiconductor @ 27°C ($E_G = 1,11 \text{ eV}$ p/ o *Si*).

3.4.3 - Variação Térmica da Tensão de Limiar:

$$V_{Tot} = V_{To} + V_{ToTC} \times (T - 300,15) \quad [\text{V}]$$

3.4.4 - Variação Térmica do Fator de Transcondutância:

$$\beta_t = \beta \times 1,01^{\beta_{TCE}(T - 300,15)} \quad [\text{A/V}^2]$$

3.4.5 - Variação Térmica da Corrente de Saturação Reversa da Junção:

$$I_{St} = I_S \times e^{\frac{E_G}{NV_t} \times \left(\frac{T}{300,15} - 1\right)} \times \left(\frac{T}{300,15}\right)^{\left(\frac{X_{FL}}{N}\right)} \quad [\text{A}]$$

3.4.6 - Variação Térmica da Capacitância de Dreno:

$$C_{GDt} = C_{GD} \times \left[1 + m \times \left(4 \times 10^{-4} \times (T - 300,15) + 1 - \frac{P_{Bt}}{P_B} \right) \right] \quad [\text{F}]$$

3.4.7 - Variação Térmica da Capacitância de Fonte:

$$C_{GSt} = C_{GS} \times \left[1 + m \times \left(4 \times 10^{-4} \times (T - 300,15) + 1 - \frac{P_{Bt}}{P_B} \right) \right] \quad [\text{F}]$$

3.4.8 - Potencial Térmico:

$$V_t = \frac{kT}{q} \quad [\text{V}]$$

\Rightarrow

$$V_t = 86,1734215226 \times 10^{-6} \times (\theta + 273,15) \quad [\text{V}]$$

3.4.9 – Parâmetros Térmicos @ 27 °C:

Parâmetros	Descrição	Unidades	Default
β_{TCE}	Coeficiente Térmico de β	%/°C	0,0
V_{T0TC}	Coeficiente Térmico de V_{TO}	V/°C	0,0
X_{TI}	Coeficiente Térmico de I_S	-	3,0
E_G	Gap do Semicondutor	eV	1,11 (Si)

Tabela 3.3 - Parâmetros Térmicos @ 27 °C.

3.5. Modelagem de Ruído

No interior do *JFET*, como em qualquer componente eletrônico, são gerados corriqueiramente dois tipos de ruído: o ruído térmico, oriundo de componentes resistivos, e o ruído *shot*, característico de cristais semicondutores.

3.5.1 - Ruído Térmico:

É um ruído com características de *ruído branco* e é modelado através da adição de duas fontes de corrente de ruído associadas aos resistores de perdas internas, r_D e r_S . Valem:

$$I_{Dn} = \sqrt{\frac{4kT}{r_D}} \quad [A]$$

e

$$I_{Sn} = \sqrt{\frac{4kT}{r_S}} \quad [A]$$

3.5.2 - Ruído Shot:

É um ruído com características de *ruído rosa*, oriundo de mecanismos quânticos de condução em cristais semicondutores. Essa fonte de ruído é modelada pela adição de uma fonte de corrente extra de dreno cujo valor é dado por:

$$I_{Dn} = \sqrt{\frac{8kT}{3g_m} + \frac{K_F \times I_D^{A_F}}{f}} \quad [A]$$

Na equação acima, f é a largura de faixa de frequências na qual foi modelado o ruído *shot* enquanto que K_F e A_F são parâmetros de modelagem ($K_F = 0$ e $A_F = 1$, em *default*).

3.6. Modelagem de JFET 's Comerciais

JFET 's de canal **n** são muito mais comuns, na prática, do que os construídos com canal **p**, porque, face à mobilidade inferior de lacunas no silício, esses componentes possuem desempenhos muito inferiores. No mercado brasileiro os *JFET* 's de canal **n** da família *BF245* são os mais facilmente encontrados e, por isso, também os mais usados no desenvolvimento deste curso. Os parâmetros de modelagem da família *BF245* são fornecidos a seguir:

3.6.1 - Parâmetros @ 27 °C:

```
*****
*****
.model BF245A njf (VTO=-1.7372 BETA=1.16621m
+
+          LAMBDA=17.7211m
+          RD=9.01678 RS=9.01678 IS=0.291797f
+          CGS=2.2p CGD=2.2p PB=0.780988 M=0.5
+          VTOTC=-2.3m BETATCE=-0.38 FC=0.5)
*****
*****
.model BF245B njf (VTO=-2.3085 BETA=1.09045m
+
+          LAMBDA=23.1754m
+          RD=7.77648 RS=7.77648 IS=0.259121f
+          CGS=2.0p CGD=2.2p PB=0.991494 M=0.5
+          VTOTC=-2.67m BETATCE=-0.629 FC=0.5)
*****
*****
.model BF245C njf (VTO=-5.0014 BETA=543.157u
+
+          LAMBDA=27.1505m
+          RD=12.0869 RS=12.0869 IS=0.364346f
+          CGS=2.0p CGD=2.0p PB=1.24659 M=0.5
+          VTOTC=-2.67m BETATCE=-0.629 FC=0.5)
*****
*****
```

3.7. Modelagem de *JFET* 's para Aplicações em Cálculos Manuais

Os *JFET* 's comerciais mostrados acima podem ser substituídos, em cálculos manuais de circuitos, pelos modelos simplificados abaixo, correspondentemente, isto é, *BF245A* \equiv *JnA*, *BF245B* \equiv *JnB*, *BF245C* \equiv *JnC*.

3.7.1 - Parâmetros em qualquer temperatura:

```
*****
*****
.model JnA njf (VTO=-1.3 BETA=1.885947335m LAMBDA=17m CGS=2.2p CGD=2.2p)
*****
*****
.model JnB njf (VTO=-2.7 BETA=1.019882612m LAMBDA=23m CGS=2.0p CGD=2.2p)
*****
*****
.model JnC njf (VTO=-5.35 BETA=431.9551529u LAMBDA=25m CGS=2.0p CGD=2.0p)
*****
*****
```