

SEL-EESC-USP

Princípios de Leiaute CMOS

P. R. Veronese
2014

SEL – EESC – USP

Princípios de Leiaute CMOS

1. Introdução

Nos processos de desenvolvimento de equipamentos eletrônicos o projetista normalmente segue o seguinte fluxo:

- Circuitos discretos:

- Determina a função que o circuito eletrônico deverá executar.
- Determina a arquitetura mais adequada que consiga executar aquela função.
- Efetua os cálculos necessários para tornar o circuito funcional.
- Analisa e otimiza o circuito através de simulações.
- Testa em bancada de laboratório usando placas de desenvolvimento.
- Desenha o leiaute do circuito impresso.
- Monta e testa o circuito.

- Circuitos integrados:

- Determina a função que o circuito eletrônico deverá executar.
- Determina a arquitetura mais adequada que consiga executar aquela função.
- Efetua os cálculos necessários para tornar o circuito funcional.
- Analisa e otimiza o circuito através de simulações.
- Desenha o leiaute das máscaras de construção do circuito.
- Testa se regras de projeto não foram violadas através do DRC (*Design Rule Checking*).
- Testa se o leiaute corresponde ao esquema elétrico através do LVS (*Layout Versus Schematic*).
- Testa se regras elétricas não foram violadas através do ERC (*Electrical Rule Check*).
- Fabrica ou manda fabricar o *chip*.
- Testa o *chip*.

- 2 -

O leiaute, que é um modo de distribuição de elementos em um determinado espaço, consiste, nesse caso, na execução de circuitos impressos, para componentes discretos, ou de *chips*, para circuitos integrados. Nos dois casos é usado o processo de ECAD (*Electronic Computer-Aided Design*), que é o nome genérico dado a programas computacionais (*softwares*) utilizados para facilitar projetos e desenhos técnicos. Esses programas de alto desempenho, atualmente colocados na categoria de EDA (*Electronic Design Automation*), auxiliam os projetistas nessa função através de grandes doses de automação. Em eletrônica discreta, as interligações entre componentes são efetuadas por trilhas de cobre desenhadas em placas de fenolite ou de fibra de vidro cobreadas, através de algum processo de leiaute, incluindo a fotolitografia. Os componentes eletrônicos posteriormente são acondicionados à placa através de soldagem. A Figura 1 exemplifica um leiaute desse tipo. O processo de construção de *chips* é semelhante ao de construção de circuitos impressos. A diferença básica é que os *chips* possuem dimensões micrométricas ou submicrométricas.

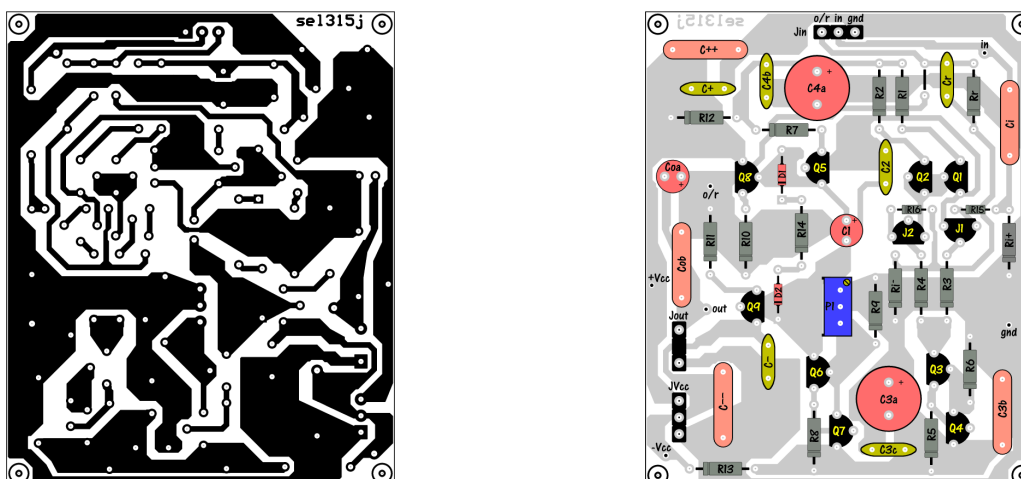


Figura 1 – Exemplo de Leiaute de Circuito Impresso. a.) Circuito Impresso Visto do Lado do Cobre. b.) Chapeado do Circuito, Visto do Lado dos Componentes.

E ainda, nos circuitos integrados, além das interligações entre componentes eletrônicos, os componentes devem ser construídos concomitantemente. O processo usado na definição de padrões de leiaute é o de fotolitografia. Vários programas comerciais de CAD estão disponíveis no mercado para esse fim. Os mais conhecidos são: *Cadence Design Systems*, *Mentor Graphics*, *Magma Design Automation*, *Synopsys*, *Zeni EDA*, *JEDAT (Japan EDA Technologies)* e *Tanner EDA*. Todas essas plataformas de *software* são de uso profissional e, portanto, de alto custo. Uma versão menos onerosa, usada em cursos de graduação de algumas universidades americanas, é a *L-Edit* da *Tanner EDA*. Versões de avaliação gratuitas e de uso restrito e limitado de alguns desses programas podem ser obtidas na rede. Programas, totalmente funcionais e gratuitos, também estão disponíveis para pesquisa e treinamento. Os programas *Magic* da U. C. Berkeley e o *LASI (LAYout System for Individuals)* podem ser baixados na rede e usados para treinamento na confecção de leiautes por alunos de graduação de eletrônica ou de engenharia de computação. Esses programas permitem, inclusive, a conversão de arquivos com extensão *.tlc* em formatos aceitos pelas *foundries*, tais como *GDSII*, *OASIS*, *CIF*, *DXF* ou, no caso de confecção de placas de circuito impresso, *Gerber*.

- 3 -

2. Princípios de Leiaute

O leiaute de um circuito integrado exige que uma sequência de passos seja executada e que um conjunto de máscaras fotográficas seja providenciado para que, através do processo de fotolitografia, os padrões de leiaute sejam definidos. Será descrito, assim, de modo sucinto nesta Seção, o clássico desenvolvimento do leiaute do inversor *CMOS*, que é o bloco funcional de circuito mais simples que existe [1]. O esquema elétrico do inversor *CMOS* está mostrado na Figura 2. Ele é constituído por dois transistores *MOS*, um de canal *n* e outro de canal *p*, trabalhando em *push-pull*. Se o substrato de silício for do tipo *p*, próprio para a construção de transistores *nMOS*, um poço do tipo *n* (*n-well*) deverá ser difundido nele, para acomodar o transistor *pMOS*. A integração desse circuito exige, no mínimo, seis máscaras fotográficas e a sequência de operações executadas está descrita a seguir. A Figura 3b apresenta a secção transversal *X-X'* do inversor da Figura 2, apresentando na Figura 3c a legenda das cores usadas na definição de cada região do *CI*.

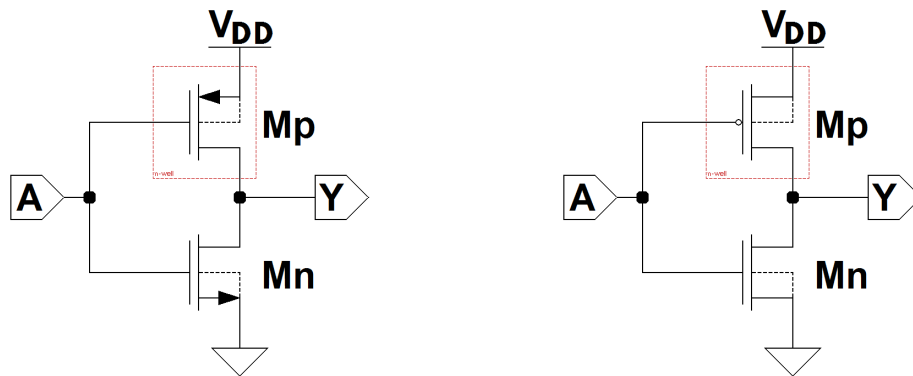


Figura 2 – Inversor CMOS Com Duas Alternativas de Simbologia.

Na Figura 3a é apresentado o leiaute da planta superior do *chip*, explicitando a posição da secção X-X'. Ficam claras, assim, as posições e os formatos de cada região construída no *chip*. Nesse projeto foram usados, por simplicidade, transistores de mesma geometria, o que não é usual, e com a relação $W/L = 2$. Foram usados, também, dois níveis de metal: o polisilício degenerado n^+ como metal de porta e o alumínio como metal 1, fazendo as interligações na parte superior do *chip*. Como a construção partiu de um substrato p , fraco ou medianamente dopado, a difusão de um poço n , também fraco ou medianamente dopado, fez-se necessária para poder acondicionar o transistor p MOS. Ambos os transistores estão, portanto, com suas fontes interligadas aos seus respectivos substratos, isto é, com $V_{SB} = 0$ para ambos. Os *pads* de ligações externas, também por simplicidade, não foram construídos. A Figura 4 apresenta a sequência de máscaras fotográficas usadas no processo de litografia para a formação das várias regiões do *chip*. São elas:

- 4 -

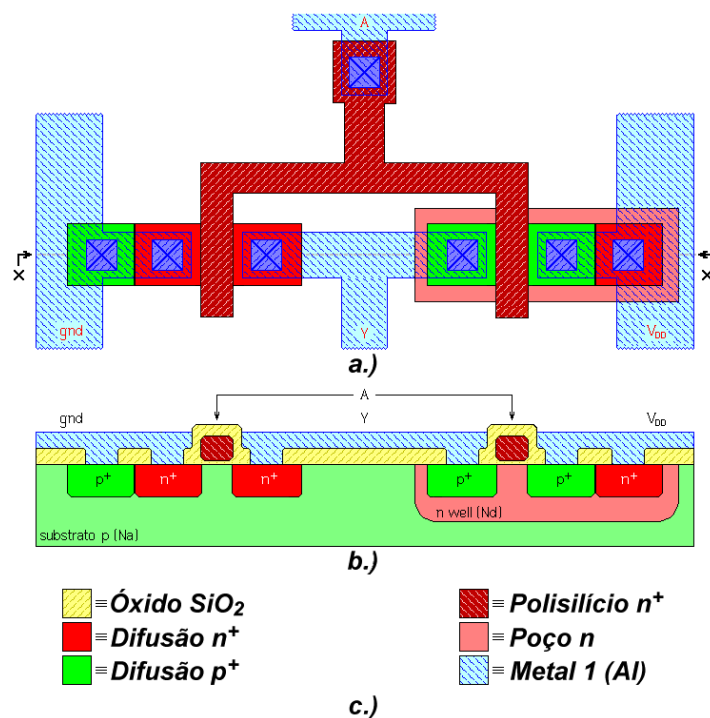


Figura 3 – Inversor CMOS. a.) Planta. b.) Secção Transversal X-X'. c.) Legenda de Cores de Cada Região.

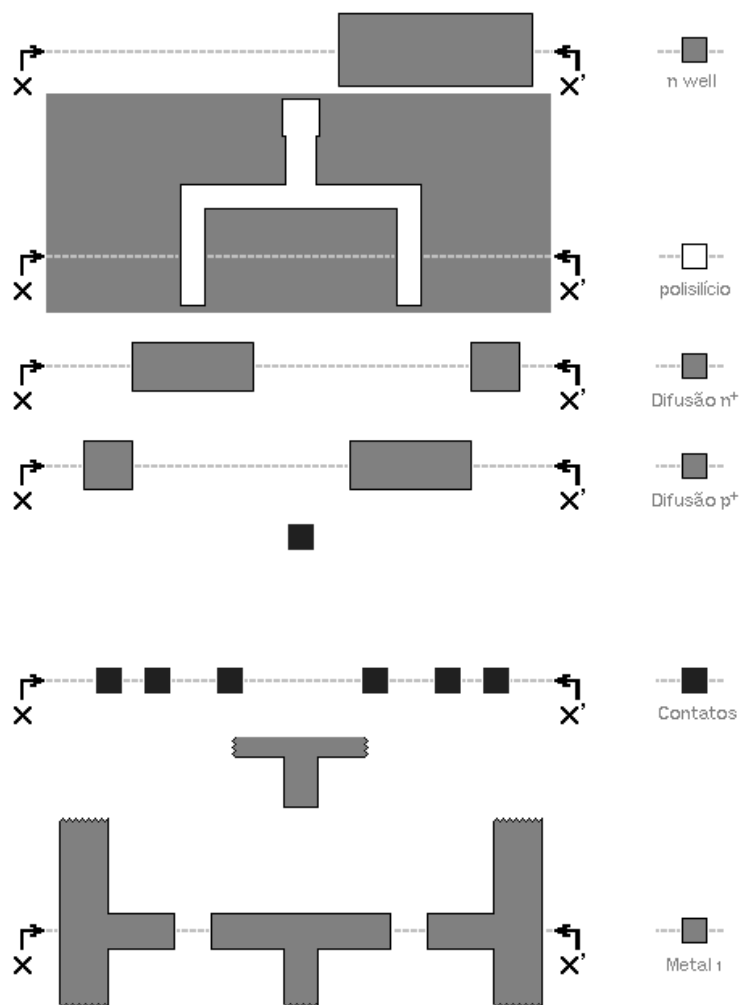


Figura 4 – Sequência de Seis Máscaras Fotográficas Usadas no Leiaute.

- Máscara para a formação do poço **n** (*n-well*).
- Máscara para a implantação do polisilício de porta.
- Máscara para a difusão da área ativa **n⁺** e do contato do poço **n**.
- Máscara para a difusão da área ativa **p⁺** e do contato do substrato **p**.
- Máscara para a implementação dos contatos do metal **1** com o restante do *chip*.
- Máscara para a formação das trilhas de interligação do metal **1**.

- Passos de Leiaute

1º Passo:

A partir de uma lâmina (*wafer*) de silício **p** mono cristalino com orientação cristalina $\langle 100 \rangle$, fraca ou medianamente dopado com impurezas trivalentes (boro), inicia-se o processo de leiaute do *chip*. O primeiro passo consiste em crescer uma camada grossa ($\leq 1 \mu m$) de óxido de silício (SiO_2) sobre toda a lâmina. Isso é feito colocando-se a lâmina polida em um forno de sílica aquecido entre $900^\circ C$ e $1200^\circ C$ e com vapor de água ou gás O_2 no seu interior.

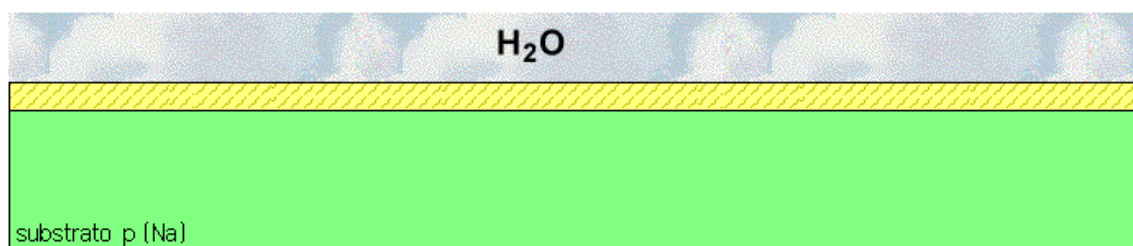


Figura 5 – Lâmina de Silício com uma Camada de Óxido Crescida Sobre a Superfície Superior.

O tempo de exposição do silício ao vapor de água determina a espessura da camada de óxido crescida. O óxido de silício é amorfo, isto é, não possui forma determinada na distribuição dos átomos de sua estrutura. O aspecto final da lâmina é visto na Figura 5. Se necessário, vários poços **n** podem ser difundidos, que não é o caso deste exemplo.

2° Passo:

O segundo passo é espalhar uma camada uniforme de fotorresiste sobre o óxido crescido no 1° passo. Fotorresiste é um polímero orgânico sensível à luz ultravioleta e que não é atacado pelos ácidos normalmente usados em processos de microeletrônica. Existem dois tipos de fotorresiste:

- Fotorresiste positivo: A área exposta à luz UV torna-se solúvel ao revelador e é extraída por ele.
- Fotorresiste negativo: A área exposta à luz UV torna-se insolúvel ao revelador e não é extraída por ele. A área que não foi exposta, conseqüentemente, é revelada e removida pelo revelador.

- 6 -

O fotorresiste é espalhado pela superfície da lâmina por um dispositivo chamado *photoresist spinner*, que é uma máquina rotativa que espalha o fotorresiste de maneira uniforme sobre a superfície através da força centrífuga. Os fotorresistes negativos são geralmente preferidos porque são mais baratos, aderem melhor aos substratos, possuem alta resistência aos ácidos usados em processos de microeletrônica, embora gerem camadas mais espessas ($\geq 2 \mu\text{m}$) e, por isso, exijam exposições maiores e mais profundas de raios UV. Neste exemplo foi usado fotorresiste negativo. A Figura 6 mostra a lâmina com o fotorresiste adicionado.

3° Passo:

Nesse passo, a primeira máscara fotográfica é usada para polimerizar, através dos raios ultravioletas, o padrão de leiaute de difusão do poço **n**, como ilustra a Figura 7.

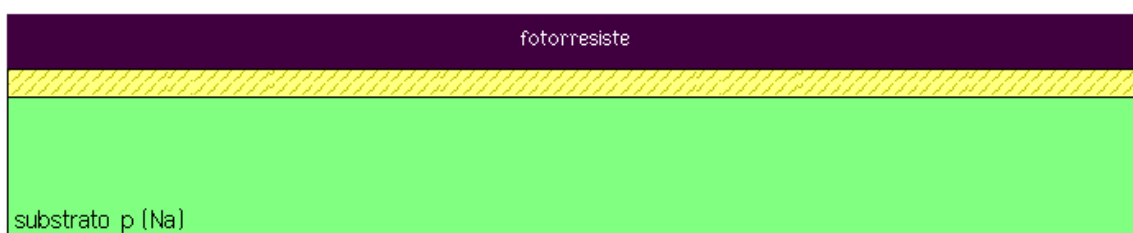


Figura 6 – Lâmina Oxidada e Com Fotorresiste Adicionado.

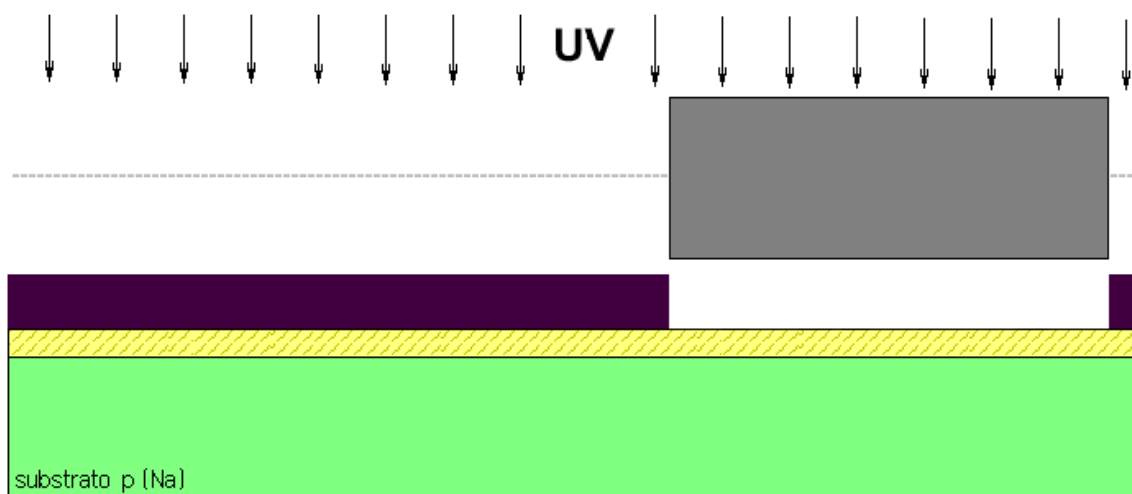


Figura 7 – Exposição do Fotorresiste à Máscara de Difusão do Poço n e Revelação da Área Não Exposta aos Raios UV.

A região escura da máscara não permite a polimerização do fotorresiste e, por isso, essa região, em forma de retângulo, será removida na revelação. Como revelador de fotorresiste normalmente é usado o *TMAH* (hidróxido de tetra-metil-amônio), que é uma amina orgânica, ou o *KOH* (hidróxido de potássio), que é um sal inorgânico.

4º Passo:

Após a revelação do fotorresiste, é feita a corrosão seletiva (*etch*) do óxido de silício na região exposta. Pode-se usar, para isso, a corrosão úmida ou a corrosão a seco. Para corrosão úmida usa-se, normalmente, o ácido hidrófluorídrico (*HF*). Esse ácido ataca o óxido, mas não ataca o fotorresiste e o silício. A corrosão úmida possui características isotrópicas, isto é, a corrosão acontece tanto na vertical quanto na horizontal e, por isso, retira um pouco de óxido situado logo abaixo das extremidades do fotorresiste. A corrosão a seco é efetuada expondo-se o material a ser removido a um bombardeamento de íons, usualmente de um plasma de gases reativos. O gás tetrafluorometano (CF_4) ionizado é normalmente usado nesse caso. Esse processo tem características anisotrópicas, isto é, a taxa de corrosão vertical é muito alta e a taxa de corrosão lateral é insignificante. O processo a seco é, portanto, mais preciso, embora mais oneroso. Após a corrosão do óxido a secção transversal fica como mostrada na Figura 8. Nesse mesmo passo é feita também, após a corrosão do óxido, a remoção total do fotorresiste. Para isso, normalmente é usada a solução **Piranha**, que é uma mistura de ácido sulfúrico (H_2SO_4) e de peróxido de hidrogênio (H_2O_2). No processo a seco pode-se usar bombardeamento de gás O_2 ionizado. A Figura 9 mostra o aspecto da secção transversal da lâmina no final desse processo.

- 7 -

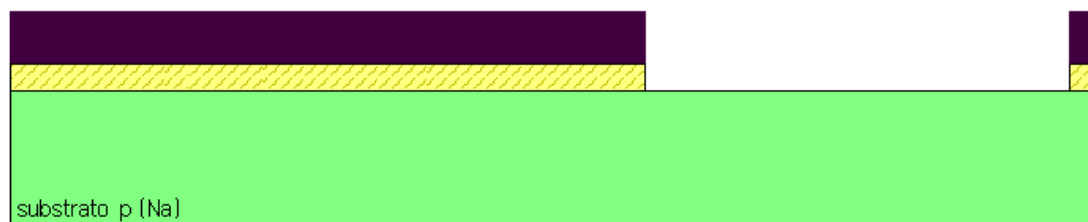


Figura 8 – Corrosão do Óxido de Silício na Região Exposta e Posterior Remoção Total do Fotorresiste.

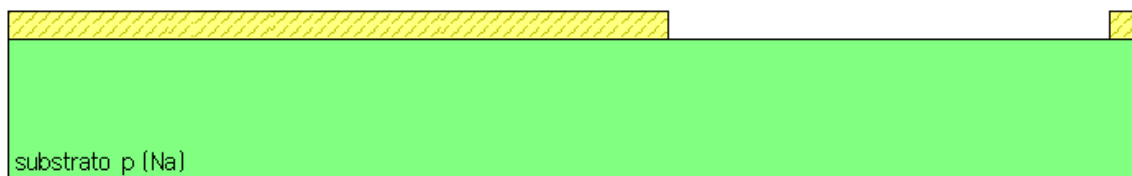


Figura 9 – Remoção do Fotorresiste.

5º Passo:

Nesse passo é feita a difusão do poço **n**. Isso é feito colocando-se a lâmina em um forno de sílica aquecido entre $900\text{ }^{\circ}\text{C}$ e $1200\text{ }^{\circ}\text{C}$ e com gás *fosfina* (PH_3) ou gás *arsina* (AsH_3) no seu interior. No gás aquecido, o hidrogênio se desprende e o fósforo, ou o arsênio, se difunde pelo silício dopando-o com excesso de elétrons. Pode-se também, na construção de componentes submicrométricos, usar o processo de implantação iônica de *P* ou de *As*. O poço difundido apresenta uma aparência seccional mostrada na Figura 10.

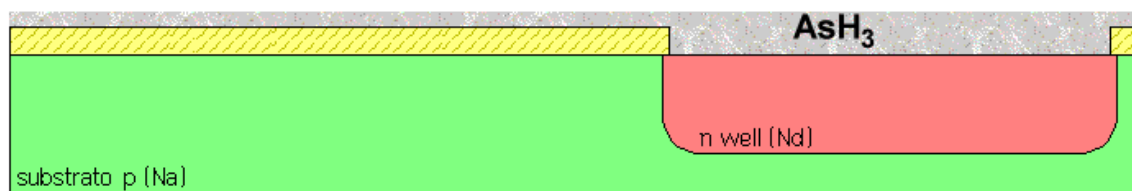


Figura 10 – Formação do Poço *n* (*n-well*).

6º Passo:

Nesse passo é feita a remoção total do SiO_2 através da aplicação de *HF*. A lâmina adquire a aparência seccional da Figura 11.

7º Passo:

Seguindo o mesmo procedimento mencionado no 1º Passo, é crescida agora, em toda a lâmina, uma camada fina de óxido de silício, com espessura t_{ox} inferior a 100 nm (1000 \AA), que funcionará como óxido fino de porta dos *MOSFET* 's. Nesse mesmo passo, é crescida, sobre o óxido, uma camada de silício policristalino fortemente dopado (\mathbf{n}^+ , no caso). É usado, para isso, o processo de CVD (*Chemical Vapor Deposition*), que consiste em colocar a lâmina em um forno aquecido tendo no interior gás *silano* (SiH_4) adicionado a gases dopantes, como a *fosfina* (PH_3) ou a *arsina* (AsH_3), no caso. A Figura 12 ilustra o resultado final desse processo.



Figura 11 - Remoção Total do Óxido de Silício da Superfície da Lâmina.

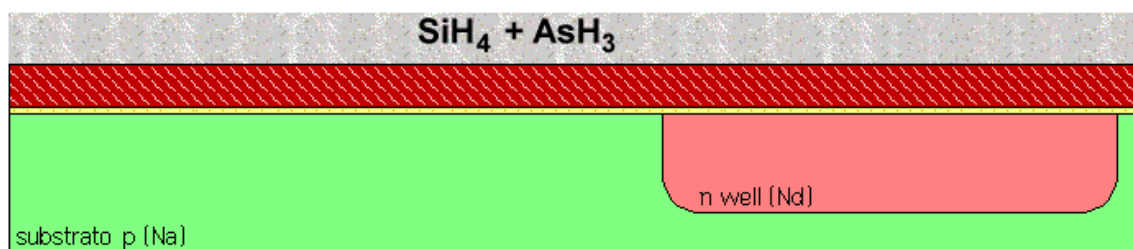


Figura 12 – Oxidação da Lâmina e Deposição de Polisilício Degenerado.

A pressão parcial dos gases influencia na dose de dopagem, que deve ser alta, e o tempo que a lâmina permanece no forno determina a espessura da camada de polisilício crescida.

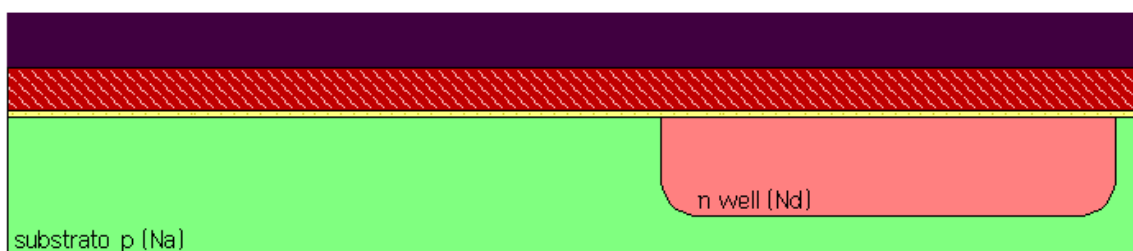


Figura 13 – Deposição de Fotorresiste na Superfície de Toda a Lâmina.

8º Passo:

Nessa etapa, tal qual foi explicado no 2º Passo, uma nova camada de fotorresiste é depositada sobre a lâmina, como mostra a Figura 13.

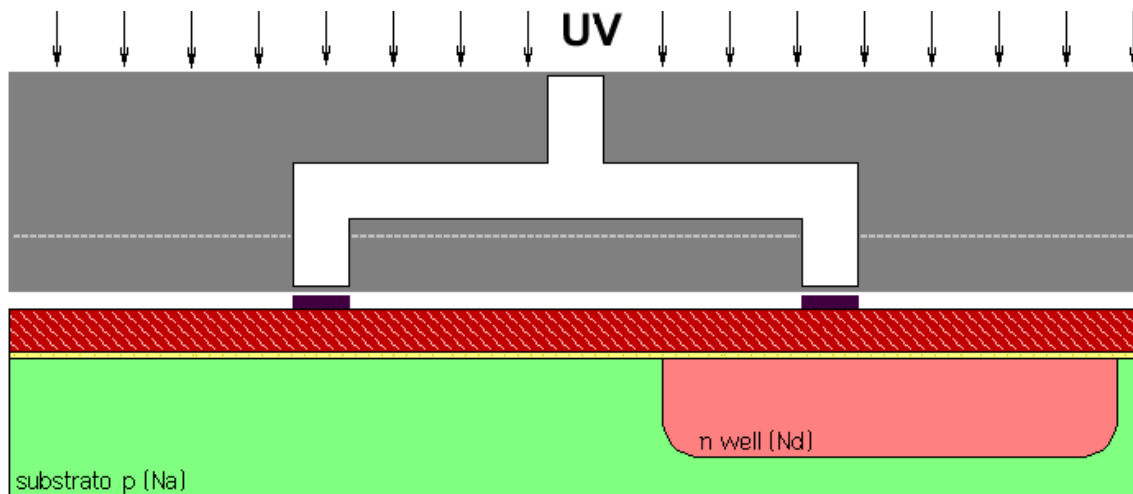


Figura 14 - Exposição do Fotorresiste à Máscara de Leiaute do Polisilício e Revelação da Área Não Exposta aos Raios UV.

9º Passo:

Nesse passo, a segunda máscara fotográfica é usada para polimerizar, através dos raios ultravioletas, o leiaute de formação dos *gates* de polisilício, como ilustra a Figura 14. Nessa figura foi usado o fotorresiste negativo e a máscara com o leiaute do fotorresiste translúcido. Pode-se usar, alternativamente, o fotorresiste positivo e a máscara, com o leiaute do fotorresiste, não translúcida.

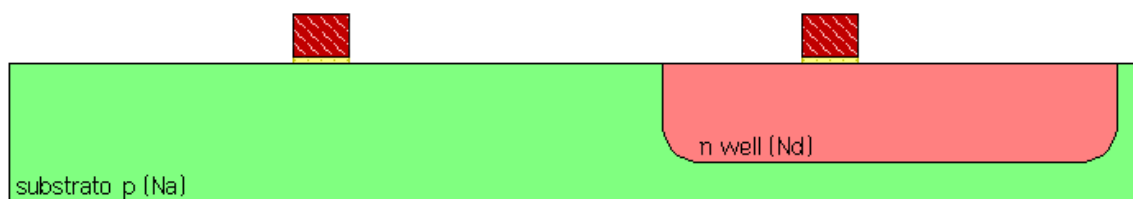


Figura 15 – Corte Seccional da Lâmina Após as Retiradas do Polisilício e do Óxido Não Protegidos Pelo Fotorresiste.

10° Passo:

Após a revelação do fotorresiste, tanto o polisilício quanto o óxido são removidos por corrosão seletiva (*etch*), menos nas regiões protegidas pelo fotorresiste não revelado. A remoção do polisilício pode ser feita com o emprego concomitante de ácido nítrico (HNO_3) com ácido hidrofúorídrico (HF) e a remoção do óxido é feita com o ácido hidrofúorídrico (HF). O ácido nítrico oxida o silício e o ácido hidrofúorídrico corrói ambos, isto é, concomitantemente o polisilício oxidado e o SiO_2 . Uma corrosão úmida mais anisotrópica também pode ser usada, através de uma solução aquosa de hidróxido de potássio (KOH). Uma corrosão seletiva como o *etch* por plasma, ainda mais anisotrópica, pode ser feita por bombardeamento de gás Cl_2 ionizado. Nessa mesma etapa também é feita a remoção do fotorresiste remanescente. O resultado é apresentado na Figura 15.

11° Passo:

Nesse passo a lâmina é, de novo, totalmente oxidada como no 1° Passo e fica com o aspecto mostrado na Figura 16.

- 10 -

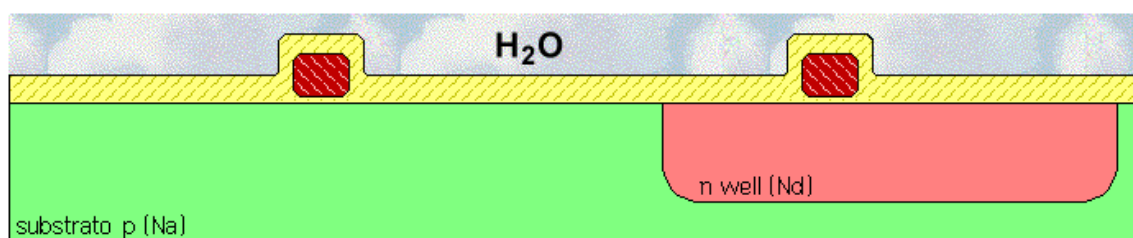


Figura 16 – Reoxidação Total da Superfície da Lâmina.

12° Passo:

Nesta etapa, após a deposição de fotorresiste, a lâmina é exposta aos raios UV através da terceira máscara, que é a máscara de difusão n^+ . Após a revelação do fotorresiste, ficam expostas a região ativa do transistor $nMOS$ e a região do contato externo do poço n . A Figura 17 mostra o resultado.

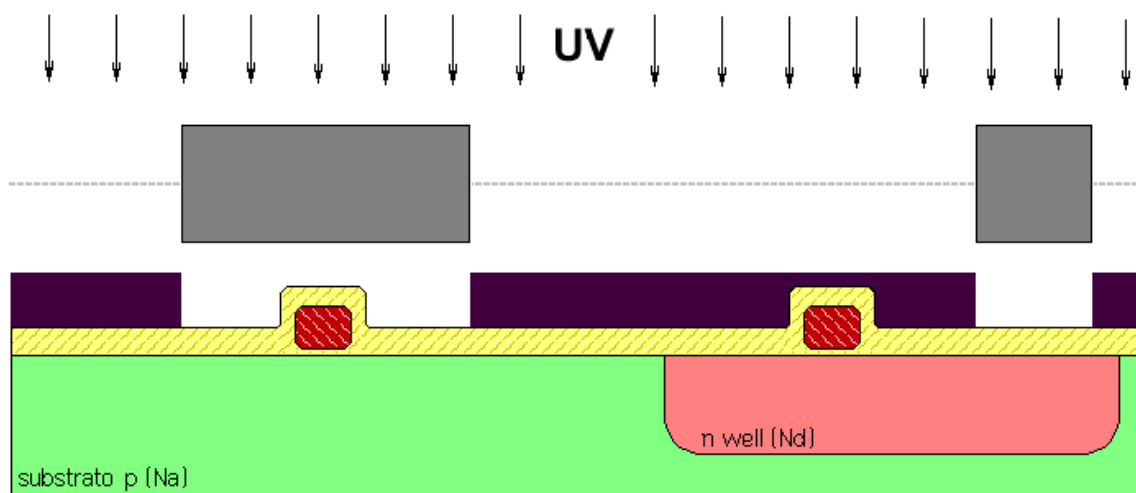


Figura 17 - Exposição do Fotorresiste à Máscara de Leiaute das Difusões n^+ , do Contato do Poço n e Revelação da Área Não Exposta aos Raios UV.

13° Passo:

Nesta etapa é feita, com a aplicação de HF , a corrosão do óxido de silício nas regiões expostas. O fotorresiste, posteriormente, também é removido. A Figura 18 apresenta o resultado dessas ações. Como não foi usado o HNO_3 , o polisilício da região ativa do transistor $nMOS$ permaneceu íntegro, mas o óxido que a envolvia foi eliminado.

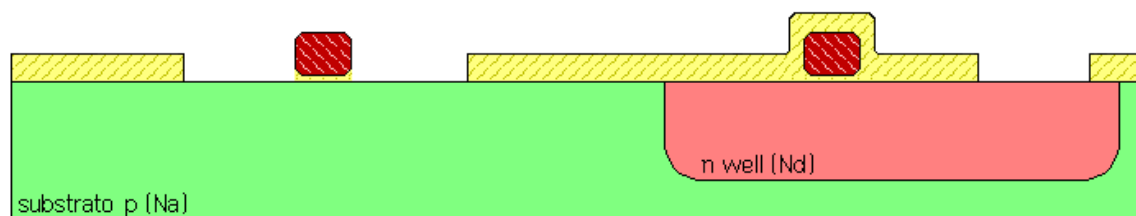


Figura 18 – Remoção do Óxido Não Protegido Pelo Fotorresiste e Remoção do Fotorresiste.

14° Passo:

Nesta etapa é feita a difusão das regiões n^+ que serão os contatos de dreno e de fonte do transistor $nMOS$ e da região n^+ que fará o contato do poço n com o exterior. Esse processo é feito colocando-se a lâmina em um forno aquecido e com os gases dopantes, *fosfina* (PH_3) ou a *arsina* (AsH_3), no seu interior. A arsina é um gás extremamente tóxico, mas muito eficiente no processo de dopagem n por difusão. O resultado está mostrado na Figura 19. Esse processo é chamado de processo de auto alinhamento porque o polisilício da região ativa do transistor $nMOS$ bloqueia a difusão na região de canal e faz com que as regiões n^+ fiquem exatamente onde deveriam ficar. A formação dessas regiões n^+ também podem ser feitas, em dispositivos submicrométricos, através do processo de implantação iônica de P^+ ou de As^+ .

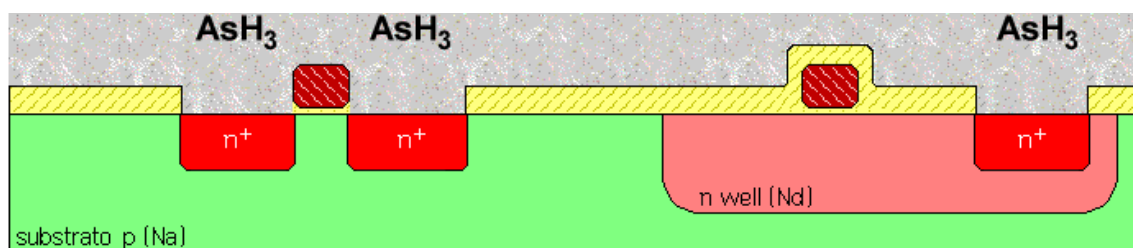


Figura 19 – Formação dos Contatos n^+ .

15° Passo:

Nesse passo é feita a remoção total do SiO_2 , através da aplicação de HF . A lâmina adquire a aparência seccional da Figura 20.

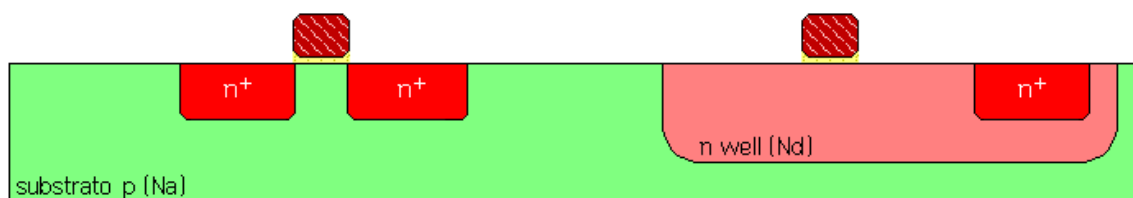


Figura 20 – Remoção Total do Óxido de Silício da Superfície da Lâmina.

16° Passo:

A lâmina é totalmente reoxidada e uma camada de fotorresiste é novamente depositada na superfície, como mostra a Figura 21.

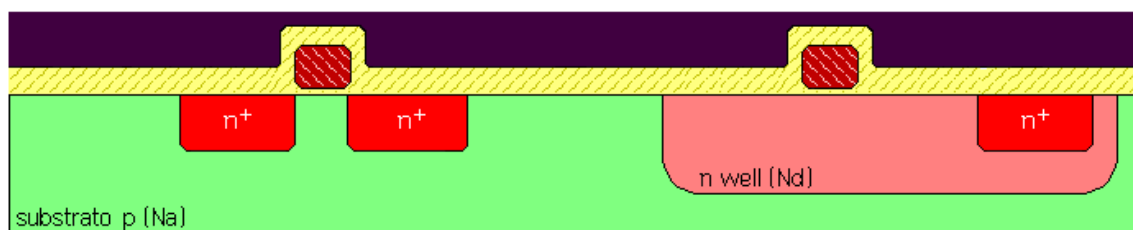


Figura 21 - Reoxidação Total da Superfície da Lâmina e Deposição de Fotorresiste.

17° Passo:

Nesta etapa, após a deposição de fotorresiste, a lâmina é exposta aos raios UV através da quarta máscara, que é a máscara de difusão p^+ . Após a revelação do fotorresiste, ficam expostas a região ativa do transistor $pMOS$ e a região do contato externo do substrato p . A Figura 22 mostra o resultado.

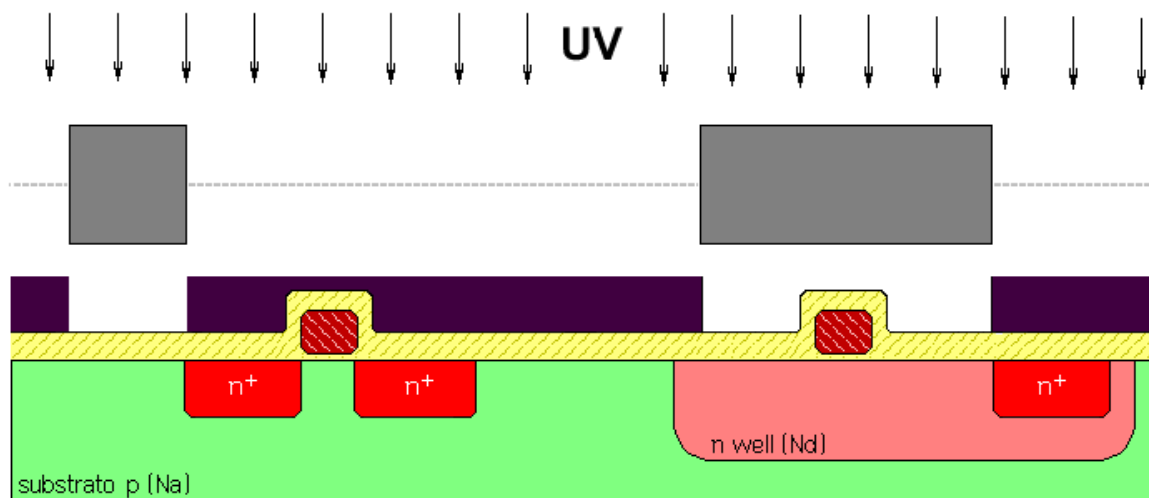


Figura 22 - Exposição do Fotorresiste à Máscara de Leiaute das Difusões p^+ , do Contato do Substrato e Revelação da Área Não Exposta aos Raios UV.

18º Passo:

Nesta etapa é feita, com a aplicação de HF , a corrosão do óxido de silício nas regiões expostas. O fotorresiste também é removido. A Figura 23 apresenta o resultado dessas ações. Como não foi usado o HNO_3 , o polisilício da região ativa do transistor $pMOS$ permaneceu íntegro, mas o óxido que a envolvia foi eliminado.

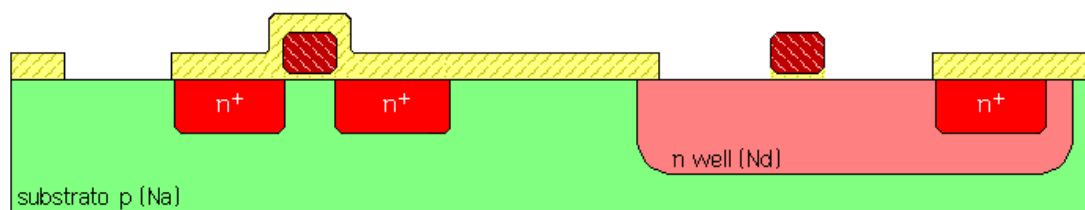


Figura 23 - Remoção do Óxido Não Protegido Pelo Fotorresiste e Remoção do Fotorresiste.

19º Passo:

Nesta etapa é feita a difusão das regiões p^+ que serão os contatos de dreno e de fonte do transistor $pMOS$ e da região p^+ que fará o contato do substrato p com o exterior. Esse processo é feito colocando-se a lâmina em um forno aquecido e com o gás dopante *diborano* (B_2H_6) no seu interior. O resultado está mostrado na Figura 24. Esse processo é chamado de processo de auto alinhamento porque o polisilício da região ativa do transistor $pMOS$ bloqueia a difusão na região de canal e faz com que as regiões p^+ fiquem exatamente onde deveriam ficar. O processo de implantação iônica de B^+ também pode ser usado em dispositivos submicrométricos.

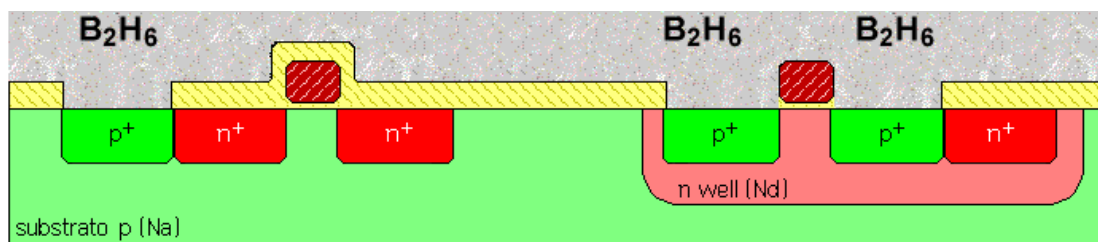


Figura 24 - Formação dos Contatos p^+ .

20° Passo:

Nesse passo é feita a remoção total do SiO_2 , através da aplicação de HF . A lâmina adquire a aparência seccional da Figura 25.

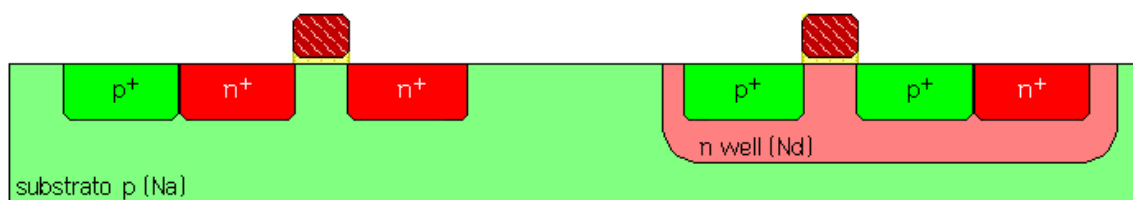


Figura 25 - Remoção Total do Óxido de Silício da Superfície da Lâmina.

21° Passo:

A lâmina é totalmente reoxidada e uma camada de fotorresiste é novamente depositada na superfície, como mostra a Figura 26.

- 14 -

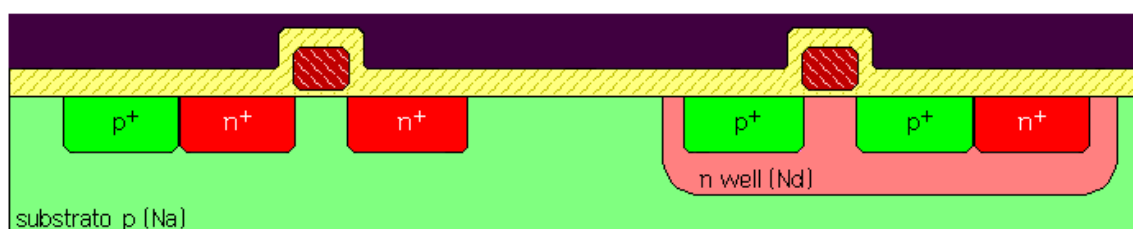


Figura 26 - Reoxidação Total da Superfície da Lâmina e Deposição de Fotorresiste.

22° Passo:

Nesta etapa, após a deposição de fotorresiste, a lâmina é exposta aos raios UV através da quinta máscara, que é a máscara de formação de contatos ou vias. A Figura 27 mostra o ocorrido.

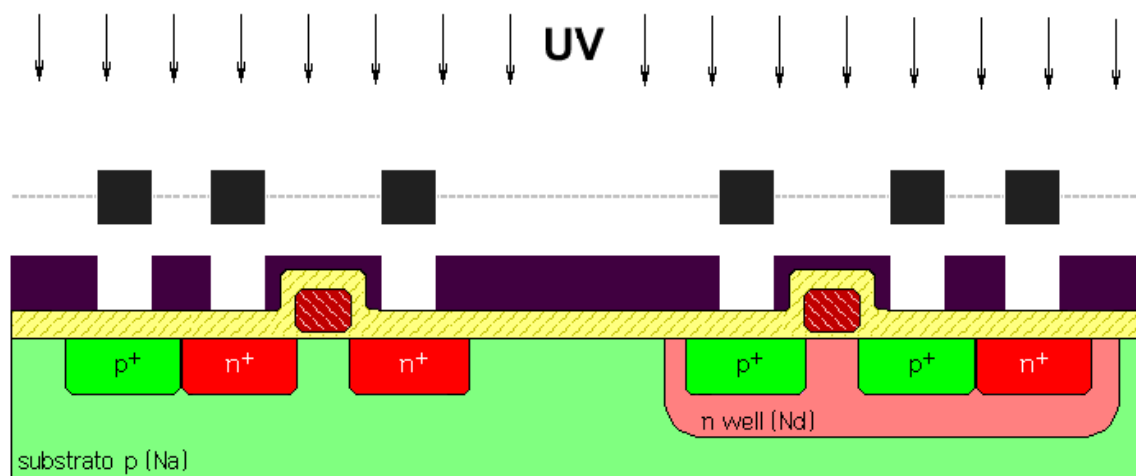


Figura 27 - Exposição do Fotorresiste à Máscara de Formação dos Contatos e Revelação da Área Não Exposta aos Raios UV.

23º Passo:

Nesta etapa é feita, com a aplicação de *HF*, a corrosão do óxido de silício nas regiões expostas. A Figura 28 apresenta o resultado dessas ações.

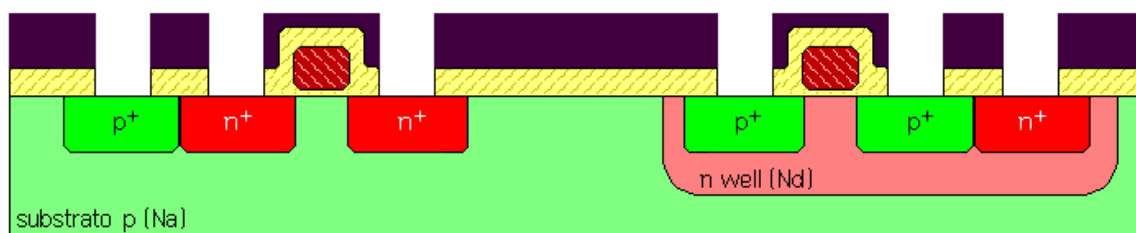


Figura 28 - Remoção do Óxido Não Protegido Pelo Fotorresiste.

24º Passo:

Nesta etapa, após uma nova deposição de fotorresiste, a lâmina é exposta aos raios UV através da sexta máscara, que é a máscara de formação das trilhas de metal 1. A Figura 29 mostra o ocorrido. Quando o circuito for muito complexo, no entanto, fica evidente que as trilhas metálicas de interligações entre os componentes ficam inviáveis de serem implementadas sem que se cruzem no nível de metal 1. Nesse caso, vários níveis de metal podem ser implementados. Normalmente o leiaute de trilhas de interligação, que podem ser de polisilício, de alumínio ou de cobre, é desenhado para vários níveis da superfície do *chip*. Posteriormente, isolantes, que podem ser óxidos (SiO_2 , $SiOC$) ou nitretos (Si_3N_4), são depositados sobre as trilhas de metal separando, entre si, essas trilhas em vários andares de interligação. Em seguida, vias de interligação são corroídas verticalmente nos isolantes e preenchidas, através do processo de *CVD*, com tungstênio. Essas vias verticais são feitas de modo a executar as ligações entre os vários níveis de metal e, assim, completar as ligações elétricas do circuito.

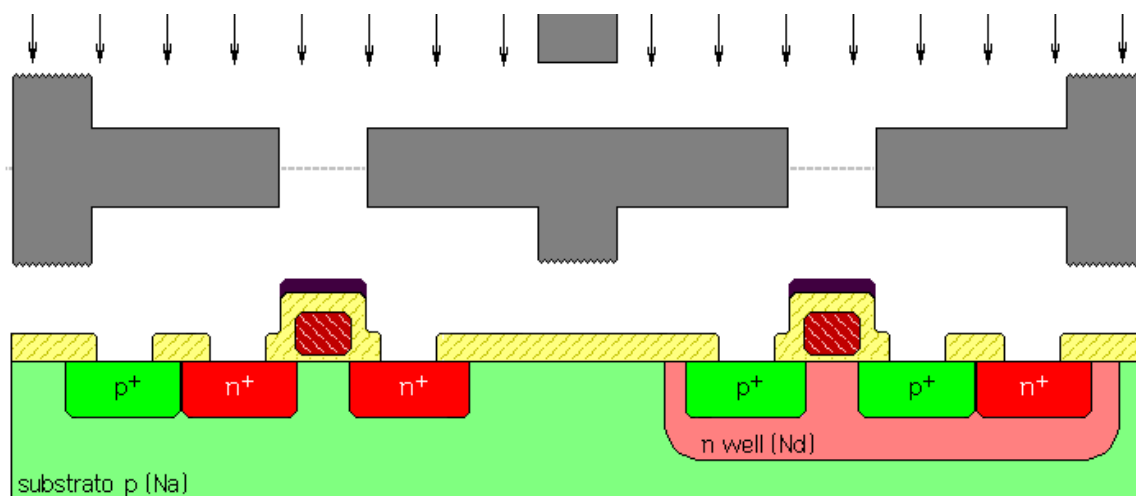


Figura 29 - Exposição do Fotorresiste à Máscara de Formação das Trilhas de Metal 1 e Revelação da Área Não Exposta aos Raios UV.

25º Passo:

Pelo método de deposição física de vapor (*PVD*) que é uma maneira de depositar filmes finos pela condensação de uma forma vaporizada do material sobre várias superfícies, como, por exemplo, a de *wafers* semicondutores, é feita a metalização das trilhas de interligação no *chip*. Nesta etapa, toda a lâmina é borrifada (*sputtering*) com alumínio vaporizado, que se solidifica em contato com a superfície fria. O fotorresiste evita a aluminização das áreas não expostas. Em seguida é feita a retirada do fotorresiste e do excesso de alumínio aderido a ele. A Figura 30 mostra o corte seccional e a Figura 3a mostra o aspecto final da planta superior do *chip*.

- 16 -

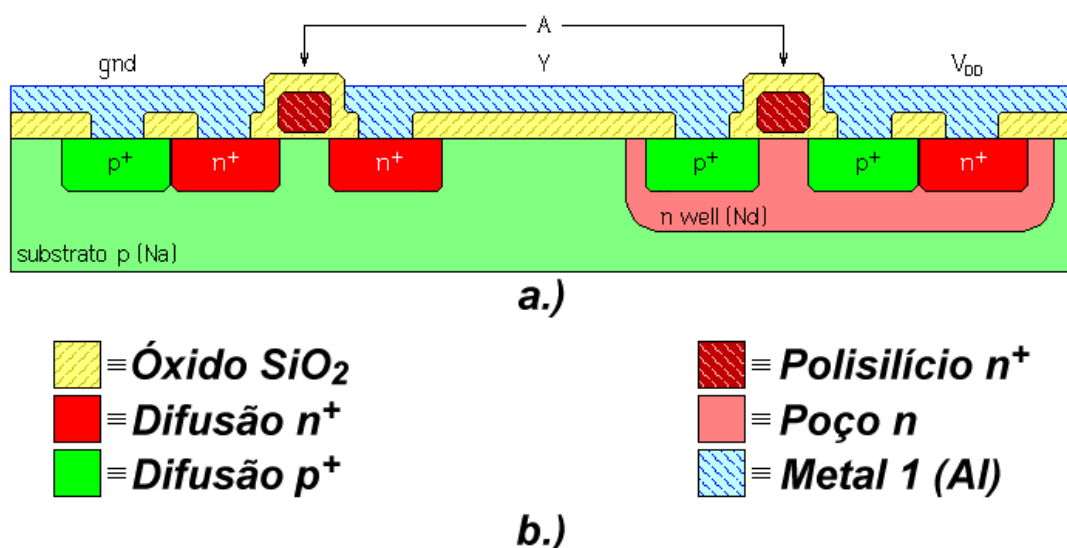


Figura 30 – Corte Seccional Final do Inversor CMOS, Após a Aspersão de Alumínio Vaporizado e Limpeza do Excesso de Metal e de Fotorresiste.

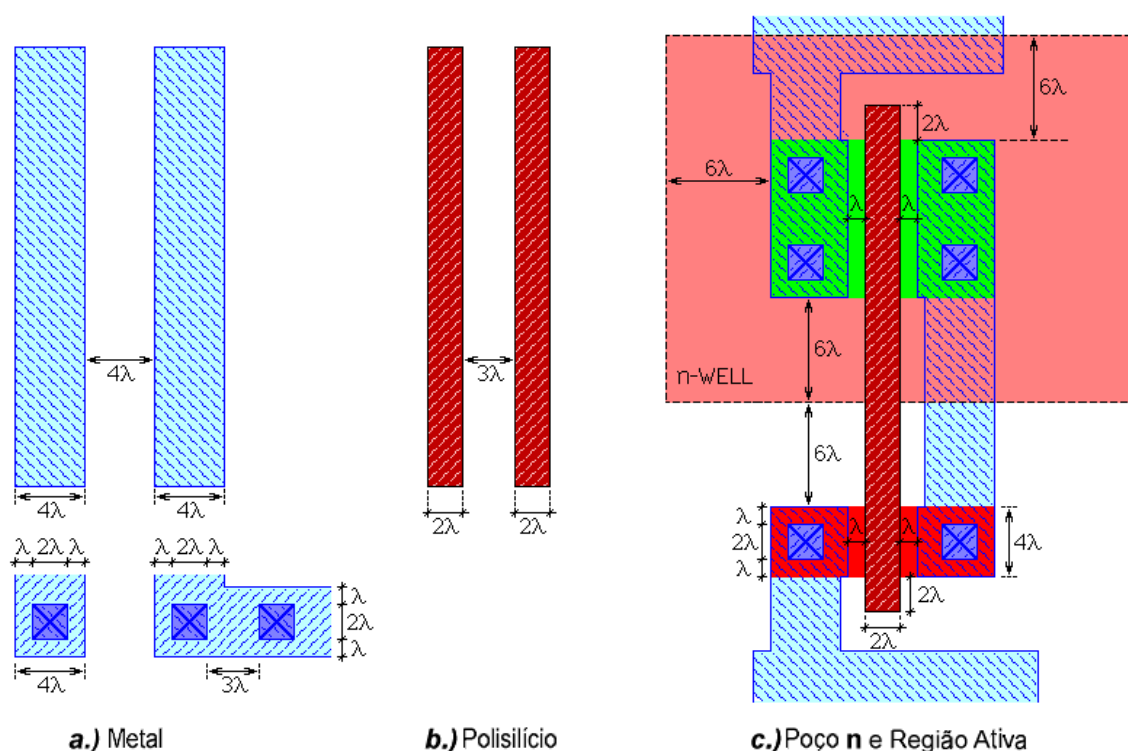


Figura 31 – Principais Regras de Projeto, Apresentando as Dimensões Mínimas Possíveis dos Vários Elementos de Leiaute. a.) Dimensões Mínimas do Metal 1. b.) Dimensões Mínimas do Polissilício. c.) Dimensões Mínimas do Poço n e dos Elementos da Região Ativa.

Como pode ser visto na Figura 30, o poço **n** está ligado à tensão V_{DD} , que é positiva, e o substrato **p** está conectado ao terminal de terra. Assim, a junção **pn**, entre o poço **n** e o substrato, está reversamente polarizada isolando eletricamente o transistor *pMOS* do transistor *nMOS*.

- Regras de Projeto

Quando o leiaute estiver supostamente terminado, é fundamental que as regras de projeto sejam verificadas, através do programa DRC (*Design Rule Checking*), para se ter certeza que nenhuma dessas regras foi violada. Quando o circuito é muito complexo, mais de quinhentas regras devem ser verificadas. No exemplo deste texto, no entanto, apenas algumas regras fundamentais são mostradas na Figura 31. As dimensões são escalonadas em função de um parâmetro denominado *lambda*, que tem seu valor igual à metade da mínima dimensão de máscara estipulada pela tecnologia, isto é, $\lambda = L_{min}/2$. Em uma tecnologia de $2\ \mu m$, por exemplo, $\lambda = 1\ \mu m$ e a mínima dimensão de máscara possível para o leiaute será a largura do polissilício de *gate*, que deverá medir $2\lambda = L_{min}$. Todas as dimensões apresentadas na Figura 31 são mínimas e nada impede, porém, que sejam maiores. Após a verificação da DRC é fundamental que também seja testado, através do programa LVS (*Layout Versus Schematic*), a correspondência entre o leiaute e o esquema elétrico do circuito. O esquemático do circuito é fornecido ao editor de leiaute através do *netlist* de *SPICE* compatível. A Figura 32 exibe as máscaras de um inversor *CMOS* como são apresentadas por um programa editor de leiaute. Esse leiaute foi construído para uma tecnologia *n-well* de $2\ \mu m$ ($\lambda = 1\ \mu m$) com $W_n/L_n = 3$ e com $W_p/L_p = 6$.

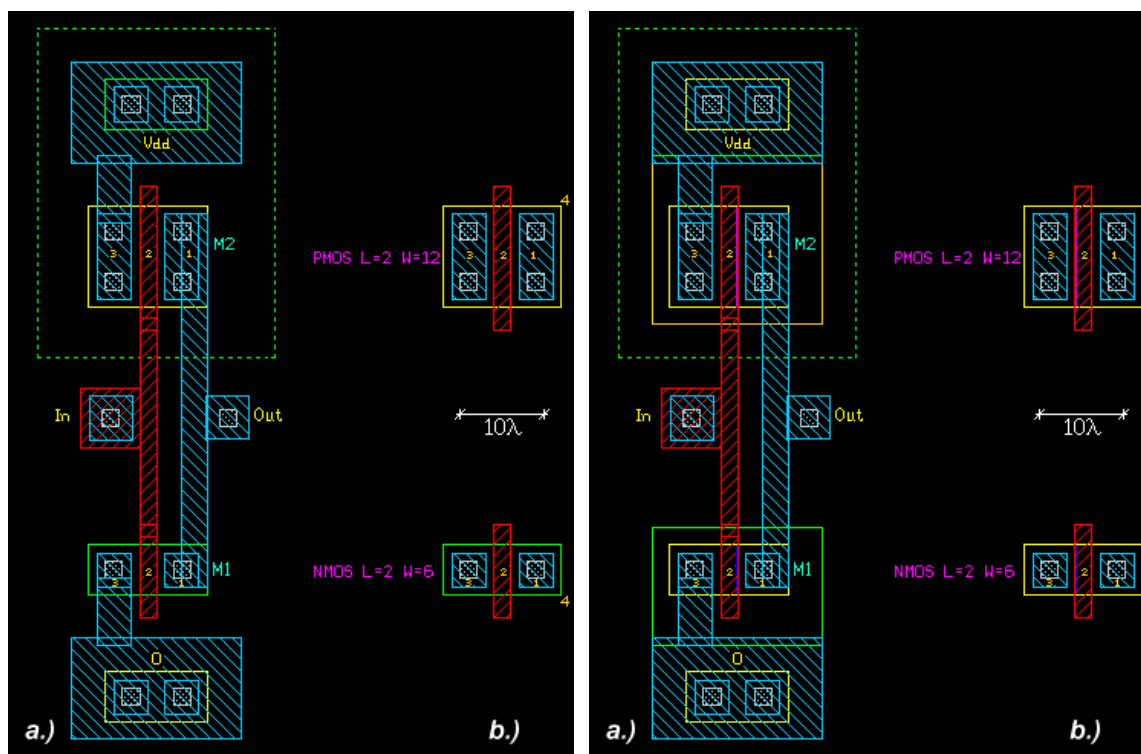


Figura 32 – Leiaute de Inversor CMOS. a.) Inversor. b.) Transistores.

Na Figura 32a é mostrado o leiaute do circuito e na Figura 32b os leiautes dos dois transistores MOS usados. As cores usadas podem variar de editor para editor ou dentro do mesmo editor. Nesse exemplo, o polisilício é vermelho, o metal 1 é azul, as vias são brancas, o poço n é verde tracejado, a região ativa n⁺ é verde e a região ativa p⁺ é amarela. Uma alternativa muito comum para o desenho é mostrada na segunda lâmina da Figura 32. Nesse caso, as áreas ativas são desenhadas com a mesma cor (amarelo) para os dois transistores, não diferenciando, portanto, a polaridade da difusão. São desenhados, então, dois retângulos sobre os transistores para indicar a polaridade da região ativa. Se o retângulo for verde (*n-sel*) a região ativa do transistor deverá ser n⁺ e se o retângulo for amarelo-ocre (*p-sel*) a região ativa do transistor deverá ser p⁺. Esses retângulos não são interpretados como máscaras, mas como seleção de regiões n⁺ e p⁺. A numeração agregada ao desenho sempre indica: 1 = dreno, 2 = porta, 3 = fonte e 4 = substrato.

- Processos de manufatura de semicondutores MOS e CMOS:

Os processos de fabricação de circuitos integrados MOS tiveram início efetivo no início da década de 1960 quando Kahng e Atalla desenvolveram o primeiro MOSFET, tendo o alumínio como metal e o SiO₂ como isolante de porta, com $t_{ox} = 1000 \text{ \AA}$ e $L = 20 \text{ }\mu\text{m}$. O desenvolvimento dessa tecnologia, após esse feito, foi extremamente rápido. A evolução desses processos, em termos de dimensão mínima de máscara, deu-se como a seguir:

- 1971 $\equiv 10 \text{ }\mu\text{m}$	- 1975 $\equiv 3,0 \text{ }\mu\text{m}$	- 1982 $\equiv 1,5 \text{ }\mu\text{m}$	- 1985 $\equiv 1,0 \text{ }\mu\text{m}$
- 1989 $\equiv 800 \text{ nm}$	- 1994 $\equiv 600 \text{ nm}$	- 1995 $\equiv 350 \text{ nm}$	- 1998 $\equiv 250 \text{ nm}$
- 1999 $\equiv 180 \text{ nm}$	- 2000 $\equiv 130 \text{ nm}$	- 2002 $\equiv 90 \text{ nm}$	- 2006 $\equiv 65 \text{ nm}$
- 2008 $\equiv 45 \text{ nm}$	- 2010 $\equiv 32 \text{ nm}$	- 2012 $\equiv 28 \text{ nm}$	- 2014 $\equiv 22 \text{ nm}$

- Vaticínios: para os próximos anos, espera-se que a evolução da tecnologia alcance os seguintes patamares:

- 2016 \equiv 10 nm - 2018 \equiv 7 nm - 2020 \equiv 5 nm

3. Referência

- N.H. E. Weste, D. M. Harris, *CMOS VLSI Design – A Circuits and Systems Perspective*, Addison-Wesley, 4th Ed. 2010.

4. Textos Complementares

- Dan Clein, *CMOS IC LAYOUT, Concepts, Methodologies, and Tools*, Newnes-Elsevier, 2000.
- R. C. Jaeger, *Introduction to Microelectronic Fabrication*, Modular Series on Solid State Devices, Vol. 5, 2nd Edition, Prentice Hall, 2002.
- Simon Harpham, “Getting Started with WinLASI,” Silicon Devices (UK) Limited, 2004.
- Nathan Kupp, “L-Edit, Quick Start Guide,” Princeton University, PRISM REU Program, 2006.
- Bryan Ackland, “LASI Tutorial – CMOS Inverter,” Stevens Institute of Technology, 2012.
- G. Y. Robinson, “Introduction to LASI and a Short Tutorial,” Colorado State University, 2003.
- John Ousterhout, “Magic Tutorial #1: Getting Started,” Computer Science Division, Electrical Engineering and Computer Sciences, University of California Berkeley, 2008.

- 19 -

5. - Exercícios

5.1 – Desenhar o esquema elétrico correspondente ao leiaute da Figura 1. Os componentes ativos são:

$J_1 \equiv J_2 \equiv BF245$

$Q_1 \equiv Q_2 \equiv Q_5 \equiv Q_9 \equiv BC558$

$Q_3 \equiv Q_4 \equiv Q_6 \equiv Q_7 \equiv Q_8 \equiv BC548$

$D_1 \equiv D_2 \equiv 1N4148$

5.2 – Analisando o leiaute da Figura 33:

- Verificar se regras de projeto foram violadas.
- Desenhar o esquema elétrico correspondente ao leiaute.
- Estabelecer a função lógica que esse circuito desempenha.

Considerar $\lambda = 1 \mu m$. Usar a legenda de cores da Figura 3.

5.3 – Esboçar o leiaute de uma porta **NAND** de duas entradas e de uma porta **NOR** de duas entradas não violando as principais regras de projeto. Considerar $\lambda = 1 \mu m$, $L_n = L_p = 2 \mu m$, $W_n = 4 \mu m$ e $W_p = 8 \mu m$. Usar a legenda de cores da Figura 3.

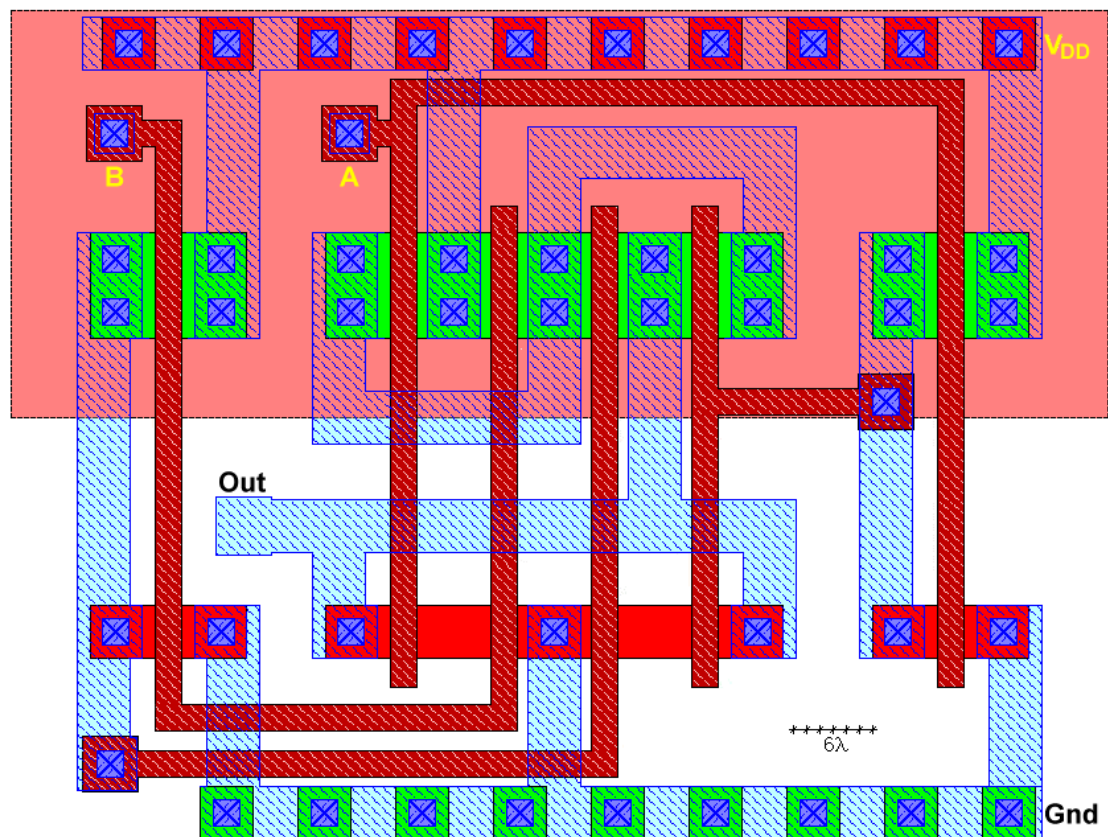


Figura 33 – Leiaute Usado no Exercício 5.2.