

SEL-EESC-USP

MOS – Circuitos Especiais e Amplificadores

P. R. Veronese
2014

SEL – EESC - USP

Circuitos Especiais e Amplificadores MOS

1. Circuitos Especiais MOS e CMOS

1.1 - Introdução

No desenvolvimento de circuitos analógicos em geral, alguns blocos conhecidos como subcircuitos possuem um papel coadjuvante essencial na formação de arquiteturas de alto desempenho e precisam ser estudados individualmente. Assim como alguns desses blocos foram estudados para o *BJT* [1], nesta secção é feito um resumo de aplicações para subcircuitos da tecnologia *MOS*.

1.2 - Espelho de Corrente MOS - Topologia Elementar

1.1.1 – Corrente de espelhamento:

A Figura 1a apresenta o circuito de um espelho de corrente elementar construído com *MOSFET*'s que possuem canal **n** e a Figura 1b apresenta o circuito de um espelho de corrente elementar construído com *MOSFET*'s que possuem canal **p**. Na Figura 1a, o *MOSFET* M_2 está ligado em uma configuração conhecida como diodo *MOS* na qual $V_{GS} = V_{DS}$ e, portanto, sem desprezar o efeito de modulação de comprimento de canal de M_2 , isto é, para $\lambda_2 \neq 0$, tem-se que:

$$V_{GS2} = V_{To2} + \sqrt{\frac{2 \times I_{ref}}{\beta_2 \times (1 + \lambda_2 V_{ref})}} \quad [\text{V}]$$

Como obrigatoriamente $V_{GS1} = V_{GS2}$, a corrente no dreno do *MOSFET* M_1 , por sua vez, será:

$$I_{esp} = \frac{\beta_1}{2} \times \left(V_{To2} + \sqrt{\frac{2 \times I_{ref}}{\beta_2 \times (1 + \lambda_2 V_{ref})}} - V_{To1} \right)^2 \times (1 + \lambda_1 V_{ins})$$

Se os *MOSFET*'s forem casados, isto é, $\beta_1 = \beta_2 = \beta$, $V_{To1} = V_{To2} = V_{To}$ e $\lambda_1 = \lambda_2 = \lambda$, então pode-se escrever que:

$$I_{esp} = \frac{(1 + \lambda_1 V_{ins})}{(1 + \lambda_2 V_{ref})} \times I_{ref} = \frac{(1 + \lambda V_{ins})}{(1 + \lambda V_{ref})} \times I_{ref} \quad [\text{A}] \quad (1)$$

As únicas causas de desbalanceamento entre as correntes I_{esp} e I_{ref} são:

- A falta de casamento entre os parâmetros dos *MOSFET*'s, problema contornável na tecnologia de construção de circuitos integrados.
- A modulação de comprimento de canal de M_1 e de M_2 . A solução para minimizar esse problema está no uso de *MOSFET*'s de canal longo, nos quais $\lambda \rightarrow 0$.

1.1.2 – Resistência interna:

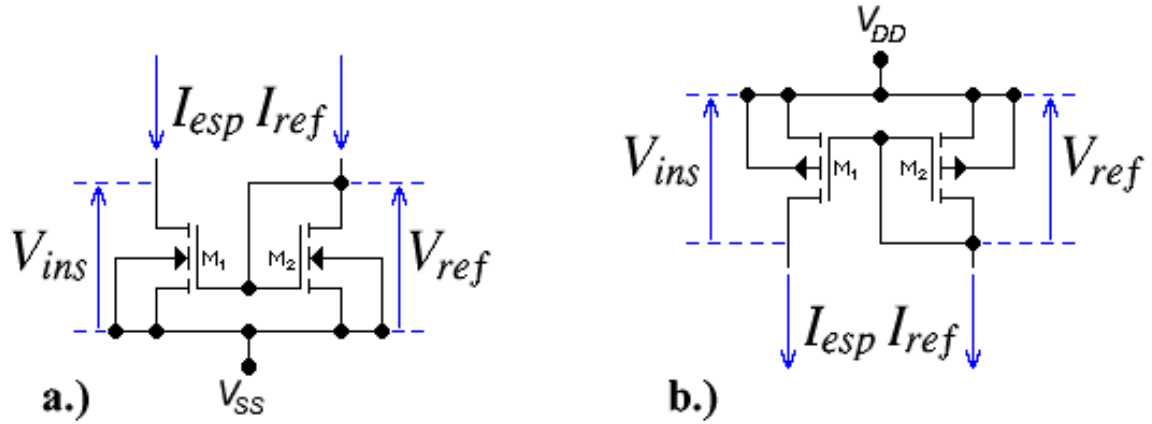


Figura 1 - Espelhos de Corrente MOS. a.) *MOSFET's de Canal n.* b.) *MOSFET's de Canal p.*

Ao contrário de transistores bipolares que possuem correntes de base muitas vezes não desprezíveis, as correntes de porta, virtualmente nulas, não contribuem para o desbalanceamento das correntes.

A resistência interna do espelho, vista no ramo de I_{ref} , não é alta e pode ser calculada pela equação:

$$r_{od} = \frac{r_{ds2}}{1 + g_{m2}r_{ds2}} \cong \frac{1}{g_{m2}} \quad [\Omega] \quad (2a)$$

No ramo de I_{esp} , no entanto, a resistência interna vale:

$$r_{oe} = \frac{(1 + g_{m1} \times r_{od}) \times r_{ds1}}{2} \cong r_{ds1} = \frac{1 + \lambda_1 V_{ins}}{\lambda_1 I_{esp}} \cong \frac{1}{\lambda_1 I_{esp}} \quad [\Omega] \quad (2b)$$

Se M_1 for um *MOSFET* de canal longo, isto é, se $\lambda_1 \rightarrow 0$, então r_{oe} atinge valores bem elevados ($r_{oe} > 1 \text{ M}\Omega$).

A compliância desse tipo de espelho é bem estendida. Para que M_1 permaneça espelhando a corrente I_{ref} com eficiência ele deve permanecer na região de saturação, isto é, $V_{ins} > V_{Dsat}$. Então: $(V_{GS0} - V_{To1}) < V_{ins} < V_{DS(max)}$.

Termicamente esse espelho é muito estável, desde que os transistores sejam casados.

Os cálculos para o espelho canal **p** são idênticos “em módulo” aos efetuados para o canal **n**. Espelhamentos proporcionais e múltiplos, com $I_{esp} \neq I_{ref}$, muito úteis em projetos de circuitos integrados, são possíveis com a arquitetura da Figura 1. Atuando-se na geometria dos *MOSFET's* pode-se obter:

$$I_{esp} = \frac{\left(\frac{W_1}{L_1}\right)}{\left(\frac{W_2}{L_2}\right)} \times I_{ref} \times (1 + \lambda_1 V_{ins}) \quad [\text{A}] \quad (3)$$

Ou, como é mais comum na prática:

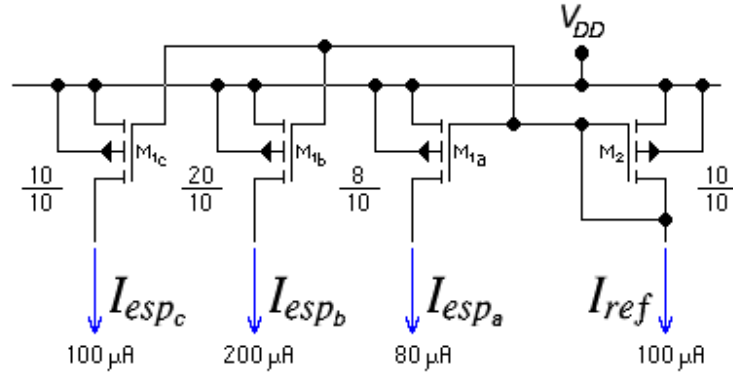


Figura 2 – Espelho Múltiplo e Proporcional.

$$I_{esp} = \frac{W_1}{W_2} \times I_{ref} \times (1 + \lambda_1 V_{ins}) \quad [\text{A}] \quad (4a)$$

Mais rigorosamente, essa relação deve ser escrita como:

$$I_{esp} = \frac{W_1}{W_2} \times I_{ref} \times \frac{1 + \lambda_1 V_{ins}}{1 + \lambda_2 V_{GS1}} \quad (4b)$$

Espelhamentos múltiplos são conseguidos colocando-se vários *MOSFET*'s, M_{1a} , M_{1b} , etc., com as portas e as fontes interligadas em paralelo, espelhando correntes proporcionais a I_{ref} referenciada a partir de um único *MOSFET* M_2 . A Figura 2 ilustra esse procedimento. As frações colocadas ao lado dos *MOSFET*'s indicam suas relações (W/L) em $[\mu\text{m}/\mu\text{m}]$.

1.1.3 - Capacitância:

O espelho de corrente da Figura 1 possui uma resistência interna, vista no ramo de I_{esp} , relativamente elevada e calculada pela Equação 2b, em baixas frequências. Em paralelo com essa resistência, no entanto, existe uma capacitância C_{oe} que faz a impedância interna cair a partir da frequência f_{oe} , na qual o módulo da impedância decresce em 70 % de seu valor máximo. Essa frequência é calculada pela equação:

$$f_{oe} = \frac{1}{2\pi \times r_{oe} \times C_{oe}} \quad [\text{Hz}] \quad (5)$$

Onde:

$$C_{oe} = \frac{C_{gs1} \times C_{gd1}}{(C_{gs1} + C_{gd1})} \quad [\text{F}] \quad (6)$$

1.3 - Espelho Cascode

1.3.1 - Cálculo da Corrente de Espelhamento:

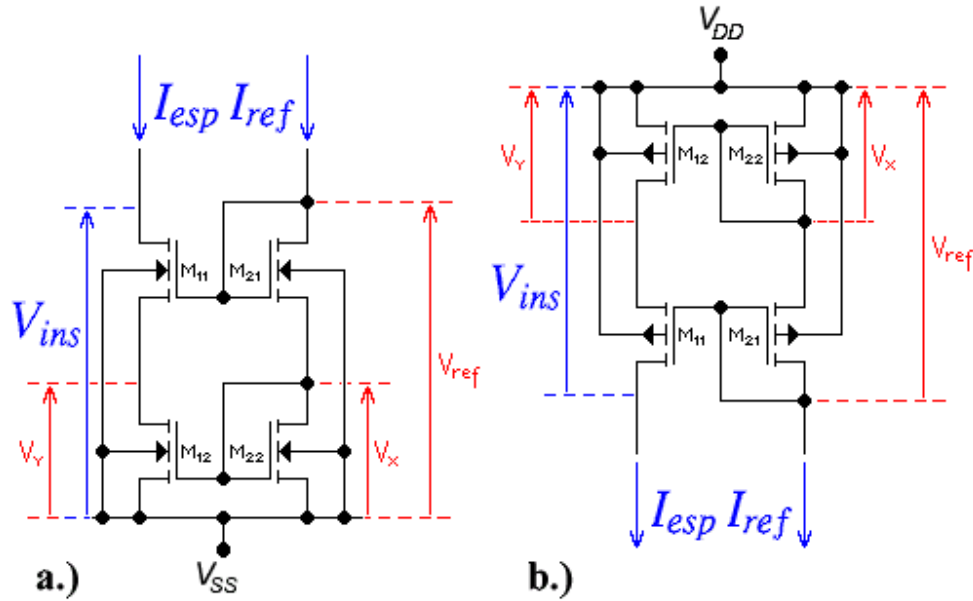


Figura 3 - Espelhos de Corrente *Cascode*. a.) Canal *n*. b.) Canal *p*.

A Equação 4b mostra que o espelho convencional *MOS* é dependente não somente do casamento entre os dois transistores, mas, também, da modulação de comprimento de canal de cada um. Isso significa que as correntes serão perfeitamente espelhadas apenas se ocorrer a relação $V_{GS2} = V_{ins}$, fato quase nunca verdadeiro. Para contornar essa deficiência pode-se construir um espelho na arquitetura *cascode* mostrado na Figura 3.

Os circuitos da Figura 3 mostram arquiteturas de espelhos de corrente *cascode* nas polaridades **n** e **p**, respectivamente. Nota-se que essas estruturas são constituídas de espelhos idênticos aos da Figura 1 e encavallados de maneira que o espelho original (M_{12} e M_{22}) fique isolado do circuito externo através do segundo espelho (M_{11} e M_{21}). Para esses circuitos, pode-se escrever que:

$$V_{ref} = V_X + V_{GS21} = V_Y + V_{GS11} \quad (7)$$

Conforme a Equação 4b, pode-se escrever, ainda, para esses circuitos:

$$I_{esp} = \frac{W_{12}}{W_{22}} \times I_{ref} \times \frac{1 + \lambda_{12} V_Y}{1 + \lambda_{22} V_X}$$

Se os *MOSFET*'s forem casados em pares em seus respectivos comprimentos de canal, isto é, $L_{12} = L_{22}$ e/ou $L_{11} = L_{21}$, pode-se afirmar que: $\lambda_{12} = \lambda_{22} = \lambda$. Então, se $V_Y = V_X = V$, tem-se que:

$$I_{esp} = \frac{W_{12}}{W_{22}} \times I_{ref} \times \frac{1 + \lambda V}{1 + \lambda V} = \frac{W_{12}}{W_{22}} \times I_{ref} \quad [A] \quad (8)$$

Sabe-se, pela Equação 7, que $V_Y = V_X = V$ se $V_{GS11} = V_{GS21}$, o que nem sempre é verdade.

Sabe-se, no entanto, também, por essa mesma equação, que, se I_{esp} tentar crescer por efeito de λ_{I1} , a tensão V_Y será obrigada a crescer proporcionalmente. Como, pela Equação 7, um aumento em V_Y acarretará em uma diminuição de igual valor em V_{GS11} e, portanto, também em I_{esp} , a tendência é o equilíbrio e, consequentemente, a Equação 8 é válida com grande precisão. Pela Equação 8, se $[W_{I2} = W_{22}]$, evidentemente, $[I_{esp} = I_{ref}]$.

1.3.2 - Cálculo da Resistência Interna do Espelho:

A resistência interna equivalente, vista pelo sinal AC no ramo de I_{esp} do circuito da Figura 3, é muito elevada e pode ser calculada de maneira análoga ao desenvolvimento feito para o *JFET* [2]. Então:

$$r_{oe} = r_{ds11} + [1 + (g_{m11} + g_{mb11}) \times r_{ds11}] \times r_{ds12} \quad [\Omega] \quad (9)$$

Onde r_{ds11} e r_{ds12} são as respectivas resistências incrementais de saída dos *MOSFET*'s M_{I1} e M_{I2} e g_{m11} é a transcondutância do *MOSFET* M_{I1} . A grandeza g_{mb11} é a transcondutância de substrato do *MOSFET* M_{I1} usada em cálculos nos Níveis 1 e 2 e aplicada à Equação 9 quando $V_{SB} \neq 0$. O valor de g_{mb} é calculado, com V_{GS} e V_{DS} constantes, pela relação:

$$g_{mb} = \frac{\partial I_D}{\partial V_{SB}}$$

Portanto, para M_{I1} , tem-se que:

$$g_{mb11} = \frac{\gamma_{11} \times g_{m11}}{2 \times \sqrt{2 \times |\phi_{F11}| + |V_{SB11}|}} \quad [A/V] \quad (10)$$

As grandezas γ , ϕ_F , V_{SB} e g_m estão definidas na literatura [3]. Para cálculos manuais em Nível 1, nos quais a variação de g_{mb} em função de V_{SB} não é modelada, considera-se $r_{oe} \cong g_{m11} \times r_{ds11} \times r_{ds12} \approx g_m \times r_{ds}^2$.

1.3.3 - Cálculo da Compliância do Espelho:

A compliância desse espelho é levemente inferior ao do caso anterior. Para que a eficiência de espelhamento seja alta, isto é, para que a resistência vista no ramo de I_{esp} seja elevada, os *MOSFET*'s devem permanecer na região de saturação. Calculando-se as tensões sobre os *MOSFET*'s, tem-se, portanto, que:

$$2 \times |V_{Dsat}| + |V_{To}| \leq V_{ins} \leq V_{DS(max)} \quad (11)$$

Onde $V_{Dsat} = |V_{GS} - V_{To}|$ é a tensão de saturação dos transistores M_{I1} e M_{I2} .

1.3.4 - Capacitância:

O espelho de corrente da Figura 3 possui uma resistência interna, vista no ramo de I_{esp} , muito elevada e calculada pela Equação 9, em baixas frequências. Em paralelo com essa resistência existe, porém, uma capacitância C_{oe} que faz a impedância interna cair a partir da frequência f_{oe} , na qual o módulo da impedância decresce em 70 % de seu valor máximo. Essa frequência é calculada pela Equação 5, onde:

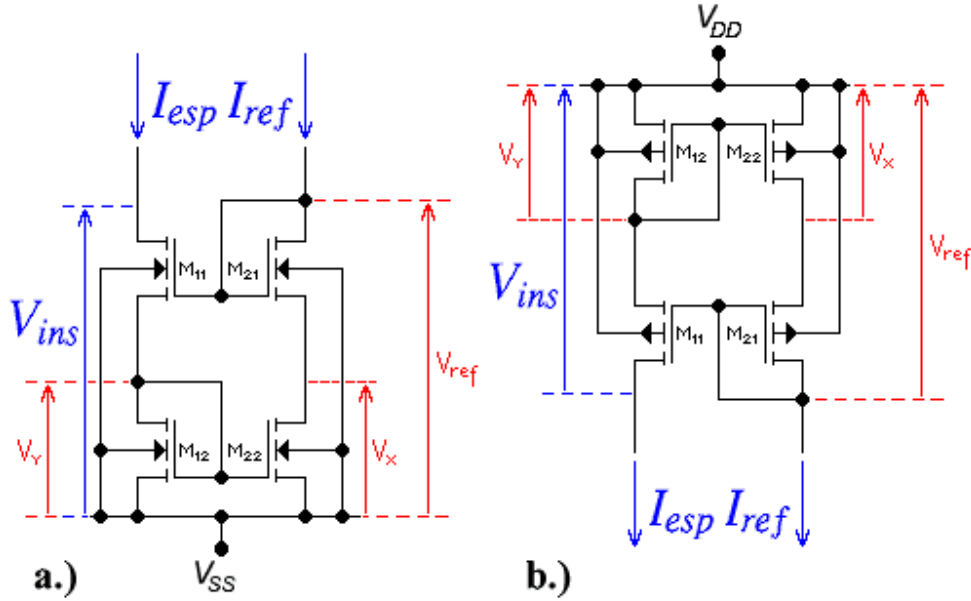


Figura 4 - Espelhos de Corrente de Wilson. a.) Canal n . b.) Canal p .

$$C_{oe} = \frac{C_{gs11} \times C_{gs12} \times C_{gd11} \times C_{gd12}}{C_{gs11} \times C_{gd11} \times (C_{gs12} + C_{gd12}) + C_{gs12} \times C_{gd12} \times (C_{gs11} + C_{gd11})} \quad [F] \quad (12)$$

Essa capacitância é bem inferior à dos espelhos da Figura 1, calculada pela Equação 6.

1.4 - Espelho de Wilson

Uma variante alternativa ao espelho *cascade* é o espelho de Wilson, apresentado na Figura 4. A única diferença na arquitetura dos dois espelhos está na ligação dos transistores M_{12} e M_{22} . No espelho de Wilson, o transistor M_{12} é ligado como diodo MOS, ao invés de M_{22} . Esse procedimento faz com que as tensões sobre os transistores fiquem mais uniformemente distribuídas. A compliância do espelho, no entanto, é igual à do espelho *cascade*. Então, a mínima tensão que pode ser aplicada ao espelho ($V_{ins(min)}$), de modo que ele continue a apresentar alta impedância no ramo de I_{esp} , vale:

$$2 \times |V_{Dsat}| + |V_{To}| \leq V_{ins} \leq |V_{DS(max)}| \quad (13)$$

As demais características desse espelho podem ser consideradas praticamente as mesmas do *cascade*, isto é, a resistência interna, vista no ramo de I_{esp} , também pode ser calculada pela Equação 9, com boa precisão, se a impedância interna da fonte de corrente I_{ref} (r_{ref}) tender a infinito. Se, no entanto, a impedância externa associada ao nó de dreno de M_{21} for baixa, como acontece muitas vezes na prática, o r_{oe} é significativamente menor do que a do espelho *cascade*. A maioria dos livros traz o valor dessa resistência calculada de modo aproximado como: $r_{oe} \cong g_{m11} \times r_{ds11} \times r_{ds22} \approx g_m \times r_{ds}^2$ [8]. Esse cálculo só é válido, no entanto, para $r_{ref} \rightarrow \infty$. Se $r_{ref} \rightarrow 0$, então $r_{oe} = r_{ds11} + r_{ds12} \approx 2 \times r_{ds}$, que é um valor relativamente baixo.

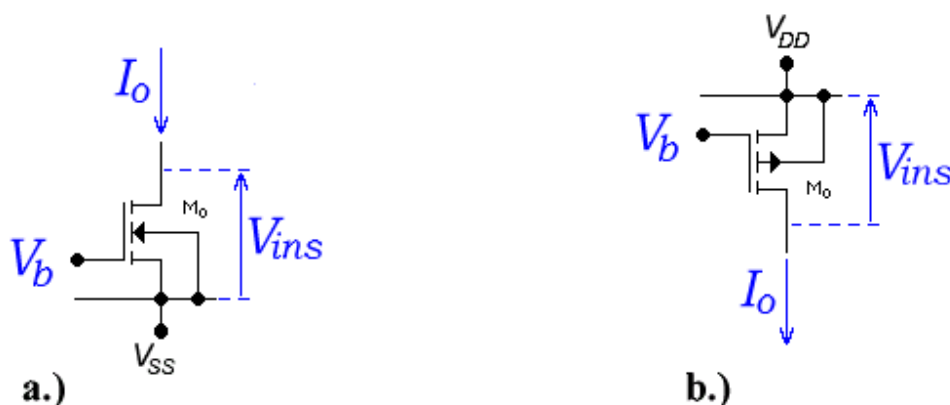


Figura 5 - Fontes de Corrente Constante. a.) Canal *n*. b.) Canal *p*.

Portanto, dependendo do valor de r_{ref} , pode-se dizer que, no espelho de Wilson MOS, tem-se que:

$$2r_{ds} \leq r_{oe} \leq g_m r_{ds}^2$$

1.5 - Fontes de Corrente MOS Elementares

1.5.1 - Introdução:

Fontes de corrente constante podem ser obtidas, teoricamente, com grande simplicidade através do uso de *MOSFET*'s do tipo *depleção*. Nesse caso, as topologias e cálculos são idênticos aos desenvolvidos para *JFET*'s [2]. Em projetos práticos, no entanto, esses tipos de dispositivos são evitados porque exigem, no processo de fabricação, máscaras de integração e implantações iônicas adicionais e precisas para o ajuste das tensões de limiar, procedimentos que dificultam e encarecem o processo. A Figura 5 mostra circuitos, *NMOS* e *PMOS*, de fontes de correntes elementares, construídas com *MOSFET*'s do tipo *enriquecimento*. Embora, também, extremamente simples, essas fontes exigem uma tensão adicional de polarização, V_b , muitas vezes difícil de ser obtida.

1.5.2 - Cálculo da Corrente da Fonte:

O circuito da Figura 5a apresenta uma *FCC*, construída com *MOSFET* canal *n*. A tensão entre porta e fonte desse transistor vale: $V_{GS} = V_b - V_{SS}$. Enquanto o *MOSFET* estiver na região de saturação, isto é, $V_{DS} \geq V_b - V_{SS} - V_{To}$, a corrente da fonte vale:

$$I_o = \frac{\beta}{2} \times (V_b - V_{SS} - V_{To})^2 \times (1 + \lambda V_{ins}) \quad [\text{A}] \quad (14a)$$

Sendo β , V_{To} e λ , os parâmetros de modelagem, em *Nível 1*, de M_o . Nota-se que a corrente da fonte é levemente dependente da tensão aplicada sobre ela (V_{ins}) e, portanto, deve-se usar, para esse tipo de aplicação, um *MOSFET* de canal longo, no qual $\lambda \rightarrow 0$.

Para o *MOSFET* canal *p* da Figura 5b deve-se usar, para o cálculo de I_o , a Equação 14b:

$$|I_o| = \frac{\beta}{2} \times (V_b - V_{DD} - V_{To})^2 \times (1 + \lambda V_{ins}) \quad [\text{A}] \quad (14b)$$

1.5.3 - Cálculo da Resistência Interna da Fonte:

A resistência interna (r_{of}) dessa fonte, vista pelo sinal AC, devido à dependência de λV_{ins} , não é infinita, e é igual à resistência incremental de saída (r_{ds}) do *MOSFET*. Portanto:

$$r_{of} = \frac{1 + \lambda V_{ins}}{\lambda I_o} \cong \frac{1}{\lambda I_o} \quad [\Omega] \quad (15)$$

Reforça-se aqui a necessidade do uso de um *MOSFET* de canal longo no qual $\lambda \rightarrow 0$. A Equação 15 é válida para ambos os circuitos da Figura 5.

1.5.4 - Cálculo da Compliância da Fonte:

Como o transistor M_o deve permanecer na região de saturação, a compliância de cada fonte da Figura 5 vale:

$$|V_{GS} - V_{To}| \leq V_{ins} \leq V_{DS(max)} \quad (16)$$

1.5.5 - Conclusões:

Conclui-se, portanto, que a fonte de corrente da Figura 5 possui, como principais qualidades a simplicidade, a compliância relativamente elevada e a resistência interna alta. Tem como principal deficiência a necessidade de uma tensão de polarização extra, estável e livre de ruídos, muitas vezes difícil de ser obtida. A capacitância parasita (C_{of}), em paralelo com r_{of} , vale:

$$C_{of} = \frac{C_{gs} C_{gd}}{C_{gs} + C_{gd}} \quad [F]$$

Essa capacitância limita o uso da fonte em altas frequências. A faixa de utilização dessa fonte é delimitada pela frequência f_{of} , calculada pela Equação 5. Topologias mais sofisticadas, como, por exemplo, em *cascode* ou de Wilson, análogas aos espelhos das Figuras 3 e 4, podem ser desenvolvidas para fontes de correntes MOS e podem ser consultadas na literatura especializada [4].

1.6 - Tensões de Referência e de Polarização MOS

1.6.1 - Introdução:

Tensões de referência estáveis podem ser facilmente obtidas na tecnologia bipolar usando-se a própria barreira de potencial de junções **pn**, direta ou reversamente polarizadas. Então, tensões como V_{BE} de *BJT*'s, V_γ de diodos em polarização direta ou V_Z de ruptura reversa de junções, podem ser usadas na obtenção de referências estáveis e independentes de parâmetros externos dos circuitos, tais como V_{DD} e temperatura. Em tecnologias puramente MOS, no entanto, a obtenção dessas tensões não é tão óbvia. Normalmente as arquiteturas para esse fim são complexas e sofisticadas e podem ser consultadas na literatura especializada [4] [5]. Para as finalidades deste texto, tensões de polarização, como V_b usada no circuito da Figura 5, serão obtidas a partir das tensões de alimentação, por simples divisores resistivos construídos com *MOSFET*'s.

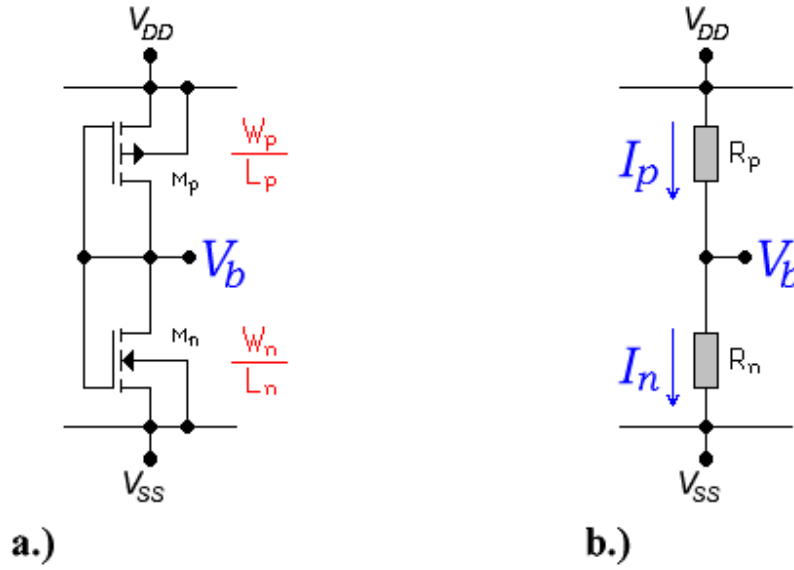


Figura 6 - Divisor Resistivo. a.) Com *MOSFET*'s. b.) Circuito Equivalente.

1.6.2 - Divisores Resistivos *MOS*:

A Figura 6 mostra um divisor resistivo *MOS*. São dois transistores, um de canal **p** e outro de canal **n**, ligados na configuração de diodos e executando o papel de resistores. Então $I_{Dn} = |I_{Dp}|$ e, com isso, desprezando-se os efeitos de λ , pode-se escrever que:

$$|I_p| = \frac{\beta_p}{2} \times (V_b - V_{DD} - |V_{Tp}|)^2 \quad [\text{A}] \quad (17a)$$

e

$$I_n = \frac{\beta_n}{2} \times (V_b - V_{SS} - V_{Tn})^2 \quad [\text{A}] \quad (17b)$$

Igualando-se as Equações 17a e 17b e resolvendo-se para V_b , tem-se que:

$$V_b = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \times (V_{SS} + V_{Tn}) + V_{DD} + V_{Tp}}{\sqrt{\frac{\beta_n}{\beta_p}} + 1} \quad [\text{V}] \quad (18)$$

Ou, incluindo-se λ :

$$\frac{\beta_p}{\beta_n} = \left(\frac{V_b - V_{SS} - V_{Tn}}{V_{DD} + V_{Tp} - V_b} \right)^2 \times \frac{1 + \lambda_n (V_b - V_{SS})}{1 + \lambda_p (V_{DD} - V_b)} \quad (19)$$

A Equação 19 permite que seja calculada uma relação entre as grandezas geométricas dos *MOSFET*'s M_n e M_p em função do valor da tensão V_b desejada, visto que:

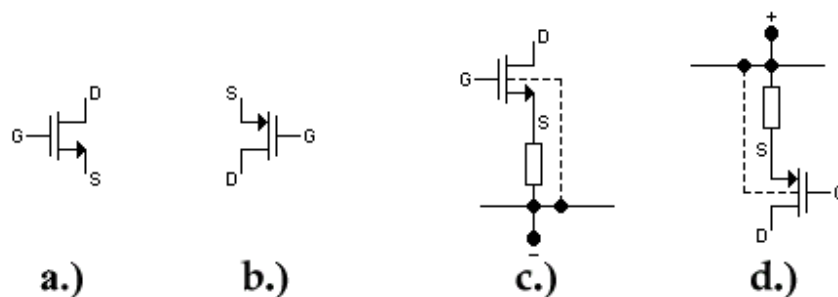


Figura 7 - Simbologia Alternativa MOS. a.) *MOSFET* Canal *n* com *S*≡*B*. b.) *MOSFET* Canal *p* com *S*≡*B*. c.) *MOSFET* Canal *n* com *S*≠*B*. d.) *MOSFET* Canal *p* com *S*≠*B*.

$$\frac{\beta_p}{\beta_n} = \frac{\left(\frac{W_p}{L_p}\right)}{\left(\frac{W_n}{L_n}\right)} \times \frac{K_{pp}}{K_{pn}} = \frac{\left(\frac{W_p}{L_p}\right)}{\left(\frac{W_n}{L_n}\right)} \times \frac{\mu_p}{\mu_n} \quad (20)$$

Deve-se lembrar que, nas equações acima, $\mu_n \approx 3\mu_p$, $V_{SS} \leq 0$, $V_{Tp} < 0$ e que os *MOSFET*'s devem possuir canais longos para que seja satisfeita a aproximação: $\lambda \rightarrow 0$.

Deve-se lembrar também que tensões de referência tomadas por divisores resistivos, como o da Figura 6, só são fixas e estáveis se as tensões de alimentação forem fixas e estáveis, como denota a Equação 18.

1.6.3 - Simbologia Alternativa:

Quando os circuitos tornam-se muitos extensos e complexos, os símbolos oficiais de *MOSFET*'s, usados nas Figuras 1~6, tornam-se incômodos. Uma simbologia alternativa e simplificada, nesse caso, é usada. A Figura 7 mostra símbolos alternativos para *MOSFET*'s de canal **n** e **p**, nos quais as setas indicam os terminais de fonte. Quando o substrato não estiver desenhado, significa que ele está ligado em curto-circuito com a respectiva fonte do transistor, como mostram as Figuras 7a e 7b. Se o substrato não estiver ligado à fonte, normalmente desenha-se esse terminal com linhas tracejadas tal qual nas Figuras 7c e 7d.

1.7 - Amplificadores Especiais MOS

1.7.1 - Amplificador Fonte-Comum com Carga Ativa:

Em projetos de circuitos integrados, componentes passivos, como resistores e capacitores, são evitados ao máximo. Ao contrário do que acontece em eletrônica discreta, esses componentes, em eletrônica integrada, são caros e imprecisos. A maioria dos circuitos integrados *MOS* não possui um elemento passivo sequer em sua arquitetura. As cargas internas de amplificadores, nessas topologias, são ativas, constituídas de fontes ou espelhos de corrente. A Figura 8a ilustra um exemplo de amplificador do tipo fonte-comum, canal **n**, usando essa filosofia.

1.7.1.a - Análise DC:

- *MOSFET* Canal *p*:

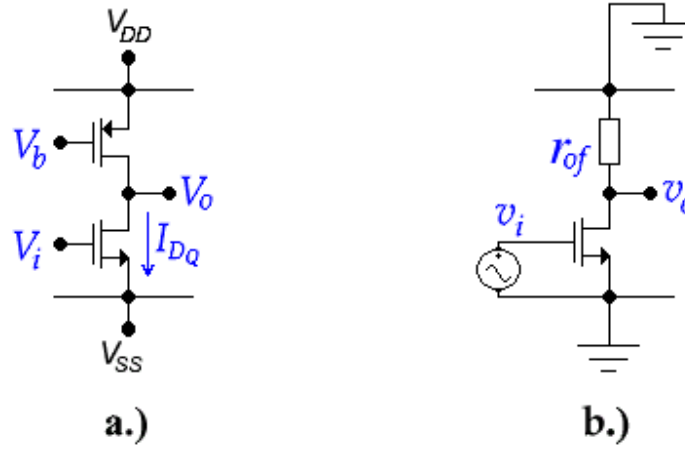


Figura 8 - Amplificador Fonte-Comum com Carga Ativa. a.) Circuito. b.) Circuito Equivalente AC.

No circuito da Figura 8a, V_b é uma tensão de polarização fixa que estabelece a corrente I_{DQ} para os dois transistores. Como os transistores devem ser polarizados aproximadamente no centro da reta de carga, deve-se fazer, para fonte dupla ($V_{SS} = -V_{DD}$) ou para fonte simples ($V_{SS} = 0$). Então:

$$V_{o(DC)} = \frac{V_{DD} - |V_{SS}|}{2} = 0 \quad [\text{V}] \quad \text{ou} \quad V_{o(DC)} = \frac{V_{DD}}{2} \quad [\text{V}]$$

Para o *MOSFET* canal **p**, têm-se as relações, para fonte dupla e para fonte simples:

$$|I_{DQ}| = \frac{\beta_p}{2} \times (V_b - V_{DD} - V_{Tp})^2 \times (1 + \lambda_p V_{DD}) \quad \text{e} \quad |I_{DQ}| = \frac{\beta_p}{2} \times (V_b - V_{DD} - V_{Tp})^2 \times (1 + 0,5\lambda_p V_{DD})$$

A tensão V_b deve, portanto, ser calculada em função dos parâmetros de modelagem do *MOSFET*, das tensões de alimentação e da corrente quiescente de dreno desejada para o circuito e vale:

$$V_b = V_{DD} + V_{Tp} - \sqrt{\frac{2I_{DQ}}{\beta_p \times (1 + \lambda_p V_{DD})}} \quad [\text{V}] \quad (21a)$$

Se o circuito for alimentado com fonte simples, isto é, $V_{SS} = 0$, então $V_{o(DC)} = 0,5V_{DD}$ e a Equação 21a deve ser substituída pela Equação 21b.

$$V_b = V_{DD} + V_{Tp} - \sqrt{\frac{2I_{DQ}}{\beta_p \times (1 + 0,5\lambda_p V_{DD})}} \quad [\text{V}] \quad (21b)$$

- *MOSFET* Canal **n**:

O *MOSFET* canal **n** deve receber uma polarização de porta compatível com os valores de tensões e corrente anteriormente escolhidas para o *MOSFET* canal **p**. Portanto:

$$V_{i(DC)} = V_{SS} + V_{Tn} + \sqrt{\frac{2I_{DQ}}{\beta_n \times \left[1 + \lambda_n \times \left(\frac{V_{DD} + |V_{SS}|}{2} \right) \right]}} \quad [\text{V}] \quad (22)$$

Todas as tensões das Equações 21 e 22 são relacionadas ao terminal de *terra* do circuito. Em geral as tensões de polarização V_b e $V_{i(DC)}$ advêm de estágios anteriores de amplificação ou de divisores *MOS* como o da Figura 6.

1.7.1.b - Análise AC Para Pequenos Sinais:

A análise AC para esse amplificador é feita de maneira idêntica à do amplificador fonte-comum com carga passiva [3]. O circuito equivalente AC está mostrado na Figura 8b, na qual $R_{D(AC)} = r_{of} = r_{ds(p)}$, segundo a Equação 15. Portanto, pode-se calcular:

- Ganho de Tensão:

$$A_v = -g_{m(n)} \times \frac{r_{ds(n)} r_{ds(p)}}{r_{ds(n)} + r_{ds(p)}} \quad [\text{V/V}] \quad (23a)$$

A Equação 23a pode, ainda, ser reescrita de modo aproximado, com um erro de $\pm 10\%$, resultando na Equação 23b.

$$A_v \approx -\frac{g_{m(n)}}{(\lambda_p + \lambda_n) I_{DQ}} \approx \frac{-2}{(V_{i(DC)} - V_{Tn}) \times (\lambda_p + \lambda_n)} \quad [\text{V/V}] \quad (23b)$$

- Resistência de Saída:

$$R_o = \frac{r_{ds(n)} r_{ds(p)}}{r_{ds(n)} + r_{ds(p)}} \approx \frac{1}{(\lambda_p + \lambda_n) I_{DQ}} \quad [\Omega] \quad (24)$$

- Resistência de Entrada:

A resistência de entrada do amplificador da Figura 8 é teoricamente infinita em baixas frequências. Na prática, considerando fugas de correntes e efeitos parasitas, essa resistência fica na faixa: $1,0 \text{ T}\Omega \sim 2,0 \text{ T}\Omega$.

1.7.1.c - Análise AC Para Grandes Sinais:

Em excursões de grandes sinais, enquanto os *MOSFET*'s do amplificador da Figura 8a se mantiverem na região de saturação, a tensão de saída relaciona-se com a tensão de entrada segundo a Equação 25:

$$V_o = \frac{(1 + \lambda_p V_{DD}) \times (V_b - V_{DD} - V_{Tp})^2 - \frac{\beta_n}{\beta_p} \times (V_i - V_{Tn})^2}{\lambda_n \times \frac{\beta_n}{\beta_p} \times (V_i - V_{Tn})^2 + \lambda_p \times (V_b - V_{DD} - V_{Tp})^2} \quad [\text{V}] \quad (25)$$

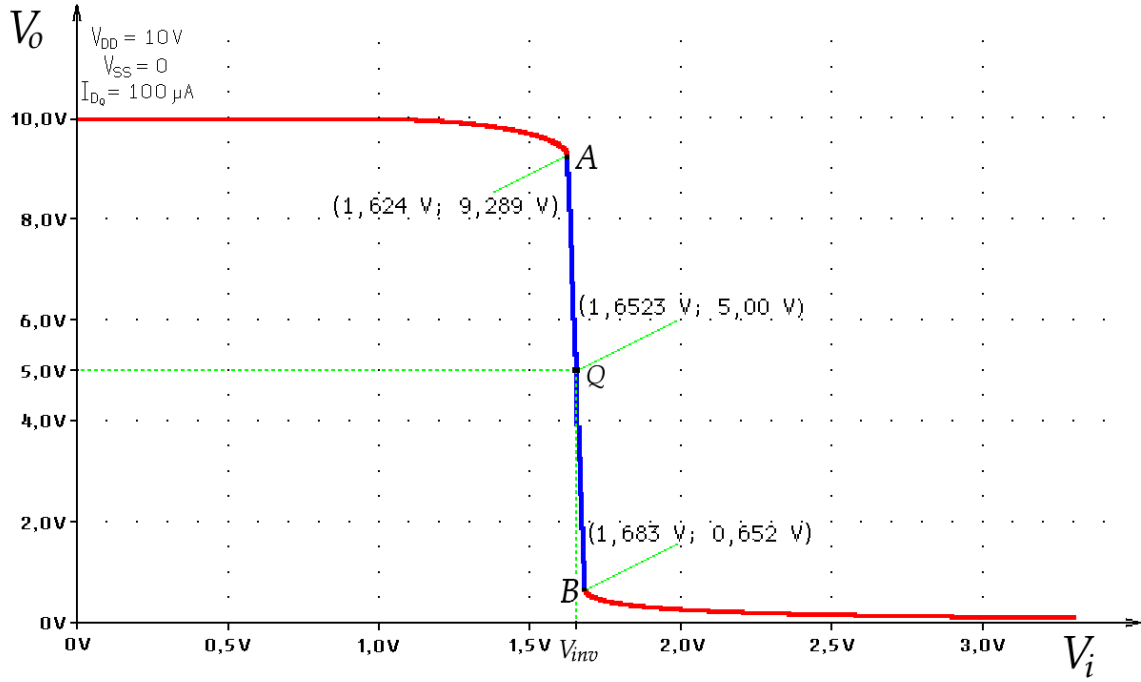


Figura 9 - Curva de $V_o \times V_i$ do Amplificador da Figura 8a.

Chamando-se de tensão de inversão ($V_{i(inv)}$) à tensão que, aplicada à entrada do amplificador, propicia metade da excursão de saída, isto é, $V_{o(inv)} = V_{DD} / 2$, tem-se, pela resolução da Equação 25:

$$V_{i(inv)} = V_{Tn} - (V_b - V_{DD} - V_{Tp}) \times \sqrt{\frac{2 + \lambda_p V_{DD}}{2 + \lambda_n V_{DD}}} \times \frac{\beta_p}{\beta_n} \quad [\text{V}] \quad (26)$$

O ganho de tensão para grandes sinais do amplificador é calculado pela relação diferencial $A_v = dV_o / dV_i$ dentro da região ativa dos *MOSFET*'s. Entende-se por região ativa à faixa de excursão de tensão na qual os *MOSFET*'s permanecem, ambos, na região de saturação ou pântodo. Para o circuito da Figura 8, essa faixa é delimitada pelas tensões $V_{o(max)}$ e $V_{o(min)}$, posteriormente analisada e expressa pela Inequação 29. Derivando-se, portanto, a Equação 25 em relação a V_i , tem-se:

$$A_v = - \frac{2 \times \frac{\beta_n}{\beta_p} \times (\lambda_p + \lambda_n + \lambda_p \lambda_n V_{DD}) \times (V_i - V_{Tn}) \times (V_b - V_{DD} - V_{Tp})^2}{\left[\lambda_n \frac{\beta_n}{\beta_p} \times (V_i - V_{Tn})^2 + \lambda_p (V_b - V_{DD} - V_{Tp})^2 \right]^2} \quad [\text{V/V}] \quad (27)$$

Como informa a Equação 27, o ganho de tensão do amplificador não é constante em função de V_i , indicando que o mesmo não possui uma transferência entrada/saída linear. No centro da excursão, ou seja, para $V_i = V_{i(inv)}$, o ganho de tensão (A_{vo}) vale:

$$A_{vo} = - \frac{(2 + \lambda_n V_{DD}) \times \sqrt{\frac{\beta_n}{\beta_p}} \times (2 + \lambda_p V_{DD}) \times (2 + \lambda_n V_{DD})}{2 \times (V_{DD} - V_b + V_{Tp}) \times (\lambda_n + \lambda_p + \lambda_n \lambda_p V_{DD})} \quad [\text{V/V}] \quad (28)$$

Numericamente, os resultados das Equações 23a e 28 devem coincidir, ou seja, a Equação 28 também calcula o ganho do amplificador da Figura 8a para pequenos sinais e baixas frequências. As Equações 25 ~ 28 foram deduzidas para o amplificador alimentado com fonte simples, isto é, $V_{SS} = 0$. Para fonte dupla haverá, apenas, um deslocamento de tensões afetando as Equações 25 e 26. Os ganhos, no entanto, não serão afetados. A Figura 9 descreve a curva de $V_o \times V_i$ do amplificador da Figura 8a destacando a região ativa entre os pontos A e B. Os MOSFET's usados possuem os seguintes parâmetros de modelagem: $\beta_n = 447,5864 \mu\text{A/V}^2$; $V_{Tn} = 1,0 \text{ V}$; $\lambda_n = 0,01 \text{ V}^{-1}$; $\beta_p = 369,9061 \mu\text{A/V}^2$; $V_{Tp} = -1,2 \text{ V}$ e $\lambda_p = 0,012 \text{ V}^{-1}$. Como tensão de polarização da fonte de corrente foi usada uma tensão $V_b = 8,086 \text{ V}$ para uma corrente $I_{DQ} = 100 \mu\text{A}$.

1.7.1.d - Conclusões:

Conclui-se, portanto, que o amplificador da Figura 8 possui, como principais qualidades, altíssima impedância de entrada e ganho de tensão relativamente elevado. Tem como principal deficiência a alta impedância de saída sendo muito afetado, portanto, por cargas externas, principalmente capacitivas. A fonte de corrente, além de mais adequada para a tecnologia de construção de circuitos integrados, estabiliza o ponto quiescente e propicia ganhos de tensão muito superiores aos conseguidos com cargas passivas. A excursão máxima do sinal de saída é relativamente ampla e vale:

$$(V_{i(DC)} - V_{Tn}) \leq V_{o(max)} \leq (V_b - V_{Tp}) \quad (29)$$

1.7.2 - Amplificador Fonte-Comum com Carga Ativa Diodo PMOS:

Outro circuito amplificador muito usado em circuitos integrados MOS é o amplificador fonte-comum mostrado na Figura 10a. Nesse circuito, o MOSFET canal **p**, que serve de carga para o MOSFET canal **n**, está ligado na configuração de diodo MOS, isto é, com o dreno e a porta colocados em curto-circuito. Um MOSFET nessa situação encontra-se sempre polarizado na região de saturação ou pñtado porque, em módulo: $V_{GS} = V_{DS} \Rightarrow (V_{GS} - V_{To}) = V_{DS} - V_{To} \Rightarrow V_{Dsat} = V_{DS} - V_{To} \Rightarrow V_{DS} = V_{Dsat} + V_{To}$ e, portanto, $V_{DS} > V_{Dsat}$, caracterizando a região de saturação. O MOSFET canal **n**, por sua vez, pode encontrar-se tanto na região linear como na região de saturação, dependendo da tensão V_i aplicada. Enquanto $V_i \leq V_{Tn}$ o MOSFET canal **n** estará cortado e $V_o = V_{o(max)} = V_{DD} - |V_{Tp}|$. Esse fato ocorre porque $V_{GSp} = V_o - V_{DD} \Rightarrow V_{GSp} - V_{Tp} = V_o - V_{DD} - V_{Tp} \Rightarrow V_{Dsat} = V_o - V_{DD} - V_{Tp}$. Mas, como o MOSFET canal **n** estará cortado, $I_{Dp} = 0 \Rightarrow V_{Dsat} = 0$ e, portanto, obrigatoriamente $V_o = V_{DD} - |V_{Tp}|$. Para $V_i > V_{Tn}$ o MOSFET canal **n** inicia a sua condução na região de saturação. Então, desprezando-se inicialmente as modulações de comprimento de canal, pode-se analisar o circuito da seguinte maneira:

1.7.2.a - MOSFET Canal n na Região de Saturação ($V_{Tn} < V_i < V_{ix}$):

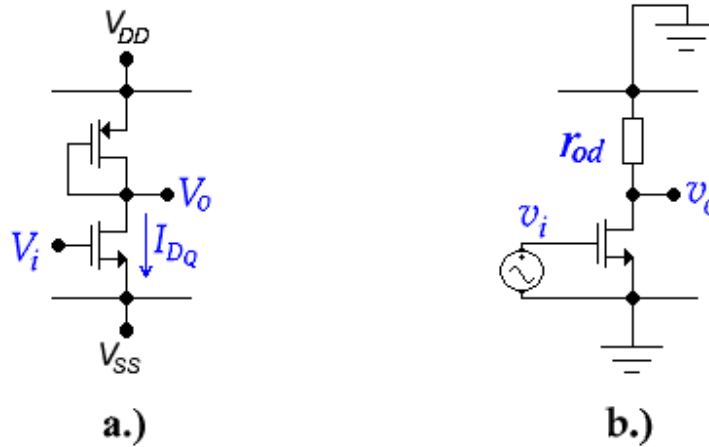


Figura 10 – Amplificador CS Com Carga Ativa (Diodo MOS). a.) Circuito. b.) Equivalente AC.

$$\frac{\beta_p}{2} \times (V_o - V_{DD} - V_{Tp})^2 = \frac{\beta_n}{2} \times (V_i - V_{Tn})^2$$

\Rightarrow

$$V_o = V_{DD} + V_{Tp} - (V_i - V_{Tn}) \times \sqrt{\frac{\beta_n}{\beta_p}} \quad [\text{V}] \quad (30)$$

A Equação 30 descreve a variação da tensão de saída do amplificador da Figura 10 em função da tensão de entrada, em uma análise de grandes sinais, na região ativa. O ganho do amplificador nessa região, dado pela relação diferencial $A_v = dV_o/dV_i$, vale, portanto:

$$A_v = -\sqrt{\frac{\beta_n}{\beta_p}} \cong \sqrt{3 \times \frac{W_n \times L_p}{W_p \times L_n}} \quad [\text{V/V}] \quad (31)$$

A Equação 31 mostra que o amplificador é inversor e, se $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$, perfeitamente linear, dependente, apenas, da relação geométrica entre os dois MOSFET's. Para que sejam conseguidos níveis razoáveis de ganho, nesse tipo de amplificador, devem-se construir estruturas geométricas adequadas ou sejam: O MOSFET canal **n** deve ser largo e curto e o canal **p**, longo e estreito. Por essa razão, a afirmação $\lambda_p \rightarrow 0$ é razoavelmente verdadeira, mas não a relação $\lambda_n \rightarrow 0$. Incluindo-se o efeito de modulação do comprimento de canal do MOSFET canal **n** às Equações 30 e 31, têm-se como resultado:

$$V_o \cong V_{DD} + V_{Tp} + \frac{\lambda_n \times \beta_n \times (V_i - V_{Tn})^2}{2\beta_p} - (V_i - V_{Tn}) \times \sqrt{\frac{\beta_n \times [1 + \lambda_n \times (V_{DD} + V_{Tp})]}{\beta_p}} \quad [\text{V}] \quad (32a)$$

e

$$A_v \cong \frac{\beta_n}{\beta_p} \times \lambda_n \times (V_i - V_{Tn}) - \sqrt{\frac{\beta_n}{\beta_p} \times [1 + \lambda_n \times (V_{DD} + V_{Tp})]} \quad [\text{V/V}] \quad (32b)$$

A Equação 32 mostra que, se $\lambda_n \neq 0$, haverá um certo sacrifício de linearidade na transferência entrada/saída do amplificador da Figura 10a, em regime de grandes sinais.

1.7.2.b - MOSFET Canal n na Região Trípode ($V_{ix} < V_i < V_{DD}$):

$$\frac{\beta_p}{2} \times (V_o - V_{DD} - V_{Tp})^2 = \beta_n \times (V_i - V_{Tn} - 0,5V_o) \times V_o$$

$$\Rightarrow$$

$$V_o = \frac{A - \sqrt{A^2 - \beta_p \times (\beta_p + \beta_n) \times (V_{DD} + V_{Tp})^2}}{(\beta_p + \beta_n)} \quad [\text{V/V}] \quad (33)$$

Onde

$$A = \beta_p \times (V_{DD} + V_{Tp}) + \beta_n \times (V_i - V_{Tn}) \quad [\text{A/V}]$$

Essa região não apresenta nenhum interesse para a amplificação analógica, pois, nela, o ganho é muito baixo e a linearidade péssima.

1.7.2.c - Fronteira Entre a Região Ativa e a Região Trípode ($V_{ix}; V_{ox}$):

Igualando-se as Equações 30 e 33, com $V_i = V_{ix}$, calcula-se:

$$V_{ix} = \frac{V_{DD} + V_{Tp}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} + V_{Tn} \quad [\text{V}] \quad (34)$$

e

$$V_{ox} = \frac{V_{DD} + V_{Tp}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad [\text{V}] \quad (35)$$

1.7.2.d - Análise Para Pequenos Sinais e Baixas Frequências:

Baseando-se no circuito equivalente AC da Figura 10b, calcula-se as grandezas elétricas do amplificador fonte-comum no qual a carga de dreno, segundo a Equação 2a, vale:

$$r_{od} = \frac{r_{ds(p)}}{1 + g_{m(p)} r_{ds(p)}} \quad [\Omega]$$

- Ganho de Tensão:

$$A_v = - \frac{g_{m(n)} r_{ds(n)} r_{ds(p)}}{r_{ds(n)} + r_{ds(p)} + g_{m(p)} r_{ds(n)} r_{ds(p)}} \quad [\text{V/V}] \quad (36)$$

- Resistência de Saída:

$$R_o = \frac{r_{ds(n)} r_{ds(p)}}{r_{ds(n)} + r_{ds(p)} + g_{m(p)} r_{ds(n)} r_{ds(p)}} \quad [\Omega] \quad (37)$$

- Conclusão:

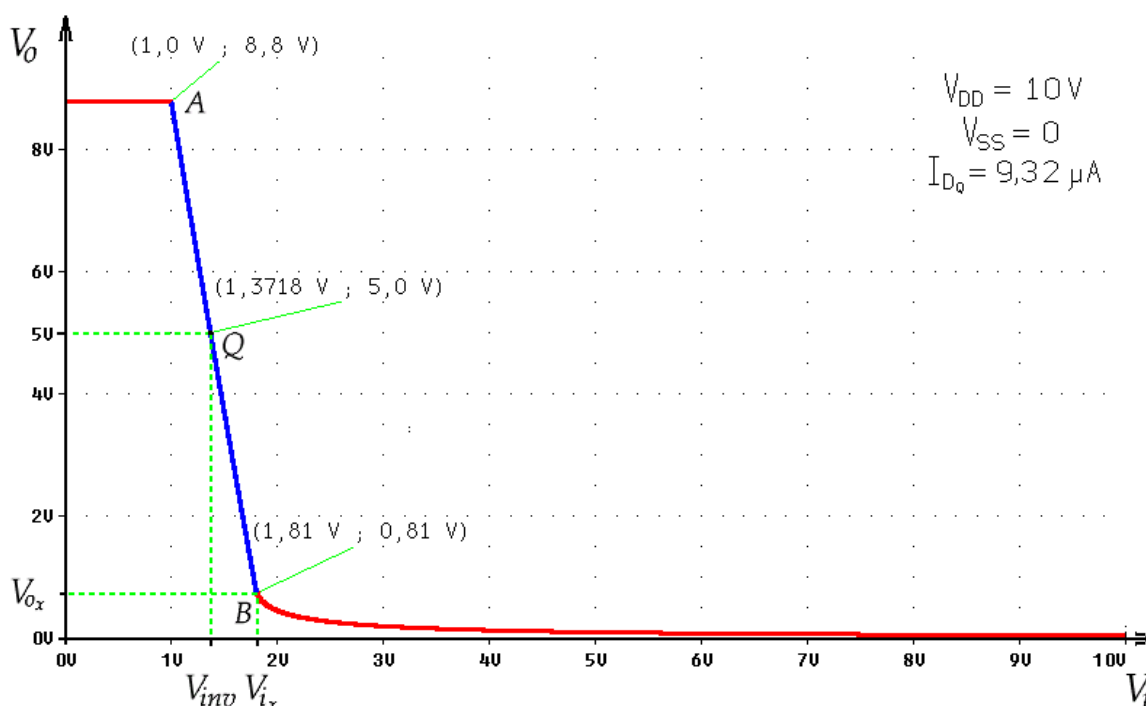


Figura 11 - Curva de $V_o \times V_i$ do Amplificador da Figura 10a.

Conclui-se, portanto, que o amplificador da Figura 10 possui, como principais qualidades, altíssima impedância de entrada e um alto grau de linearidade na transferência entrada/saída. A impedância de saída, no entanto, é relativamente elevada e o ganho de tensão é relativamente baixo. A excursão máxima do sinal de saída é inferior à do amplificador da Figura 8a, valendo:

$$V_{ox} \leq V_{o(\max)} \leq (V_{DD} + V_{Tp})$$

A Figura 11 ilustra a curva de transferência entrada/saída do amplificador da Figura 10, tendo os MOSFET's as seguintes características: $W_n = L_p = 36\text{ }\mu\text{m}$; $W_p = L_n = 6\text{ }\mu\text{m}$; $K_{Pn} = 21,4086\text{ }\mu\text{A/V}^2$; $K_{Pp} = 7,747\text{ }\mu\text{A/V}^2$; $V_{Tn} = 1,0\text{ V}$; $V_{Tp} = -1,2\text{ V}$. Os coeficientes de modulação de comprimento de canal são: $\lambda_n = 0,01\text{ V}^{-1}$ e $\lambda_p \rightarrow 0$. A tensão de polarização de porta foi fixada em $V_{i(DC)} = 1,3718\text{ V}$. Para pequenos sinais e baixas frequências esse amplificador apresenta as seguintes grandezas: $A_v = -10,04\text{ V/V}$; $R_i = \infty$ e $R_o = 200,18\text{ k}\Omega$.

1.7.3 - Inversor CMOS:

Inversores CMOS são arquiteturas que servem de base para praticamente toda a eletrônica digital moderna. Como mostra a Figura 12, são topologias extremamente simples, diminutas, independentes de componentes passivos e, por isso, afeitas a altíssimas escalas de integração. Eletricamente seu funcionamento também é simples e eficiente. Como pode ser visto na Figura 12, o circuito é constituído por dois MOSFET's complementares sobrepostos que conduzem corrente alternadamente, em uma configuração conhecida como *push-pull*. Se a entrada estiver em nível lógico *baixo*, isto é, $V_i = V_{SS}$, o MOSFET M_n estará cortado, pois $V_{GSn} < V_{Tn}$, e o MOSFET M_p estará em plena condução, pois $|V_{GSp}| \gg |V_{Tp}|$. Nesse caso, a saída estará em nível lógico *alto* ou $V_o = V_{DD}$.

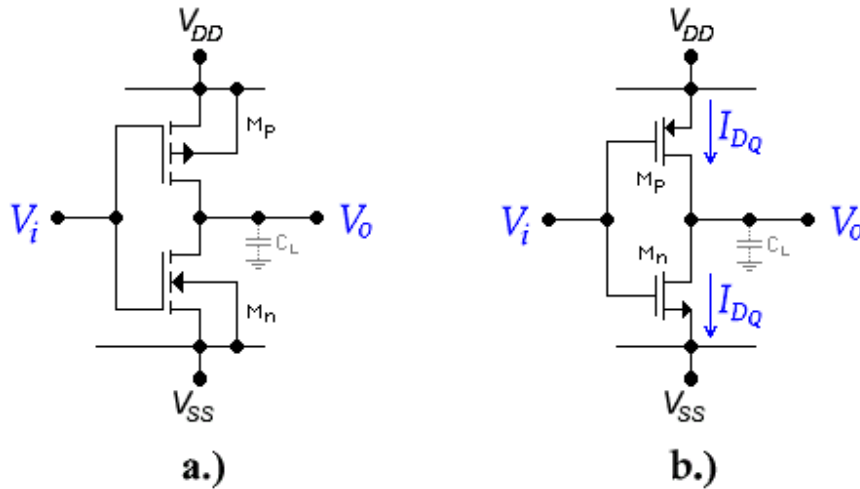


Figura 12 - Inversor CMOS. a.) Com Simbologia Convencional. b.) Com Simbologia Alternativa.

O consumo de energia, no entanto, é nulo, porque $I_{DQ} = 0$. Se a entrada estiver em nível lógico *alto*, isto é, $V_i = V_{DD}^+$, o *MOSFET* M_p estará cortado, pois $|V_{GS_p}| < |V_{Tp}|$, e o *MOSFET* M_n estará em plena condução, pois $V_{GS_n} \gg V_{Tn}$. Nesse caso, a saída estará em nível lógico *baixo* ou $V_o = V_{SS}^-$. O consumo de energia, no entanto, é nulo, porque $I_{DQ} = 0$. Pelo fato de existir, sempre, um *MOSFET* cortado no caminho da corrente I_{DQ} , durante os níveis lógicos estáveis, o consumo estático do inversor CMOS é nulo. Durante o breve instante de transição de níveis, quando os dois *MOSFET*'s conduzem ao mesmo tempo, haverá um pequeno surto de consumo de correntes de dreno, cujo pico máximo dependerá da geometria dos transistores e, principalmente, da capacitância de carga C_L . A capacitância C_L é a somatória de todas as capacitâncias de entrada das portas CMOS que formam o leque de saída (*fan-out*) do inversor. Por isso, o consumo dinâmico do inversor CMOS não é nulo, mas, sim, proporcional ao número de transições por unidade de tempo (*clock*) ao qual está submetido. De qualquer maneira, é a lógica com o menor consumo de energia do mercado.

1.7.3.a - O Inversor CMOS Como Porta Lógica:

A análise para grandes sinais do inversor CMOS é feita com base na curva de transferência entrada/saída mostrada na Figura 13. Conforme a entrada transita na faixa $0 \leq V_i \leq V_{DD}$, os *MOSFET*'s passam por regiões de polarização diversas. Considerando inicialmente, por simplicidade, $V_{SS} = 0$, $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$, pode-se analisar:

- Região Ø ~ A ($0 \leq V_i \leq V_{Tn}$):

Nesse caso, M_n está cortado e na região de saturação e M_p está conduzindo e na região trípodo. Como $I_{DQ} = 0 \Rightarrow V_o = V_{DD}$.

- Região A ~ B ($V_{Tn} \leq V_i \leq V_{inv}$) e ($V_i - V_{Tp} \leq V_o \leq V_{DD}$):

Nessa região, o *MOSFET* M_n inicia sua condução e começa a abaixar a tensão de saída, permanecendo, no entanto, na região de saturação. O *MOSFET* M_p , por sua vez, permanece na região trípodo. Como $|I_{Dp}| = I_{Dn}$, usando-se as equações correspondentes a cada região de polarização dos transistores, tem-se:

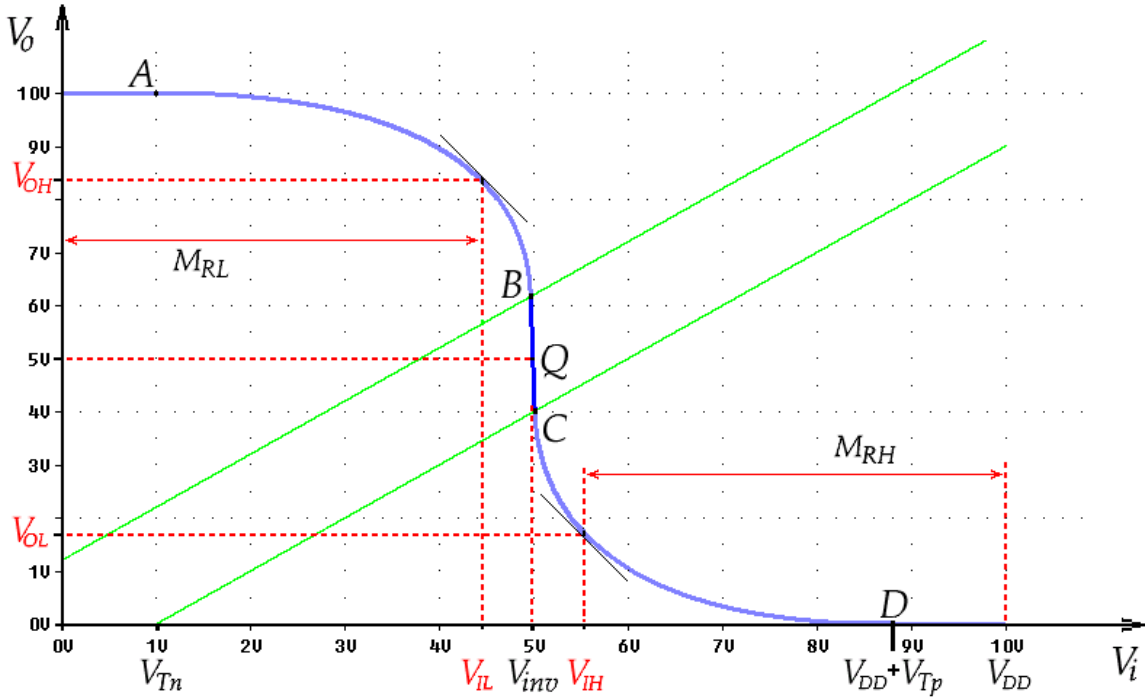


Figura 13 - Curva de $V_o \times V_i$ do Inversor CMOS da Figura 12.

$$\beta_p \times (V_{GS_p} - V_{Tp} - 0,5V_{DS_p}) \times V_{DS_p} = \frac{\beta_n}{2} (V_{GS_n} - V_{Tn})^2$$

Como indica a Figura 12, porém, $V_{GS_n} = V_i$; $V_{DS_n} = V_o$; $V_{GS_p} = V_i - V_{DD}$ e $V_{DS_p} = V_o - V_{DD}$. Portanto:

$$\beta_p \times (V_i - V_{DD} - V_{Tp} - 0,5V_o + 0,5V_{DD}) \times (V_o - V_{DD}) = \frac{\beta_n}{2} (V_i - V_{Tn})^2$$

Isolando-se o valor de V_o na equação acima, resulta:

$$V_o = (V_i - V_{Tp}) + \left[(V_i - V_{Tp})^2 - 2 \left(V_i - \frac{V_{DD}}{2} - V_{Tp} \right) V_{DD} - \frac{\beta_n}{\beta_p} (V_i - V_{Tn})^2 \right]^{1/2} \quad [\text{V}] \quad (38)$$

A Equação 38 descreve a curva de transferência entrada/saída do inversor CMOS, na região situada entre os pontos A e B da Figura 13, com $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$.

- **Região C ~ D** ($V_{inv} \leq V_i \leq V_{DD} + V_{Tp}$) e ($0 \leq V_o \leq V_i - V_{Tn}$):

Nessa região, o MOSFET M_p está cessando sua condução e, pelo abaixamento da tensão de saída e, consequentemente, pela elevação de $|V_{DS_p}|$, permanece na região de saturação. O MOSFET M_n , por sua vez, entra na região triodo. Como $|I_{Dp}| = I_{Dn}$, usando-se as equações correspondentes a cada região de polarização dos transistores, tem-se:

$$\frac{\beta_p}{2} \times (V_i - V_{DD} - V_{Tp})^2 = \beta_n \times (V_i - V_{Tn} - 0,5V_o) \times V_o$$

Isolando-se o valor de V_o na equação acima, resulta:

$$V_o = (V_i - V_{Tn}) - \left[(V_i - V_{Tn})^2 - \frac{\beta_p}{\beta_n} (V_i - V_{DD} - V_{Tp})^2 \right]^{1/2} \quad [\text{V}] \quad (39)$$

A Equação 39 descreve a curva de transferência entrada/saída do inversor *CMOS*, na região situada entre os pontos *C* e *D* da Figura 13, com $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$.

- Região D ~ V_{DD} ($V_{DD} + V_{Tp} \leq V_i \leq V_{DD}$):

Nesse caso, M_p está cortado e na região de saturação e M_n está conduzindo e na região trípode. Como $I_{DQ} = 0 \Rightarrow V_o = 0$.

- Região B ~ C ($V_i = V_{i(inv)}$) e ($V_i - V_{Tn} \leq V_o \leq V_i - V_{Tp}$):

Nessa região os *MOSFET*'s estão conduzindo e, como $V_{DS} > V_{Dsat}$ para os dois, ambos estão na região de saturação. Sendo $|I_{Dp}| = I_{Dn}$, usando-se as equações correspondentes a cada região de polarização dos transistores, tem-se:

$$\frac{\beta_p}{2} \times (V_{i(inv)} - V_{DD} - V_{Tp})^2 = \frac{\beta_n}{2} \times (V_{i(inv)} - V_{Tn})^2$$

Isolando-se o valor de $V_{i(inv)}$ na equação acima, resulta:

$$V_{i(inv)} = \frac{V_{DD} + V_{Tp} + V_{Tn} \times \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad [\text{V}] \quad (40)$$

Em um caso de dimensionamento dos *MOSFET*'s em função de uma determinada tensão de inversão ($V_{i(inv)}$), pode-se, ainda, escrever:

$$\sqrt{\frac{\beta_n}{\beta_p}} = \frac{V_{DD} - V_{i(inv)} + V_{Tp}}{V_{i(inv)} - V_{Tn}} \quad [-] \quad (41)$$

A Equação 40 descreve a curva de transferência entrada/saída do inversor *CMOS*, na região situada entre os pontos *B* e *C* da Figura 13, com $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$. Como a variável V_o não faz parte da equação, tem-se que a curva nessa região é, na realidade, uma reta vertical, ou seja, o ganho de tensão do amplificador é infinito, o que é uma afirmação não realística. Isso indica, porém, que, se os efeitos de modulação de comprimento de canal dos *MOSFET*'s forem muito pequenos, o ganho de tensão do amplificador, nessa região, é muito elevado. Uma equação mais realística de $V_o \times V_i$ para a região *B ~ C*, pode ser escrita como:

$$V_o = \frac{(V_i - V_{DD} - V_{Tp})^2 \times (1 + \lambda_p V_{DD}) - \frac{\beta_n}{\beta_p} \times (V_i - V_{Tn})^2}{\lambda_p \times (V_i - V_{DD} - V_{Tp})^2 + \lambda_n \times \frac{\beta_n}{\beta_p} \times (V_i - V_{Tn})^2} \quad [\text{V}] \quad (42)$$

- Margem de Ruído:

Define-se como margem de ruído à faixa de tensão que uma entrada de porta lógica pode excursionar sem que haja mudança de estado na saída. Como essa excursão, causada por ruídos externos, pode ocorrer com a entrada em nível *baixo* ou *alto*, definem-se duas margens de ruído, a saber: *Margem de Ruído Baixo* (M_{RL}) e *Margem de Ruído Alto* (M_{RH}). Tal como está indicado na Figura 13, pode-se escrever:

$$M_{RL} = V_{IL} \quad e \quad M_{RH} = V_{DD} - V_{IH}$$

As tensões de entrada V_{IL} e V_{IH} , que resultam em tensões de saída V_{OH} e V_{OL} , respectivamente, são definidas como:

- Nível *Baixo* de Entrada ($0 \leq V_i \leq V_{IL}$):

O extremo superior dessa faixa é calculado pelo valor da tensão na qual a tangente à curva, descrita pela Equação 38, forma um ângulo de 135° com o eixo horizontal. Então:

$$\left. \frac{\partial V_{o(Eq38)}}{\partial V_i} \right|_{V_i=V_{IL}} = -1$$

- Nível *Alto* de Entrada ($V_{IH} \leq V_i \leq V_{DD}$):

O extremo inferior dessa faixa é calculado pelo valor da tensão na qual a tangente à curva, descrita pela Equação 39, forma um ângulo de 135° com o eixo horizontal. Então:

$$\left. \frac{\partial V_{o(Eq39)}}{\partial V_i} \right|_{V_i=V_{IH}} = -1$$

Em inversores *CMOS*, nos quais $0,4V_{DD} \leq V_{inv} \leq 0,6V_{DD}$, as margens de ruído resultam:

$$M_{RH} \geq 0,9V_{DD} - V_{i(inv)} \quad [\text{V}] \quad (43a)$$

e

$$M_{RL} \geq V_{i(inv)} - 0,1V_{DD} \quad [\text{V}] \quad (43b)$$

As famílias lógicas *CMOS* são, comparadas às de outras tecnologias, as que possuem as maiores margens de ruído do mercado e, por isso, são famílias muito robustas e altamente confiáveis.

- Consumo de Potência *CMOS*:

Como já foi dito, os inversores *CMOS* só consomem energia na transição de níveis. Quando $V_i = V_{i(inv)}$, as correntes de dreno atingem seus valores máximos que valem, internamente:

$$I_{Dn(max)} = |I_{Dp}|_{(max)} = \frac{\beta_n}{2} \times (V_{i(inv)} - V_{Tn})^2 \quad [A]$$

Em tecnologias submicrométricas os valores de pico dessas correntes são, normalmente, irrisórios. Outra causa de consumo é a carga e descarga, durante as transições de níveis, do capacitor C_L , que costuma causar picos de correntes bem superiores ao caso anterior. Para esse capacitor, calcula-se:

$$I_{C_L} = C_L \times \frac{dV_o}{dt}$$

A energia armazenada no capacitor vale, portanto:

$$E_{C_L} = \int_0^{\tau} V_{C_L} \times I_{C_L} \times dt$$

\Rightarrow

$$E_{C_L} = \int_0^{\tau} V_o \times C_L \times \frac{dV_o}{dt} \times dt = \int_0^{V_{DD}} C_L \times V_o \times dV_o$$

\Rightarrow

$$E_{C_L} = \frac{1}{2} \times C_L \times V_{DD}^2 \quad [W.s]$$

Se houver f_{clock} ciclos de transição por segundo, com duas transições por ciclo, então a potência elétrica consumida pelo inversor vale:

$$P_{C_L} = C_L \times V_{DD}^2 \times f_{clock} \quad [W] \quad (44)$$

Quando f_{clock} é aumentada, na evolução tecnológica de computadores, por exemplo, os *MOSFET's*, obrigatoriamente, precisam ter suas dimensões geométricas diminuídas, para minimizar C_L , e as tensões de alimentação igualmente minimizadas para manter o consumo e a potência dissipada em patamares aceitáveis.

- Tempos de Chaveamento:

Quando saídas *MOS* são ligadas em entradas *MOS*, as cargas vistas por essas saídas são puramente capacitivas. O tempo de atraso e os tempos de subida e de descida nas transições de níveis lógicos dependerão, portanto, da capacidade de corrente dessas saídas e da capacitância de carga, C_L . Como as saídas funcionam, predominantemente, como fontes de corrente, as transições variam linearmente com o tempo. A Figura 14 mostra uma transição típica de saída do inversor *CMOS* com os tempos característicos de transição assinalados. São eles:

- Tempo de Subida da Saída (t_{TLH}):

É o tempo gasto para saída de um inversor *CMOS* excursionar de $0,1V_{DD}$ a $0,9V_{DD}$.

- Tempo de Descida da Saída (t_{THL}):

É o tempo gasto para saída de um inversor *CMOS* excursionar de $0,9V_{DD}$ a $0,1V_{DD}$.

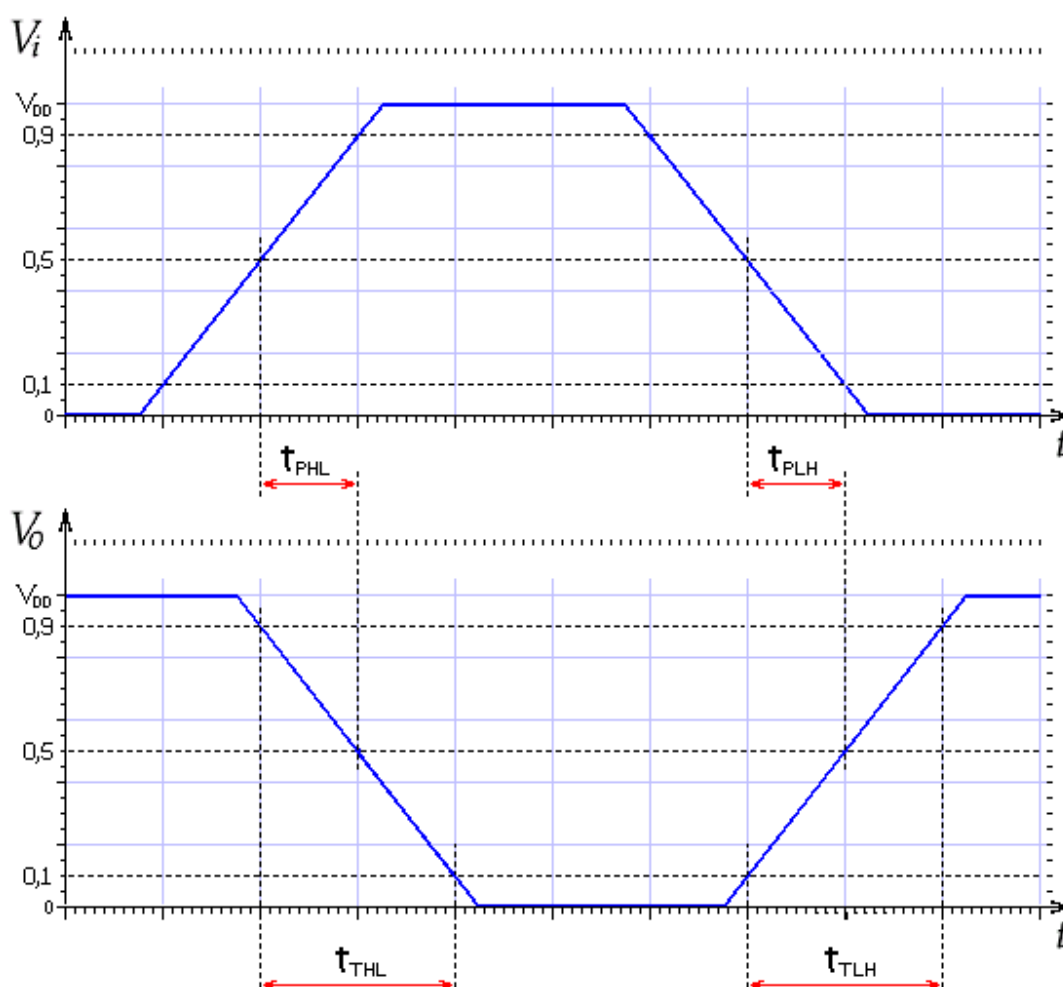


Figura 14 – Tempos de Transição Característicos de Entradas e Saídas de Inversores CMOS.

- Tempo de Atraso de Ligamento (t_{PHL}):

É o tempo decorrente entre a metade da excursão de entrada e a metade da excursão de saída, quando a entrada está subindo.

- Tempo de Atraso de Desligamento (t_{PLH}):

É o tempo decorrente entre a metade da excursão de entrada e a metade da excursão de saída, quando a entrada está descendo. Esses tempos são característicos de cada família lógica CMOS e definem a máxima velocidade de trabalho dessa família. Para a família CMOS 40xx, por exemplo, um inversor carregado com $C_L = 50 \text{ pF}$ apresenta tipicamente os tempos apresentados na Tabela 1, dependendo do fabricante e da tensão de alimentação.

V_{DD} [V]	t_{PHL} [ns]	t_{PLH} [ns]	t_{THL} [ns]	t_{TLH} [ns]
5	40 ~ 60	40 ~ 60	60 ~ 75	60 ~ 90
10	20 ~ 30	20 ~ 30	30 ~ 40	30 ~ 45
15	15 ~ 25	15 ~ 25	20 ~ 30	20 ~ 35

Tabela 1 – Tempos de Chaveamento de Circuitos Lógicos Inversores da Família CD40xx.

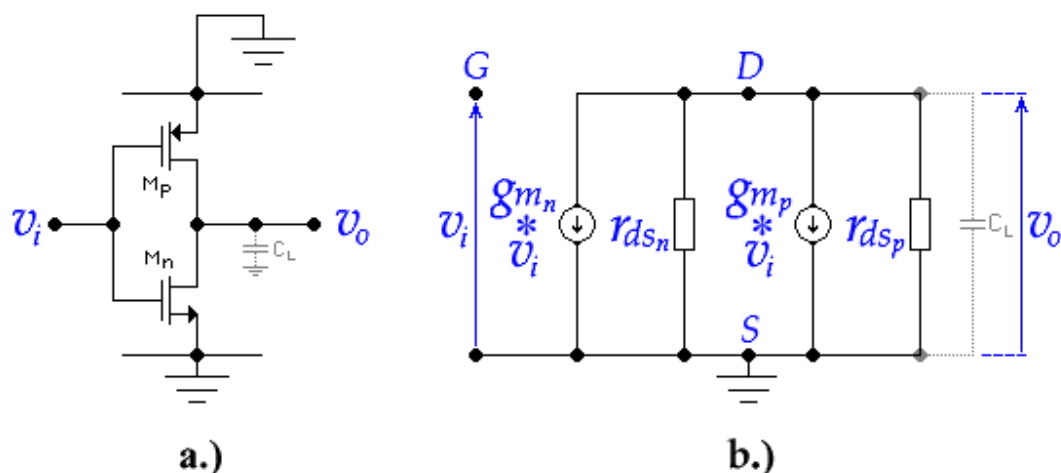


Figura 15 – a.) Circuito Equivalente AC ao Amplificador da Figura 12. b.) Modelo Para Pequenos Sinais e Baixas Frequências.

A máxima frequência de operação desses inversores pode ser calculada, em função desses tempos, aproximadamente pela relação:

$$f_{oper} \leq \frac{1}{t_{PHL} + t_{PLH} + 0,5 \times (t_{THL} + t_{TLH})} \quad [\text{Hz}]$$

1.7.3.b - O Inversor CMOS Como Amplificador Analógico:

Entre os pontos B e C, do gráfico da Figura 13, os dois *MOSFET*'s do inversor CMOS encontram-se na região de saturação e, portanto, podem trabalhar como amplificadores de sinais analógicos, com baixa distorção.

- Análise Para Grandes Sinais:

A Equação 42 descreve matematicamente, em modelagem de *Nível 1*, a variação de V_o em função de V_i do amplificador da Figura 12a, em regime de grandes sinais, válida para a faixa: $V_{i(inv)} - V_{Tn} \leq V_o \leq V_{i(inv)} - V_{Tp}$. A tensão $V_{i(inv)}$ é a grandeza quiescente de entrada que polariza o circuito no centro da reta de carga, isto é, com $V_{oQ} = V_{DD}/2$ e pode ser calculada aproximadamente pela Equação 40. O ganho de tensão do amplificador, dado pela relação $A_v = dV_o / dV_i$, mantém-se dependente de V_i , mostrando a falta de linearidade da transferência entrada/saída do circuito. Se, no entanto, $\lambda_p \rightarrow 0$ e $\lambda_n \rightarrow 0$, o ganho cresce significativamente e o amplificador torna-se virtualmente linear. Por essa razão, ao contrário de inversores construídos para circuitos digitais, os inversores construídos para aplicações em amplificação analógica deverão possuir *MOSFET*'s com canais longos ($L \geq 2 \mu\text{m}$). Se uma capacidade maior de corrente de saída for exigida, os *MOSFET*'s devem, também, ser largos ($W \geq 2 \mu\text{m}$).

- Análise Para Pequenos Sinais:

A Figura 15a apresenta o circuito equivalente AC ao amplificador da Figura 12.

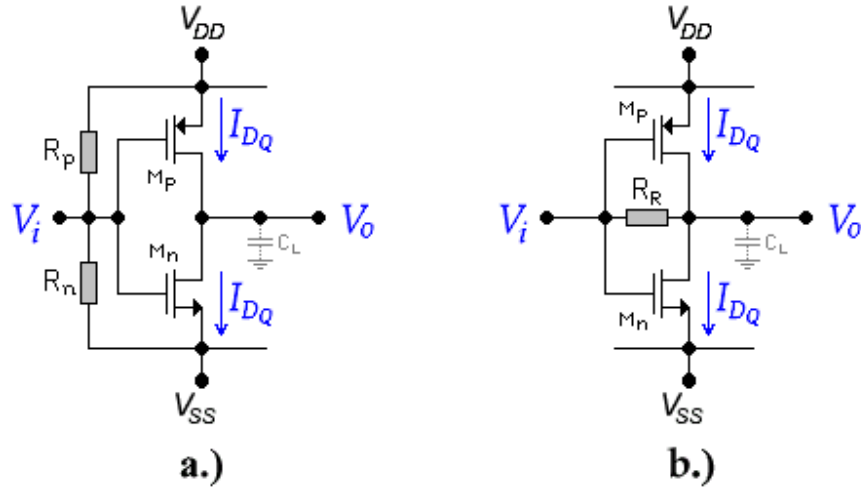


Figura 16 – Polarização de Inversores CMOS. a.) Com Divisor de Porta. b.) Com Autopolarização.

Substituindo-se os *MOSFET*'s por seus respectivos modelos linearizados incrementais para pequenos sinais e baixas frequências, como mostra a Figura 15b, pode-se calcular:

- Ganho de Tensão:

$$A_v = - \frac{(g_{m(p)} + g_{m(n)}) \times r_{ds(p)} \times r_{ds(n)}}{r_{ds(p)} + r_{ds(n)}} \quad [\text{V/V}] \quad (45)$$

- Resistência de Saída:

$$R_o = \frac{r_{ds(p)} \times r_{ds(n)}}{r_{ds(p)} + r_{ds(n)}} \quad [\Omega] \quad (46)$$

- Resistência de Entrada:

$$R_i^* = \infty$$

- Frequência de Corte nas Altas:

Quando estiver carregado por uma capacitância de carga C_L , a resistência de saída formará, com o capacitor, um polo de saída que também será a frequência de corte em altas do amplificador e que vale:

$$f_{CA} = \frac{r_{ds(p)} + r_{ds(n)}}{2\pi \times C_L \times r_{ds(p)} \times r_{ds(n)}} \quad [\text{Hz}] \quad (47)$$

Os parâmetros incrementais de cada *MOSFET* devem ser calculados como na literatura [3].

- Polarização:

- Com Divisor de Porta:

Os inversores, quando usados como amplificadores analógicos, devem ser polarizados no centro da reta de carga, isto é, a tensão contínua do terminal de saída deve ser igual à metade da tensão total de alimentação.

Se o amplificador for alimentado com fonte simples, ou seja, $+V_{DD}$ e $V_{SS} = 0$, a tensão quiescente do terminal de saída deve valer, aproximadamente: $V_{o(inv)} = V_{DD} / 2$. Se a alimentação for proveniente de uma fonte dupla, ou seja, $+V_{DD}$ e $-V_{SS}$, com $V_{DD} = |V_{SS}|$, então a tensão quiescente do terminal de saída deve valer, aproximadamente: $V_{o(inv)} = 0$. Essa polarização pode ser obtida na entrada através de um divisor resistivo que colocará uma tensão de porta igual a $V_{i(inv)}$, necessária para gerar, na saída, a tensão $V_{o(inv)}$ desejada e que pode ser calculada pela Equação 42. A Figura 16a ilustra esse tipo de polarização. As Equações 48a, 48b e 48c formam o sistema para o cálculo do ponto quiescente situado no centro da reta de carga. R_i é a resistência de entrada desejada para o amplificador. O divisor, eventualmente, pode ser do tipo MOS, como o da Figura 6.

$$V_{i(inv)} = \frac{V_{DD}R_n + V_{SS}R_p}{R_p + R_n} \quad [\text{V}] \quad (48a)$$

$$R_i = \frac{R_p R_n}{R_p + R_n} \quad [\Omega] \quad (48b)$$

e

$$\frac{V_{DD} + V_{SS}}{2} = \frac{(V_{i(inv)} - V_{DD} - V_{Tp})^2 \times (1 + \lambda_p V_{DD}) - \frac{\beta_n}{\beta_p} \times (V_{i(inv)} - V_{Tn})^2}{\lambda_p \times (V_{i(inv)} - V_{DD} - V_{Tp})^2 + \lambda_n \times \frac{\beta_n}{\beta_p} \times (V_{i(inv)} - V_{Tn})^2} \quad (48c)$$

- Autopolarização:

Uma forma alternativa de polarização do inversor CMOS, chamada autopolarização, é mostrada na Figura 16b. Nesse caso, a tensão de saída é reaplicada na entrada através de um dispositivo chamado de *realimentação negativa*. Como as portas dos MOSFET's não absorvem corrente estática, pode-se afirmar que: $V_{i(inv)} = V_{o(inv)}$, qualquer que seja R_R . Para o cálculo do ponto quiescente, usando-se a Equação 42, monta-se, portanto, o sistema de equações:

$$AV_{o(inv)}^3 - BV_{o(inv)}^2 + CV_{o(inv)} + D = 0 \quad (49)$$

Onde:

$$A = \lambda_p + k\lambda_n \quad [\text{V}^{-1}]$$

$$B = (3V_{DD} + 2V_{Tp})\lambda_p + 2k\lambda_n V_{Tn} + 1 - k \quad [-]$$

$$C = (V_{DD} + V_{Tp})^2 \lambda_p + k\lambda_n V_{Tn}^2 + 2(V_{DD} + V_{Tp}) \times (1 + \lambda_p V_{DD}) - 2kV_{Tn} \quad [\text{V}]$$

$$D = kV_{Tn}^2 - (V_{DD} + V_{Tp})^2 \times (1 + \lambda_p V_{DD}) \quad [\text{V}^2]$$

e

$$k = \frac{\beta_n}{\beta_p} \quad [-]$$

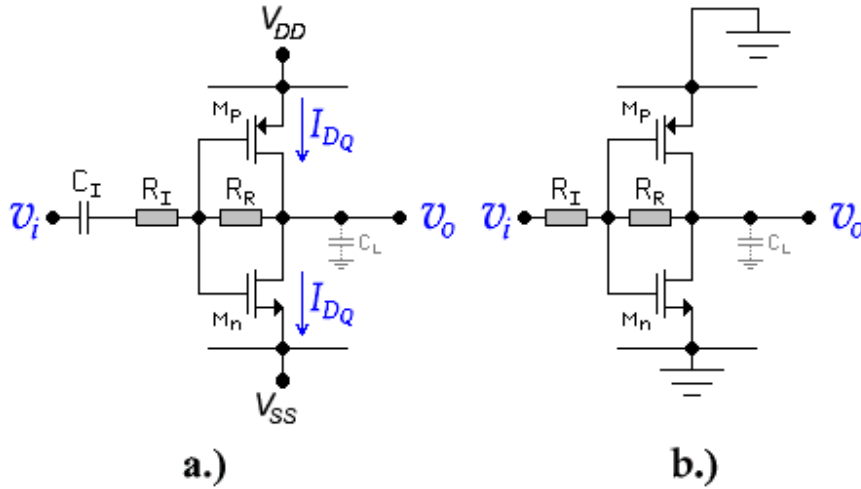


Figura 17 – Inversor *CMOS* Com Autopolarização e Realimentação Negativa. a.) Circuito. b.) Equivalente AC.

Com a Equação 49, pode-se ajustar o valor de k , que é um parâmetro de geometria, em um projeto de inversor *CMOS* integrado, de modo que $V_{o(inv)} = V_{DD}/2$, em caso de alimentação com fonte simples, ou $V_{o(inv)} = 0$, em caso de alimentação com fonte dupla simétrica. O circuito de autopolarização, pelo fato de usar um dispositivo de realimentação negativa, torna o ponto quiescente mais estável em relação à variação de parâmetros do que o circuito de polarização por divisor de porta.

- Amplificadores Realimentados:

Inversores *CMOS*, mesmo aqueles que pertencem a circuitos integrados de famílias lógicas, podem funcionar como amplificadores analógicos de bom desempenho se forem realimentados negativamente, como mostra a Figura 17. Realimentar negativamente significa reinjetar, na entrada, uma parcela do sinal de saída com fase invertida em relação ao sinal aplicado. Supondo-se que o circuito da Figura 17a tenha sido adequadamente polarizado por R_R no centro da reta de carga e que o ganho em malha aberta, isto é, para $R_R \rightarrow \infty$, calculado pela Equação 45, seja A_{vol} , pela análise do circuito equivalente AC da Figura 17b, pode-se calcular:

- Ganho de Tensão em Malha Fechada:

A Figura 18a apresenta o amplificador realimentado da Figura 17a desenhado com a simbologia convencional de inversores. Na Figura 18b é mostrado o circuito equivalente AC do amplificador, após a aplicação do Teorema de Miller. As resistências refletidas para a entrada e para a saída do amplificador dependem, evidentemente, de R_R e do ganho de tensão $A_v = v_o / v_g \neq A_{vol}$. Esse fato acontece porque, como a resistência de saída do amplificador é alta, a resistência R_R , refletida para a saída, carrega o amplificador e muda o seu ganho em malha aberta, de A_{vol} para $A_v \leq A_{vol}$. A relação entre A_{vol} e A_v vale:

$$A_v = \frac{R_o + A_{vol} R_R}{R_o + R_R} \quad [\text{V/V}] \quad (50)$$

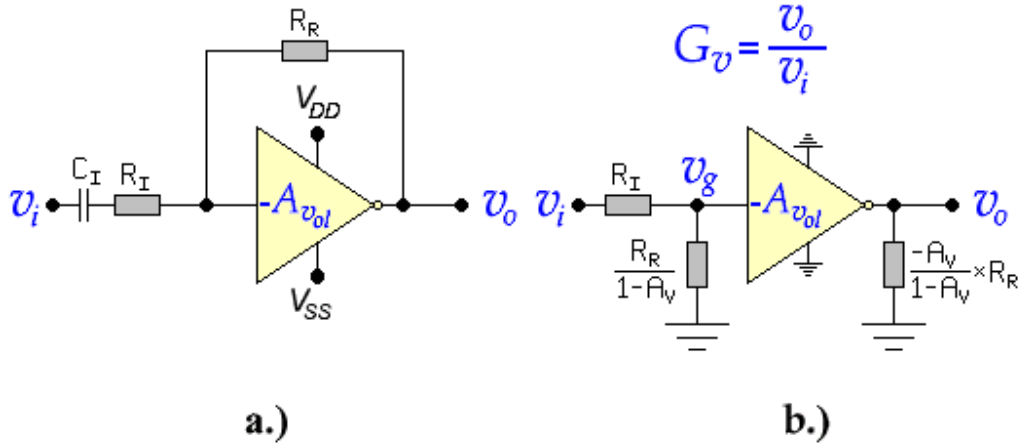


Figura 18 - Inversor CMOS Com Autopolarização e Realimentação Negativa. a.) Circuito. b.) Circuito Equivalente AC, Após a Aplicação do Teorema de Miller.

Na Equação 50, R_o é a resistência de saída do inversor, calculada pela Equação 46, e A_{vol} é o ganho de tensão do inversor em vazio, calculado pela Equação 45. Equacionando-se o circuito da Figura 18b tem-se que:

$$v_g = \frac{R_o + R_R}{R_o + R_R + R_I \times (1 - A_{vol})} \times v_i \quad [\text{V}] \quad (51)$$

O ganho de tensão em malha fechada do amplificador da Figura 17a, em vazio, definido como sendo $G_v = v_o/v_i$, vale, portanto:

$$G_v = \frac{R_o + A_{vol} R_R}{R_o + R_R + R_I \times (1 - A_{vol})} \quad [\text{V/V}] \quad (52a)$$

Se o amplificador estiver carregado por uma carga externa, R_L , o ganho de tensão torna-se:

$$G_v = \frac{(R_o + A_{vol} R_R) \times R_L}{R_o R_L + R_o R_R + R_R R_L + R_I \times [R_o + R_L \times (1 - A_{vol})]} \quad [\text{V/V}] \quad (52b)$$

- Resistência de Entrada em Malha Fechada:

A resistência de entrada do amplificador da Figura 17a é igual à soma das duas resistências, R_I e $R_R/(1-A_v)$, posicionadas em série. Então:

$$R_i = R_I + \frac{R_o + R_R}{1 - A_{vol}} \quad [\Omega] \quad (53)$$

- Resistência de Saída em Malha Fechada:

A resistência de saída do amplificador da Figura 17a, dada pela relação $R_{o(amp)} = v_{o(vazio)}/i_{o(curto)}$, pode ser calculada através do algebrismo envolvendo as Equações 52a e 52b, resultando:

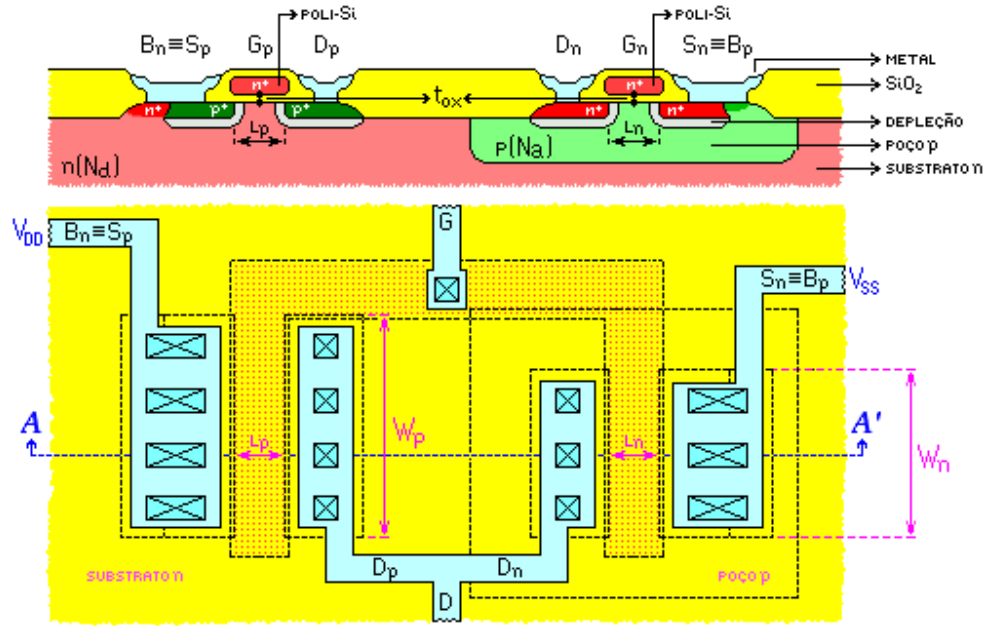


Figura 19 – Dados Construtivos Esquemáticos de um Inversor CMOS Com Poço p (Corte AA' e Planta).

$$R_{o(amp)} = \frac{(R_R + R_I) \times R_o}{R_o + R_R + R_I \times (1 - A_{vol})} \quad [\Omega] \quad (54)$$

Onde R_o é a resistência de saída do inversor em malha aberta, calculada pela Equação 46.

- Idealizações:

As equações, ora deduzidas, servem também para a análise de amplificadores operacionais realimentados na configuração inversora (com a entrada não-inversora aterrada). Nesses tipos de blocos analógicos de uso universal, o ganho de tensão em malha aberta é muito elevado (idealmente, $A_{vol} \rightarrow \infty$), a resistência de entrada idem (idealmente, $R_i \rightarrow \infty$) e a resistência de saída é muito baixa (idealmente, $R_o \rightarrow 0$). Por essas razões, as Equações 52, 53 e 54 tornam-se, respectivamente:

$$G_v \cong -\frac{R_R}{R_I} \quad R_i \cong R_I \quad R_o \rightarrow 0$$

A tensão na entrada intrínseca do amplificador, dada pela Equação 51, praticamente anula-se, isto é, $v_g \rightarrow 0$, e, por isso, esse ponto é chamado de *terra virtual*. Blocos analógicos que fazem uso de amplificadores operacionais universais, portanto, são dependentes, quase que exclusivamente, apenas das malhas de realimentação externas e não do circuito ativo em si. Isso não se aplica aos inversores CMOS de um estágio, pois esses circuitos possuem essas grandezas na faixa: $50 \text{ V/V} \leq A_{vol} \leq 150 \text{ V/V}$ e $R_o \geq 100 \text{ k}\Omega$.

1.7.3.c – Dados Construtivos:

Circuitos integrados CMOS, em tecnologias convencionais, são construídos a partir de um mesmo substrato.

Como *MOSFET*'s de polaridades opostas não podem compartilhar o mesmo substrato, são criados, geralmente por difusão, poços (*well*) dopados com portadores opostos aos do substrato e, nos quais, são construídos os *MOSFET*'s complementares. Se o substrato for do tipo **p**, os *MOSFET*'s de canal **n** são construídos normalmente nesse substrato e são criados poços **n** (*n-well*) para a construção dos *MOSFET*'s de canal **p**. Se, entretanto, o substrato for do tipo **n**, os *MOSFET*'s de canal **p** são construídos normalmente nesse substrato e são criados poços **p** (*p-well*) para a construção dos *MOSFET*'s de canal **n**. Em circuitos integrados digitais *CMOS* com alta escala de integração, pelo fato dos *wafers* comumente serem de silício **p**, a tecnologia de poço **n** é preferida, embora a tecnologia de poço **p** seja tecnicamente mais adequada [10]. A Figura 19 ilustra esquematicamente, em corte e planta, a disposição construtiva de um inversor *CMOS* construído na tecnologia convencional de poço **p**. Essa figura é apenas ilustrativa, visto que as conexões de substrato podem ser feitas de outras formas. Em eletrônica analógica, que usa baixa ou média escala de integração, a escolha do tipo de poço a ser usado está ligada a outros fatores como arquitetura de circuito, disponibilidade de tecnologias, etc..

1.8 - Amplificadores Diferenciais MOS

1.8.1 - Introdução:

Amplificadores diferenciais são blocos de particular importância para a eletrônica analógica moderna. Formam a base de construção de amplificadores operacionais e de comparadores. Esse tipo de amplificador possui duas entradas, teoricamente idênticas, e duas saídas nas quais o sinal amplificado é proporcional à subtração algébrica das duas entradas. Quando colocados como estágio de entrada de amplificadores multistádios, propiciam duas entradas simétricas, idênticas em módulo e opostas em fase, em relação a uma única saída, constituindo, assim, o amplificador conhecido como operacional. Os amplificadores diferenciais podem ser construídos com *BJT*'s, *JFET*'s, *MOSFET*'s ou Válvulas a Vácuo. Nesta Secção serão estudados os diferenciais *MOS*.

1.8.2 - Amplificadores Diferenciais Simétricos MOS

1.8.2.a – Análise Para Grandes Sinais:

A Figura 20 mostra, em duas polaridades, o amplificador diferencial *MOS* com cargas passivas, alimentação com fonte dupla e polarização com fonte de corrente de lastro. Esse amplificador será simétrico se: $\beta_1 = \beta_2 = \beta$; $V_{Th1} = V_{Th2} = V_{To}$; $\lambda_1 = \lambda_2 = \lambda$; $R_{D1} = R_{D2} = R_D$ e $V_{DD} = |V_{SS}|$. Considerando-se, inicialmente, $\lambda \rightarrow 0$ e I_{SS} como sendo uma fonte de corrente ideal, pode-se escrever para o circuito da Figura 20a:

$$I_{D1} + I_{D2} = I_{SS}$$

Pela somatória de tensões nas malhas de portas, escreve-se:

$$V_{i1} - V_{i2} = V_{GS1} - V_{GS2}$$

As correntes de dreno, em *Nível I*, valem:

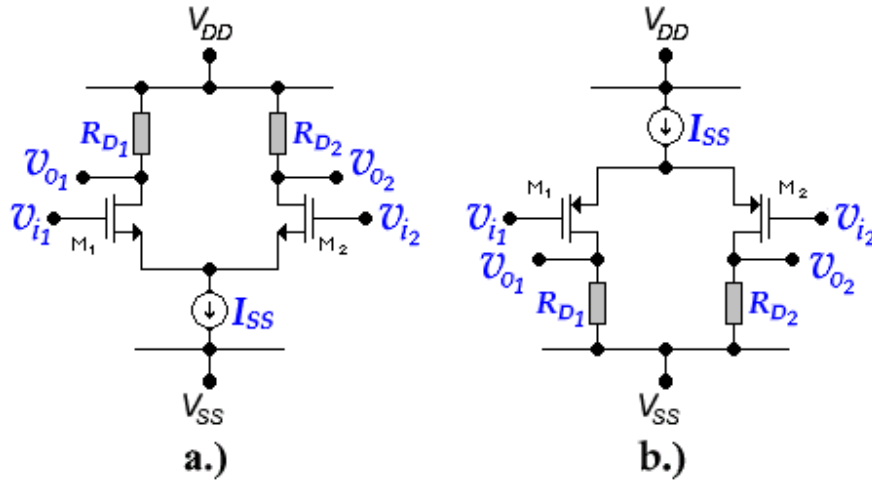


Figura 20 – Amplificadores Diferenciais Elementares MOS. a.) Canal *n*. b.) Canal *p*.

$$I_{D1} = \frac{\beta_1}{2} \times (V_{GS1} - V_{Th1})^2 \quad \text{e} \quad I_{D2} = \frac{\beta_2}{2} \times (V_{GS2} - V_{Th2})^2$$

Agrupando-se as equações acima e considerando o amplificador diferencial simétrico, chega-se a:

$$I_{D1} = \frac{I_{SS}}{2} + \frac{\beta \times (V_{i1} - V_{i2})}{2} \times \sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i1} - V_{i2})^2}{4}} \quad [\text{A}] \quad (55a)$$

e

$$I_{D2} = \frac{I_{SS}}{2} + \frac{\beta \times (V_{i2} - V_{i1})}{2} \times \sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i2} - V_{i1})^2}{4}} \quad [\text{A}] \quad (55b)$$

As Equações 55a e 55b descrevem as variações das correntes de dreno dos MOSFET's em função da entrada diferencial do amplificador, em regime de grandes sinais e em uma modelagem em *Nível 1*. Se $V_{i1} = V_{i2} \Rightarrow I_{D1} = I_{D2} = I_{SS}/2$, configurando-se, assim, o ponto de repouso do amplificador. A Figura 21b mostra essa variação, em torno do ponto de origem ($V_{i1} = V_{i2}$). Essas equações são válidas enquanto os MOSFET's permanecerem na região de saturação, ou seja, para a faixa: $V_X \leq (V_{i1} - V_{i2}) \leq V_Y$. As tensões de saída do amplificador valem:

$$V_{o1} = V_{DD} - R_{D1} I_{D1} \quad \text{e} \quad V_{o2} = V_{DD} - R_{D2} I_{D2}$$

No amplificador diferencial simétrico, têm-se, portanto que:

$$V_{o1} = V_{DD} - R_D \times \left[\frac{I_{SS}}{2} + \frac{\beta \times (V_{i1} - V_{i2})}{2} \times \sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i1} - V_{i2})^2}{4}} \right] \quad [\text{V}] \quad (56a)$$

$$V_{o2} = V_{DD} - R_D \times \left[\frac{I_{SS}}{2} + \frac{\beta \times (V_{i2} - V_{i1})}{2} \times \sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i2} - V_{i1})^2}{4}} \right] \quad [\text{V}] \quad (56b)$$

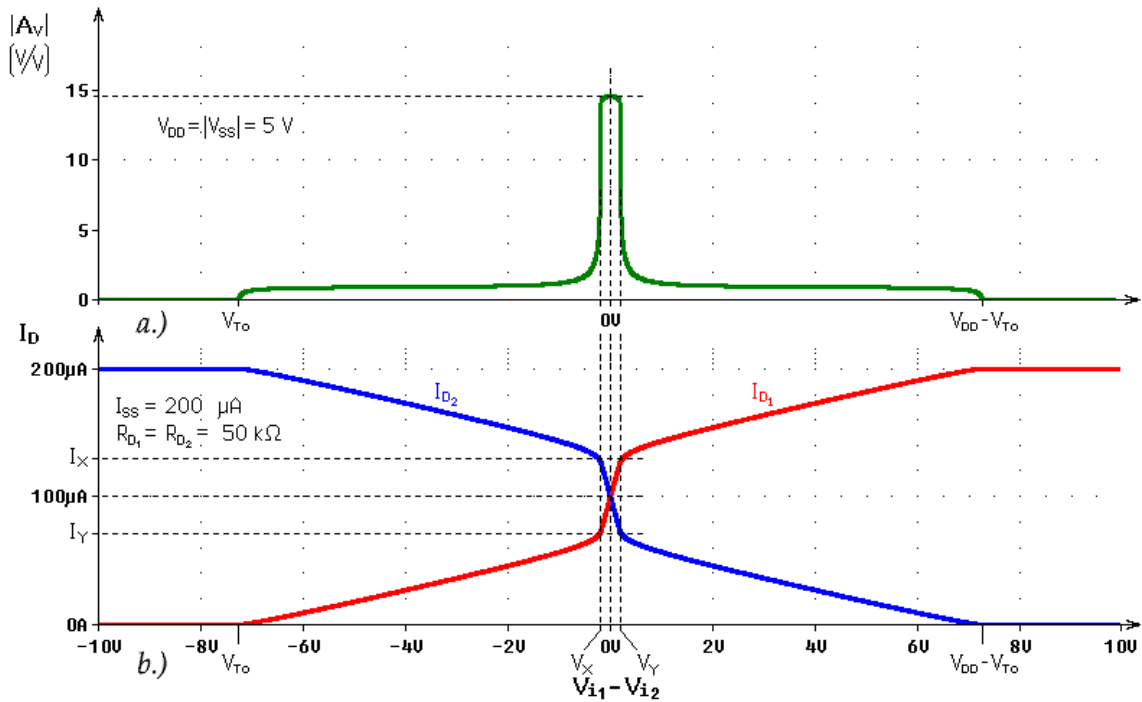


Figura 21 – Comportamento, em Regime de Grandes Sinais, do Amplificador da Figura 20a, em Função de Sua Entrada Diferencial. a.) Ganho de Tensão. b.) Variação das Correntes de Dreno.

As Equações 56a e 56b descrevem as variações das tensões de saída em função da entrada diferencial do amplificador, em regime de grandes sinais e em uma modelagem em *Nível 1*. Tal como no caso das correntes de dreno, essas equações são válidas enquanto os *MOSFET*'s estiverem na região de saturação. Pode-se, então, definir dois ganhos de tensão para o amplificador, cada qual relacionando uma saída com as duas entradas. Assim:

$$A_{v1} = \frac{\partial V_{o1}}{\partial (V_{i1} - V_{i2})} \quad e \quad A_{v2} = \frac{\partial V_{o2}}{\partial (V_{i2} - V_{i1})}$$

Aplicando essas diferenciações às Equações 56a e 56b, têm-se:

$$A_{v1} = -\frac{\beta}{2} \times \frac{\left[\frac{I_{SS}}{\beta} + \frac{3 \times (V_{i1} - V_{i2})^2}{4} \right]}{\left[\sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i1} - V_{i2})^2}{4}} \right]} \times R_D \quad [\text{V/V}] \quad (57a)$$

e

$$A_{v2} = -\frac{\beta}{2} \times \frac{\left[\frac{I_{SS}}{\beta} + \frac{3 \times (V_{i2} - V_{i1})^2}{4} \right]}{\left[\sqrt{\frac{I_{SS}}{\beta} - \frac{(V_{i2} - V_{i1})^2}{4}} \right]} \times R_D \quad [\text{V/V}] \quad (57b)$$

As Equações 57a e 57b descrevem os ganhos de tensão de cada saída em função da entrada diferencial do amplificador, em regime de grandes sinais e em uma modelagem em *Nível 1*. Tal como no caso das correntes de dreno, essas equações são válidas enquanto os *MOSFET*'s estiverem na região de saturação. Como os ganhos dependem das tensões de entrada, $\Delta V_i = V_{i1} - V_{i2}$, eles não são lineares em regime de grandes sinais. Para uma pequena excursão de sinal nas entradas, isto é, para $\Delta V_i \rightarrow 0$, configurando, assim, um regime de pequenos sinais, os ganhos tornam-se virtualmente lineares e valem:

$$A_{vo} = -\frac{1}{2}\sqrt{\beta I_{SS}} \times R_D = -\frac{1}{2}g_m R_D \quad [\text{V/V}] \quad (58)$$

É definida como ganho diferencial do amplificador a relação:

$$A_{vd} = \frac{\partial(V_{o1} - V_{o2})}{\partial(V_{i1} - V_{i2})}$$

O ganho diferencial do amplificador vale, portanto:

$$A_{vd} = -g_{md} R_D = -\sqrt{\beta I_{SS}} \times R_D \quad [\text{V/V}] \quad (59)$$

A grandeza g_{md} é a transcondutância do amplificador diferencial na qual o valor de λ foi negligenciado e vale:

$$g_{md} \approx \sqrt{\beta I_{SS}} \quad [\text{A/V}] \quad (60)$$

Incluindo-se λ no valor da transcondutância, pode-se escrever:

$$g_{md} \cong \frac{2\sqrt{\beta I_{SS}}}{2 + \lambda I_{SS} R_D} \quad [\text{A/V}] \quad (61)$$

Pode-se concluir, então, que o amplificador diferencial *MOS* é inversor e possui um ganho de tensão proporcional à raiz quadrada da corrente de lastro (I_{SS}), ao contrário do amplificador diferencial bipolar cujo ganho de tensão é proporcional à corrente de lastro total (I_o) [1]. O ganho, no diferencial *MOS*, possui, também, uma dependência de geometria, ou seja, é diretamente proporcional à raiz quadrada da razão *WL* dos *MOSFET*'s, e esse fato propicia aos projetistas uma maior flexibilidade de projeto no acerto do valor desse ganho. A Figura 21a mostra a curva do módulo do ganho de tensão, em relação a uma saída, $|A_v| = |v_{o1} / (v_{i1} - v_{i2})|$, do amplificador da Figura 20a. Note-se que esse ganho só pode ser calculado pela Equação 59 e é relativamente elevado se os *MOSFET*'s estiverem na região de saturação e cai drasticamente quando os *MOSFET*'s entram na região tródo ou na região de corte.

1.8.2.b - Análise Para Pequenos Sinais e Baixas Frequências:

O circuito para a análise do amplificador diferencial *MOS*, para pequenos sinais e baixas frequências, está mostrado na Figura 22a. Nele foram englobados os efeitos da falta de idealização da fonte de corrente de lastro (r_{of}) e de carga total, calculada por:

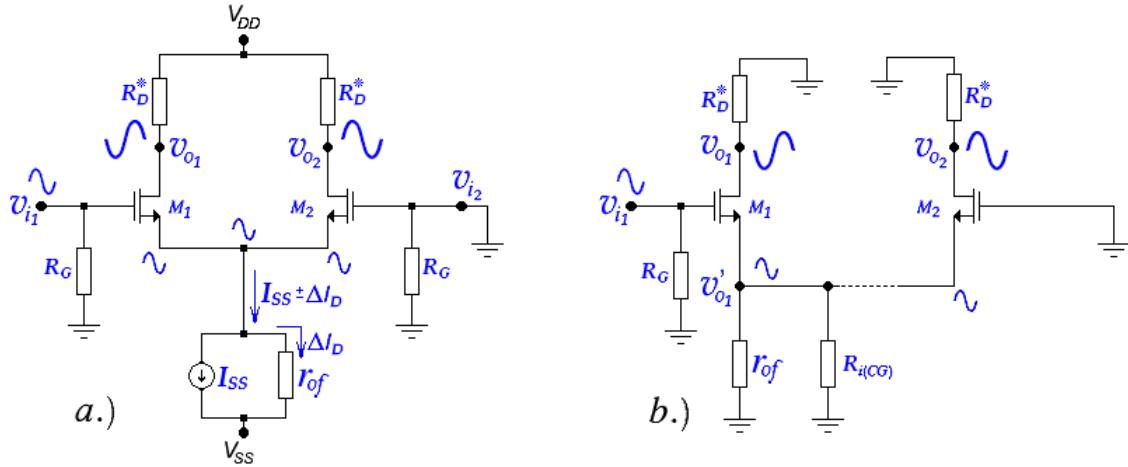


Figura 22 - Amplificador Diferencial MOS. a.) Circuito Completo. b.) Circuito Equivalente AC.

$$R_D^* = \frac{R_D R_L}{R_D + R_L} \quad [\Omega] \quad \text{e} \quad R_L^* = \frac{r_{ds1} R_D^*}{r_{ds1} + R_D^*} \quad [\Omega]$$

Para a análise de pequenos sinais e baixas frequências, com a ajuda do teorema da superposição de fontes, foi usado o circuito equivalente AC mostrado na Figura 22b, no qual a entrada v_{i2} foi considerada nula. O sinal aplicado à entrada v_{i1} é transferido às saídas por dois caminhos: à saída v_{o1} , através de um amplificador tipo fonte-comum com resistência de fonte não desacoplada, e à saída v_{o2} por dois estágios, um do tipo dreno-comum com resistência de dreno não desacoplada ($v_{i1} \sim v_{o1}$) e outro do tipo porta-comum ($v_{o1} \sim v_{o2}$). As equações que calculam esses tipos de amplificadores [3] permitem que se escreva:

- **Resistência de Entrada do Amplificador Porta-Comum (M_2):**

$$R_{i(CG)} = \frac{r_{ds2} + R_D^*}{1 + g_{m2} r_{ds2}} \quad [\Omega]$$

- **Ganho do Amplificador Fonte-Comum (M_1):**

$$A_{v11} = \frac{v_{o1}}{v_{i1}} = \frac{-g_{m1} r_{ds1} R_L^* [r_{ds1} + R_D^* + r_{of} (1 + g_{m1} r_{ds1})]}{r_{ds1} + R_D^* + 2r_{of} (1 + g_{m1} r_{ds1})}$$

Para essa equação foi considerado um valor finito para r_{of} . Se, no entanto, $r_{of} \gg R_{i(CG)}$ e considerando que, no amplificador diferencial simétrico, $g_{m1} = g_{m2} = g_m$ e $r_{ds1} = r_{ds2} = r_{ds}$, pode-se concluir que:

$$A_{v11} \cong -\frac{g_m r_{ds} R_D^*}{2 \times (r_{ds} + R_D^*)} \quad [\text{V/V}] \quad (62)$$

- **Ganho do Amplificador Dreno-Comum (M_1):**

$$A'_{v1} = \frac{v'_{o1}}{v_{i1}} = \frac{g_m r_{ds}}{2 \times (1 + g_m r_{ds})} \quad [\text{V/V}]$$

- Ganho do Amplificador Porta-Comum (M_2):

$$A'_{v2} = \frac{v_{o2}}{v'_{i1}} = \frac{1 + g_m r_{ds}}{r_{ds} + R_D^*} \times R_D^* \quad [\text{V/V}]$$

- Ganho Total da Saída v_{o2} :

$$A_{v21} = \frac{v_{o2}}{v_{i1}} = A'_{v1} \times A'_{v2}$$

\Rightarrow

$$A_{v21} = \frac{g_m r_{ds} R_D^*}{2 \times (r_{ds} + R_D^*)} \quad [\text{V/V}] \quad (63)$$

Conclui-se, portanto, que, em relação a uma das entradas (v_{i1}), o amplificador diferencial simétrico possui duas saídas (v_{o1} e v_{o2}), idênticas em módulo e opostas em fase, cujos ganhos (A_{v11} e A_{v21}) podem ser calculados pelas Equações 62 e 63.

- Ganhos em Relação à outra Entrada (v_{i2}):

Se a mesma análise for feita em relação à v_{i2} , com $v_{i1} = 0$, resulta:

$$A_{v22} = \frac{v_{o2}}{v_{i2}} = -\frac{g_m r_{ds} R_D^*}{2 \times (r_{ds} + R_D^*)} \quad [\text{V/V}] \quad (64)$$

$$A_{v12} = \frac{v_{o1}}{v_{i2}} = \frac{-g_{m2} r_{ds2} R_L^* [r_{ds2} + R_D^* + r_{of} (1 + g_{m2} r_{ds2})]}{r_{ds2} + R_D^* + 2r_{of} (1 + g_{m2} r_{ds2})} \stackrel{e}{\cong} \frac{g_m r_{ds} R_D^*}{2 \times (r_{ds} + R_D^*)} \quad [\text{V/V}] \quad (65)$$

- Ganho Diferencial:

As Equações 62, 63, 64 e 65 mostram que o ganho diferencial do amplificador vale:

$$A_{vd} = \frac{v_{o1} - v_{o2}}{v_{i2} - v_{i1}} = \frac{2 \times g_m r_{ds} R_D^*}{r_{ds} + R_D^*} \quad [\text{V/V}] \quad \text{ou} \quad A_{vd} = \frac{v_{o1}}{v_{i2} - v_{i1}} = \frac{g_m r_{ds} R_D^*}{r_{ds} + R_D^*} \quad [\text{V/V}] \quad (66)$$

Conclui-se, portanto, que sinais aplicados nas entradas em contra-fase (modo-diferencial) causam excursões nas saídas e que sinais aplicados nas entradas em fase (modo-comum) causam, teoricamente, excursão *nula* nas saídas. Diz-se, conseqüentemente, que esse tipo de amplificador possui grande rejeição a sinais aplicados em modo-comum.

- Ganho em Modo-Comum:

Quando sinais iguais, em módulo e fase, forem aplicados simultaneamente às entradas, o amplificador da Figura 22a pode ser desmembrado em dois circuitos independentes, equivalentes em AC, como mostra a Figura 23.

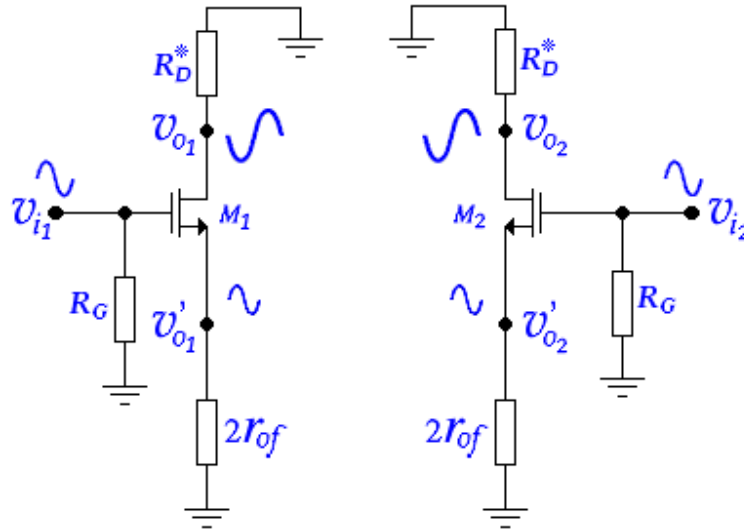


Figura 23 – Amplificador Diferencial da Figura 22a, Desmembrado em Modo-Comum.

Nesse caso, o ganho de tensão relativo a cada entrada, chamado ganho em modo-comum, vale:

$$A_{vc} = \frac{v_{o2} + v_{o1}}{2v_i} = -\frac{g_m r_{ds} R_D^*}{r_{ds} + R_D^* + 2r_{of} \times (1 + g_m r_{ds})} \quad [\text{V/V}] \quad (67)$$

- Rejeição a Modo-Comum:

Define-se como rejeição a modo-comum ($CMRR$) à relação: $CMRR = A_{vd}/A_{vc}$. Então, em [V/V]:

$$CMRR = \frac{r_{ds} + R_D^* + 2r_{of} \times (1 + g_m r_{ds})}{r_{ds} + R_D^*} \cong 2g_m r_{of} \quad [-]$$

Ou, em dB:

$$CMRR_{(dB)} = 20 \times \log\left(\frac{r_{ds} + R_D^* + 2r_{of} \times (1 + g_m r_{ds})}{r_{ds} + R_D^*}\right) \geq 20 \times \log(2g_m r_{of}) \quad [\text{dB}] \quad (68)$$

- Parâmetros Incrementais:

Os parâmetros incrementais para pequenos sinais e baixas frequências são calculados no ponto quiescente do amplificador diferencial. Então:

$$g_m = \beta \times (V_{GS_Q} - V_{To}) \times (1 + \lambda V_{DS_Q}) \quad [\text{A/V}]$$

$$r_{ds} = \frac{2 \times (1 + \lambda V_{DS_Q})}{\lambda I_{SS}} \quad [\Omega]$$

$$V_{DS_Q} = V_{DD} + V_{GS_Q} - \frac{R_D I_{SS}}{2} \quad [\text{V}]$$

e

$$V_{GS_Q} \cong V_{To} + \sqrt{\frac{I_{SS}}{\beta}} \quad [\text{V}]$$

- Resistências de Entrada:

As entradas do amplificador da Figura 22a possuem resistências iguais que valem:

$$R_{i1} = R_{i2} = R_G \quad [\Omega]$$

- Resistências de Saída:

As saídas do amplificador da Figura 22a possuem resistências aproximadamente iguais que valem:

$$R_{o1} \cong R_{o2} \cong R_D \quad [\Omega]$$

1.8.2.c – Conclusões:

Amplificadores diferenciais com cargas passivas, como o da Figura 20a, são blocos analógicos de bom desempenho, mas apresentam algumas deficiências e inconveniências. Estaticamente, para que haja uma perfeita simetria entre os ramos, isto é, $I_{D1} = I_{D2} = I_{SS}/2$, os *MOSFET*'s precisam ser perfeitamente casados, pois os resistores R_{D1} e R_{D2} , por si, não conseguem propiciar uma distribuição igualitária de correntes para os transistores. Em eletrônica integrada, além disso, resistores são componentes caros, pois ocupam muita área de *chip*, e imprecisos sendo, portanto, evitados. Dinamicamente, cargas passivas geram baixos níveis de ganhos de tensão e ruídos térmicos e dissipações de calor indesejáveis. A arquitetura da Figura 20a possui, portanto, objetivos mais didáticos do que práticos. Algumas observações devem ser feitas em relação ao amplificador diferencial *MOS* integrado. No circuito da Figura 20a não foi feita nenhuma menção à ligação das fontes dos transistores M_1 e M_2 e do substrato. Em tecnologias convencionais, o substrato **p** está ligado à menor tensão aplicada ao circuito (V_{SS}) e as fontes de M_1 e M_2 , não. A desvinculação das fontes com o substrato causa um efeito, chamado efeito de corpo, sobre os *MOSFET*'s que, entre outras coisas, altera a tensão de limiar e a transcondutância dos mesmos (*g_m*). Em algumas tecnologias, esse inconveniente é contornado construindo-se os *MOSFET*'s M_1 e M_2 em um poço **p** (*p-well*) isolado do restante do circuito e com as fontes de M_1 e M_2 interligadas a ele. Claramente, isso só pode ser feito se o substrato genérico for do tipo **n**. O cálculo do amplificador da Figura 20b é igual, em módulo, em *DC* e igual em *AC*, ao executado para o circuito da Figura 20a. Para evitar o efeito de corpo, os transistores são construídos em um poço **n** (*n-well*), sobre um substrato **p**.

1.8.3 - Amplificadores Diferenciais Simétricos *MOS* Com Carga Ativa

A Figura 24a apresenta um amplificador diferencial *MOS* com espelho de corrente como carga ativa. Os transistores M_1 e M_2 são de canal **n**, construídos dentro de um poço **p** isolado do substrato **n**, no qual estão os transistores M_{1e} e M_{2e} do espelho de corrente.

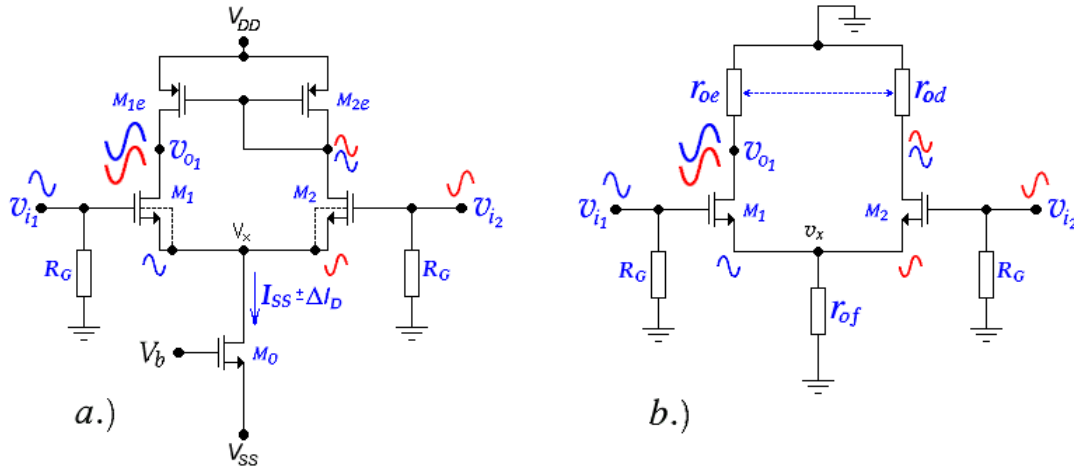


Figura 24 – Amplificador Diferencial MOS Com Carga Ativa. a.) Arquitetura. b.) Circuito Equivalente AC.

A fonte de corrente de lastro, I_{SS} , normalmente é obtida a partir de outro *MOSFET* canal **n**, M_o , construído dentro de um outro poço **p** interligado à V_{SS} .

1.8.3.a – Polarização:

Os transistores M_1 e M_2 são polarizados pela fonte de corrente de lastro. Como o espelho de corrente tende a igualar as correntes nos dois ramos do circuito, o amplificador permanece estaticamente equilibrado em correntes, isto é, $I_{D1} \approx I_{D2} \approx I_{SS}/2$. O espelho pode garantir, também, simetria de tensão, ou seja, $V_{DS1} = V_{DS2}$, se $I_{esp} = I_{ref}$. Como foi visto pela Equação 1, no entanto, o espelhamento não é perfeito e pode acontecer a desigualdade $V_{DS1} \neq V_{DS2}$. Quando esse fato ocorrer, se os transistores M_1 , M_2 , M_{1e} e M_{2e} não possuírem $\lambda \rightarrow 0$, para manter correntes de dreno iguais, haverá, também, um desequilíbrio na relação $V_{GS1} \neq V_{GS2}$, que é conhecido, no jargão da eletrônica, como *offset* de tensão de entrada. Em projetos desse tipo, portanto, o acerto de geometria dos *MOSFET*'s não é trivial, mas é muito importante para a obtenção de um ponto quiescente equilibrado. Para os propósitos deste texto, serão consideradas, para o ponto quiescente, as relações: $I_{D1} = I_{D2} = I_{SS}/2$; $V_{DS1} = V_{DS2}$ e $V_{GS1} = V_{GS2}$.

1.8.3.b – Análise AC:

A Figura 24b apresenta o circuito equivalente AC ao amplificador da Figura 24a, no qual a fonte de corrente de lastro e os dois ramos do espelho de corrente foram substituídos por suas respectivas resistências equivalentes internas. Esse amplificador não é simétrico dinamicamente e apresenta, na realidade, apenas uma saída útil (v_{o1}). Como foi visto na Secção 1.2 e explicitado pela Equação 2a, o ramo do espelho de corrente que contém o diodo MOS é de baixa impedância ($r_{od} \approx 1/g_{m2e}$), causando baixo ganho para a saída v_{o2} . O ramo de espelhamento, no entanto, é de alta impedância, calculada aproximadamente pela Equação 2b e reproduzida a seguir com maior precisão:

$$r_{oe} = \frac{(1 + g_{m1e} \times r_{od}) \times r_{ds1e}}{2} \cong r_{ds1e} \cong \frac{2 \times [1 + \lambda_{1e} \times (V_{DD} - V_{o1Q})]}{\lambda_{1e} I_{SS}} \approx \frac{2}{\lambda_{1e} I_{SS}} \quad [\Omega]$$

- Ganho em Modo-Diferencial:

O ganho diferencial da saída v_{o1} , calculado pela Equação 66, vale, então:

$$A_{vd} = \frac{v_{o1}}{v_{i1} - v_{i2}} = -\frac{4 \times g_{m1} \times r_{ds1} \times r_{oe}}{2(r_{ds1} + r_{oe}) + r_{od}} \quad [\text{V/V}] \quad (69)$$

Na Equação 69, g_{m1} e r_{ds1} são os parâmetros incrementais de transcondutância e de resistência de saída, respectivamente do transistor M_1 , calculados no ponto quiescente.

Se o transistor M_1 possuir canal longo, isto é, tiver um parâmetro λ_1 relativamente pequeno, a Equação 69 poderá ser reescrita como:

$$A_{vd} \cong -\frac{2}{\lambda_1 + \lambda_{1e}} \times \sqrt{\frac{\beta_1}{I_{SS}}} \quad [\text{V/V}] \quad (70)$$

O cálculo feito pela Equação 70 pode causar, dependendo dos valores de λ , um erro na faixa de $-15\% \sim -5\%$ em relação ao valor calculado pela Equação 69.

- Ganho em Modo-Comum:

A resistência interna da fonte de corrente de lastro, vista na Secção 1.4 e calculada pela Equação 15, vale:

$$r_{of} = \frac{1 + \lambda_o \times (V_x - V_{ss})}{\lambda_o I_{SS}} \cong \frac{1}{\lambda_o I_{SS}} \quad [\Omega]$$

O ganho em modo-comum, dado pela Equação 67 adaptada às novas condições de cargas do circuito da Figura 24b, vale:

$$A_{vc} = -\frac{g_{m1} r_{ds1} r_{od}}{r_{ds1} + r_{od} + 2r_{of} \times (1 + g_{m1} r_{ds1})} \quad [\text{V/V}] \quad (71)$$

A resistência interna do diodo MOS, r_{od} , calculada pela Equação 2a, vale:

$$r_{od} = \frac{r_{ds2e}}{1 + g_{m2e} r_{ds2e}} \cong \frac{1}{g_{m2e}} \quad [\Omega]$$

- Rejeição a Modo-Comum:

A rejeição em modo-comum, definida pela relação $CMRR = 2A_{vd}/A_{vc}$, vale:

$$CMRR_{(db)} = 20 \times \log \left[4 \times \frac{r_{ds1} + r_{od} + 2r_{of} (1 + g_{m1} r_{ds1})}{2 \times (r_{ds1} + r_{oe}) + r_{od}} \times \frac{r_{oe}}{r_{od}} \right] \quad [\text{dB}] \quad (72a)$$

ou

$$CMRR_{(db)} \geq 20 \times \log \left[\frac{8\beta_1}{\lambda_o \times (\lambda_1 + \lambda_{1e}) \times I_{SS}} \right] \quad [\text{dB}] \quad (72b)$$

Conclui-se, portanto, que, independentemente de outros parâmetros, se $\lambda_o \rightarrow 0$, a rejeição a modo-comum do amplificador será muito alta. Esse fato exige que o *MOSFET* M_o seja um dispositivo de canal longo. Na prática, deve-se pretender $CMRR_{(dB)} \geq 60 \text{ dB}$.

- Resistência de Entrada:

Como a impedância vista diretamente nas portas dos *MOSFET*'s é virtualmente infinita em baixas frequências, as resistências de entrada do amplificador da Figura 24 ficam sendo iguais às próprias resistências de polarização de portas, isto é:

$$R_{i1} = R_{i2} = R_G \quad [\Omega]$$

- Resistência de Saída:

A resistência da saída v_{oI} do amplificador da Figura 24 vale:

$$R_o = \frac{2 \times r_{ds1} \times r_{oe}}{2(r_{ds1} + r_{oe}) + r_{od}} \cong \frac{r_{ds1} r_{oe}}{r_{ds1} + r_{oe}} \approx \frac{2}{(\lambda_1 + \lambda_e) \times I_{SS}} \quad [\Omega] \quad (73)$$

1.8.3.c – Diretrizes de Projeto:

Em projetos de circuitos integrados, os parâmetros de modelagem dos *MOSFET*'s são fornecidos pelos fabricantes (*foundries*), para um determinado processo. Os parâmetros de processo que podem ser considerados fixos em *Nível 1* para *MOSFET*'s de canal longo são: $K_P = \mu C_{ox}$ e V_{To} . Os parâmetros $\beta = (W/L) \times K_P$ e λ , conhecidos como parâmetros de geometria, não são fixos enquanto o projetista altera as dimensões geométricas dos transistores. O parâmetro λ , que é variável em função do comprimento de canal do *FET*, normalmente é difícil de ser determinado com precisão para os vários valores de L . Procura-se, portanto, tanto quando possível, trabalhar com valores fixos de L para que não haja muito espalhamento de erros face às dificuldades de obtenção de λ . Quando a simulação através do *SPICE* é feita em *Nível 2* e for declarado para o *MOSFET* o parâmetro $\lambda = 0$, o programa estima empiricamente um valor de λ em função das dimensões geométricas do dispositivo. Deve-se ressaltar, porém, que o valor estimado nem sempre é confiável. Algumas *foundries* fornecem um parâmetro de λ designado por $\partial x_d / \partial V_{DS}$ [$\mu\text{m/V}$]. Se isso acontecer, os parâmetros λ dos transistores podem ser estimados, em função do comprimento efetivo de canal, pela relação:

$$\lambda = \frac{1}{L_{eff}} \times \frac{\partial x_d}{\partial V_{DS}} \quad [\text{V}^{-1}] \quad (74)$$

Na Equação 74, L_{eff} é o comprimento efetivo do canal do *MOSFET* medido em μm .

- Amplificadores Diferenciais NMOS:

- Análise do Ponto Quiescente:

O circuito da Figura 25a pode ser calculado em função dos parâmetros de modelagem estática dos *MOSFET*'s e das grandezas elétricas aplicadas ou desejadas. Normalmente os valores de V_{DD} , V_{SS} e I_{SS} são estipulados pelo projetista.

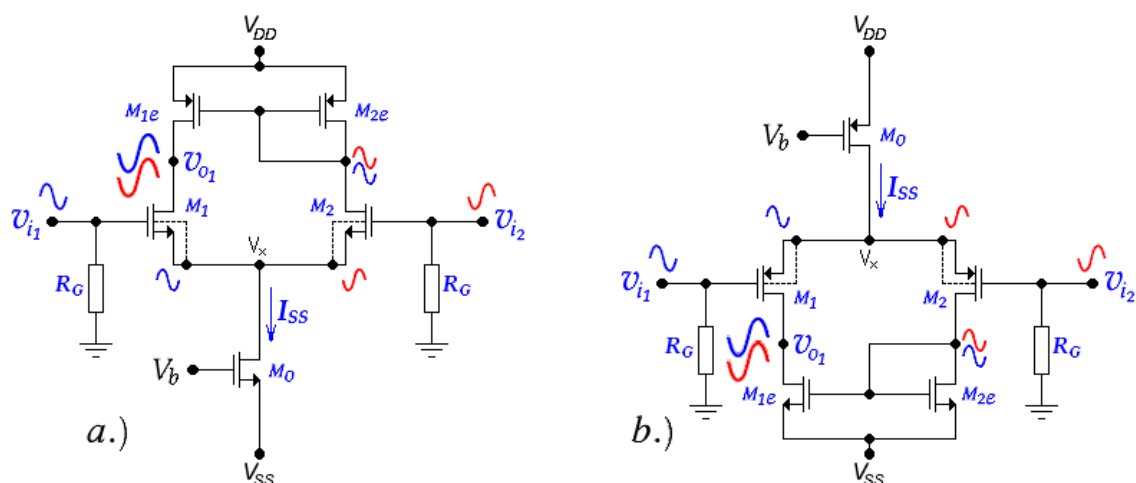


Figura 25 – Amplificadores Diferenciais MOS. a.) Diferencial NMOS. b.) Diferencial PMOS.

Se o circuito for alimentado com fonte dupla, então $V_{SS} < 0$, $|V_{SS}| = V_{DD}$ e as portas dos MOSFET's devem ser polarizadas com tensão nula, isto é, com $V_{i1} = V_{i2} = 0$. Se o circuito for alimentado com fonte simples, então $V_{SS} = 0$, mas cada porta dos MOSFET's deve ser polarizada com metade da tensão de alimentação, isto é, com $V_{i1} = V_{i2} = V_{DD}/2$. O ponto quiescente do circuito pode ser calculado pelo sistema de equações abaixo relacionado:

$$V_Y^3 + \left(2V_{Tp} + \frac{1}{\lambda_{le}}\right) \times V_Y^2 + V_{Tp} \times \left(V_{Tp} + \frac{2}{\lambda_{le}}\right) \times V_Y + \frac{\beta_{le} V_{Tp}^2 - I_{SS}}{\lambda_{le} \beta_{le}} = 0 \quad (75a)$$

Onde:

$$V_Y = V_{DD} - V_{o1}$$

A Equação 75a calcula a tensão contínua quiescente no dreno de M_1 (V_{o1}). Os parâmetros β_{le} , V_{Tp} e λ_{le} , supostamente conhecidos, pertencem ao transistor M_{le} . Com V_{o1} conhecido, calcula-se a tensão nas fontes de M_1 e M_2 (V_X), através da resolução da Equação 75b:

$$I_{SS} - \beta_1 \times (-V_X - V_{Tn})^2 \times [1 + \lambda_1 (V_{o1} - V_X)] = 0 \quad (75b)$$

Os parâmetros β_1 , V_{Tn} e λ_1 , supostamente conhecidos, pertencem ao transistor M_1 . Com a tensão V_X calculada, pode-se calcular a tensão de polarização da fonte de corrente (V_b) através da resolução da Equação 75c:

$$I_{SS} - \frac{\beta_o}{2} \times (V_b - V_{SS} - V_{Tn})^2 \times [1 + \lambda_o \times (V_X - V_{SS})] = 0 \quad (75c)$$

Os parâmetros β_o , V_{Tn} e λ_o , supostamente conhecidos, pertencem ao transistor M_o . A tensão V_b obtida pela resolução da Equação 75c tem seu valor relacionado ao terminal de terra.

- Síntese do Ponto Quiescente:

As Equações 75a, 75b e 75c permitem, também, cálculos de dimensionamento.

Nesses cálculos, os valores de V_{ol} , V_X e V_b são estipulados ou supostamente conhecidos e as relações geométricas dos *MOSFET*'s podem ser calculadas para satisfazer o ponto quiescente desejado, lembrando-se que:

$$\beta_{le} = \frac{W_{le}}{L_{le}} \times K_{pp} \quad \beta_l = \frac{W_l}{L_l} \times K_{pn} \quad e \quad \beta_o = \frac{W_o}{L_o} \times K_{pn}$$

- Amplificadores Diferenciais *PMOS*:

- Análise do Ponto Quiescente:

O circuito da Figura 25b pode ser calculado em função dos parâmetros de modelagem estática dos *MOSFET*'s e das grandezas elétricas aplicadas ou desejadas. Normalmente os valores de V_{DD} , V_{SS} e I_{SS} são estipulados pelo projetista. Se o circuito for alimentado com fonte dupla, então $V_{SS} < 0$, $|V_{SS}| = V_{DD}$ e as portas dos *MOSFET*'s devem ser polarizadas com tensão nula, isto é, com $V_{i1} = V_{i2} = 0$. Se o circuito for alimentado com fonte simples, então $V_{SS} = 0$, mas cada porta dos *MOSFET*'s deve ser polarizada com $V_{DD}/2$. O ponto quiescente do circuito pode ser calculado pelo sistema de equações abaixo relacionado:

$$V_Y^3 + \left(\frac{1}{\lambda_{le}} - 2V_{Tn} \right) \times V_Y^2 - V_{Tn} \times \left(\frac{2}{\lambda_{le}} - V_{Tn} \right) \times V_Y + \frac{\beta_{le} V_{Tn}^2 - I_{SS}}{\lambda_{le} \beta_{le}} = 0 \quad (76a)$$

Onde:

$$V_Y = V_{ol} - V_{SS}$$

A Equação 76a calcula a tensão contínua quiescente no dreno de M_l (V_{ol}). Os parâmetros β_{le} , V_{Tn} e λ_{le} , supostamente conhecidos, pertencem ao transistor M_{le} . Com V_{ol} conhecido, calcula-se a tensão nas fontes de M_l e M_2 (V_X), através da resolução da Equação 76b:

$$I_{SS} - \beta_l \times (V_X + V_{Tp})^2 \times [1 + \lambda_l (V_X - V_{ol})] = 0 \quad (76b)$$

Os parâmetros β_l , V_{Tp} e λ_l , supostamente conhecidos, pertencem ao transistor M_l . Com a tensão V_X calculada, pode-se calcular a tensão de polarização da fonte de corrente (V_b) através da resolução da Equação 76c:

$$I_{SS} - \frac{\beta_o}{2} \times (V_{DD} - V_b + V_{Tp})^2 \times [1 + \lambda_o \times (V_{DD} - V_X)] = 0 \quad (76c)$$

Os parâmetros β_o , V_{Tp} e λ_o , supostamente conhecidos, pertencem ao transistor M_o . A tensão V_b obtida pela resolução da Equação 76c tem seu valor relacionado ao terminal de *terra*.

- Síntese do Ponto Quiescente:

As Equações 76a, 76b e 76c permitem, também, cálculos de dimensionamento. Nesses cálculos, os valores de V_{ol} , V_X e V_b são estipulados ou supostamente conhecidos e as relações geométricas dos *MOSFET*'s podem ser calculadas para satisfazer o ponto quiescente desejado, lembrando-se que:

$$\beta_{1e} = \frac{W_{1e}}{L_{1e}} \times K_{Pn} \quad \beta_1 = \frac{W_1}{L_1} \times K_{Pp} \quad e \quad \beta_o = \frac{W_o}{L_o} \times K_{Pp}$$

- Parâmetros Incrementais:

Os parâmetros incrementais usados nos cálculos das grandezas AC do amplificador são obtidos, a partir do ponto quiescente, pelas equações:

- Diferencial NMOS (Fig. 24a):

$$\begin{aligned} g_{m1} &= \beta_1 \times (-V_X - V_{Tn}) \times [1 + \lambda_1 (V_{o1} - V_X)] \quad [\text{A/V}] \\ r_{ds1} &= \frac{2 \times [1 + \lambda_1 (V_{o1} - V_X)]}{\lambda_1 I_{SS}} \quad [\Omega] \\ r_{oe} &= \frac{(1 + g_{m1e} \times r_{od}) \times r_{ds1e}}{2} \cong r_{ds1e} = \frac{2 \times [1 + \lambda_{1e} (V_{DD} - V_{o1})]}{\lambda_{1e} I_{SS}} \quad [\Omega] \\ g_{m2e} &= \beta_{2e} \times (V_{DD} - V_{o1} + V_{Tp}) \times [1 + \lambda_{2e} (V_{DD} - V_{o1})] \quad [\text{A/V}] \\ r_{od} &= \frac{r_{ds2e}}{1 + g_{m2e} r_{ds2e}} \cong \frac{1}{\beta_{2e} \times (V_{DD} - V_{o1} + V_{Tp}) \times [1 + \lambda_{2e} (V_{DD} - V_{o1})]} \quad [\Omega] \\ r_{of} &= \frac{1 + \lambda_o (V_X - V_{SS})}{\lambda_o I_{SS}} \quad [\Omega] \end{aligned}$$

- Diferencial PMOS (Fig. 24b):

$$\begin{aligned} g_{m1} &= \beta_1 \times (V_X + V_{Tp}) \times [1 + \lambda_1 (V_X - V_{o1})] \quad [\text{A/V}] \\ r_{ds1} &= \frac{2 \times [1 + \lambda_1 (V_X - V_{o1})]}{\lambda_1 I_{SS}} \quad [\Omega] \\ r_{oe} &= \frac{(1 + g_{m1e} \times r_{od}) \times r_{ds1e}}{2} \cong r_{ds1e} = \frac{2 \times [1 + \lambda_{1e} (V_{o1} - V_{SS})]}{\lambda_{1e} I_{SS}} \quad [\Omega] \\ g_{m2e} &= \beta_{2e} \times (V_{o1} - V_{SS} - V_{Tn}) \times [1 + \lambda_{2e} (V_{o1} - V_{SS})] \quad [\text{A/V}] \\ r_{od} &= \frac{r_{ds2e}}{1 + g_{m2e} r_{ds2e}} \cong \frac{1}{\beta_{2e} \times (V_{o1} - V_{SS} - V_{Tn}) \times [1 + \lambda_{2e} (V_{o1} - V_{SS})]} \quad [\Omega] \\ r_{of} &= \frac{1 + \lambda_o (V_{DD} - V_X)}{\lambda_o I_{SS}} \quad [\Omega] \end{aligned}$$

- Parâmetros Elétricos:

Os parâmetros elétricos são válidos, indistintamente, para os dois amplificadores diferenciais da Figura 25. São eles:

- Ganho de Tensão:

$$A_{vd} = \frac{v_{o1}}{v_{i1} - v_{i2}} = -\frac{4 \times g_{m1} \times r_{ds1} \times r_{oe}}{2(r_{ds1} + r_{oe}) + r_{od}} \cong -\frac{2 \times g_{m1} \times r_{ds1} \times r_{oe}}{r_{ds1} + r_{oe}} \approx -\frac{2}{\lambda_1 + \lambda_{1e}} \times \sqrt{\frac{\beta_1}{I_{SS}}} \quad [\text{V/V}]$$

- Resistência de Saída:

$$R_o = \frac{2 \times r_{ds1} \times r_{oe}}{2(r_{ds1} + r_{oe}) + r_{od}} \approx \frac{2}{(\lambda_1 + \lambda_{1e}) \times I_{SS}} \quad [\Omega]$$

- Resistência de Entrada:

$$R_{i1} = R_{i2} = R_G \quad [\Omega]$$

- Rejeição a Modo-Comum:

$$CMRR_{(db)} = 20 \times \log \left[4 \times \frac{r_{ds1} + r_{od} + 2r_{of}(1 + g_{m1}r_{ds1})}{2 \times (r_{ds1} + r_{oe}) + r_{od}} \times \frac{r_{oe}}{r_{od}} \right] \quad [\text{dB}]$$

- Faixa de Entrada Máxima em Modo-Comum:

Quando sinais iguais, em módulo e em fase, são aplicados simultaneamente às entradas, a saída permanece em repouso, como já foi visto para amplificadores com alta rejeição a modo-comum. Se os sinais de entrada possuírem, porém, amplitudes elevadas, pelo fato da tensão V_X acompanhar a excursão de V_{i1} , o *MOSFET* M_o será levado à região tródo e deixará de funcionar como fonte de corrente. A partir desse ponto as tensões de entrada serão transferidas para a saída, mesmo em modo-comum. Para amplificadores diferenciais é definido, então, um parâmetro de desempenho chamado **CMR** (*Common Mode Range*) que especifica a máxima faixa de variação da tensão de entrada em modo-comum que mantém o amplificador funcionando corretamente. Para os circuitos da Figura 25 essas faixas valem:

- Diferencial NMOS:

$$CMR = V_X - V_b + V_{Tn} \quad [\text{V}_{pk}]$$

- Diferencial PMOS:

$$CMR = V_b - V_X - V_{Tp} \quad [\text{V}_{pk}]$$

- Máxima Excursão de Saída:

Quando a tensão de saída cresce, no caso do circuito da Figura 25a, ou decresce, no caso do circuito da Figura 25b, os transistores M_{1e} do espelho, em ambos os casos, têm suas tensões V_{DS} diminuídas. A partir do ponto no qual $|V_{DS}| < |V_{DSat}|$, os transistores M_{1e} entram na região tródo e o amplificador deixa de amplificar corretamente, causando um ceifamento do sinal de saída. Calculando-se esses pontos, tem-se:

- Diferencial NMOS:

$$V_{o1(max)} = V_{o1} - V_{Tp}$$

ou

$$v_{o1(max)} = 2 \times |V_{Tp}| \quad [V_{pk-pk}]$$

- Diferencial PMOS:

$$V_{o1(max)} = V_{o1} - V_{Tn}$$

ou

$$v_{o1(max)} = 2 \times V_{Tn} \quad [V_{pk-pk}]$$

Esses cálculos são válidos se o circuito estiver polarizado aproximadamente no centro da reta de carga, isto é, $0,40 \times (V_{DD} + |V_{SS}|) \leq V_{DS1Q} \leq 0,60 \times (V_{DD} + |V_{SS}|)$.

As máximas excursões, tanto na entrada como na saída, são obtidas se:

- Diferencial NMOS:

$$V_X \rightarrow -V_{Tn} \quad ; \quad V_b \rightarrow V_{SS} + V_{Tn} \quad \text{e} \quad V_{o1} \rightarrow V_{DD} + V_{Tp}$$

- Diferencial PMOS:

$$V_X \rightarrow -V_{Tp} \quad ; \quad V_b \rightarrow V_{DD} + V_{Tp} \quad \text{e} \quad V_{o1} \rightarrow V_{SS} + V_{Tn}$$

*1.8.3.d – Exemplos de Cálculos Numéricos:***- Análise:**

Um amplificador diferencial com a arquitetura mostrada na Figura 25a foi montado, tendo como tensões de alimentação: $V_{DD} = 5 \text{ V}$ e $V_{SS} = -5 \text{ V}$. Deseja-se que a corrente de lastro seja: $I_{SS} = 200 \mu\text{A}$. Calcular todos os parâmetros elétricos do circuito, em DC e AC.

Dados: $\beta_n = 492,4226 \mu\text{A/V}^2$; $\beta_p = 404,8378 \mu\text{A/V}^2$; $V_{Tp} = -1,463551 \text{ V}$; $V_{Tn} = 1,42411 \text{ V}$; $\lambda_n = 0,021053 \text{ V}^{-1}$ e $\lambda_p = 0,050691 \text{ V}^{-1}$.

- Resolução:**- Ponto Quiescente:**

Acionando-se a Equação 75a, tem-se:

$$V_Y^3 + 16,8 \times V_Y^2 - 55,6 \times V_Y + 32,51 = 0$$

$\Rightarrow \text{solve} \Rightarrow$

$$V_Y = 2,1313 \quad [\text{V}]$$

Mas, como $V_Y = V_{DD} - V_{o1} \Rightarrow$

$$V_{o1} = 2,8687 \quad [\text{V}]$$

Essa é a tensão quiescente no dreno de M_1 .

Acionando-se a Equação 75b, tem-se:

$$200 \times 10^{-6} - 492,4226 \times 10^{-6} \times (-V_X - 1,42411)^2 \times [1 + 0,021053 \times (2,8687 - V_X)] = 0$$

$\Rightarrow solve \Rightarrow$

$$V_X = -2,0309 \text{ [V]}$$

Essa é a tensão quiescente nas fontes dos *MOSFET*'s M_1 e M_2 .

Acionando-se a Equação 75c, tem-se:

$$200 \times 10^{-6} - \frac{492,4226 \times 10^{-6}}{2} \times (V_b + 5 - 1,42411)^2 \times [1 + 0,021053 \times (-2,0309 + 5)] = 0$$

$\Rightarrow solve \Rightarrow$

$$V_b = -2,701522 \text{ [V]}$$

Essa é a tensão de polarização, em relação ao terminal de *terra*, que deve ser aplicada à porta de M_o para que ele funcione como uma fonte de corrente de $200 \mu A$.

As grandezas quiescentes nos *MOSFET*'s do diferencial valem, portanto:

$$I_{D1Q} = I_{D2Q} = 100 \mu A \quad e \quad V_{DS1Q} = V_{DS2Q} = 2,8687 + 2,0309 = 4,8996 V$$

- Parâmetros Incrementais:

$$g_{m1} = 492,4226 \times 10^{-6} \times (2,0309 - 1,42411) \times [1 + 0,10315] = 329,6106 \text{ } [\mu A/V]$$

$$r_{ds1} = \frac{1 + 0,021053 \times 4,8996}{0,021053 \times 100^{-6}} = 524 \text{ [k}\Omega\text{]}$$

$$r_{oe} \cong \frac{1 + 0,050691 \times 2,1313}{0,050691 \times 100 \times 10^{-6}} = 218,5855 \text{ [k}\Omega\text{]}$$

$$r_{od} \cong \frac{1}{404,8378 \times 10^{-6} \times 0,67075 \times 1,108} = 3,3386 \text{ [k}\Omega\text{]}$$

$$r_{of} = \frac{1 + 0,021053 \times 2,9691}{0,021053 \times 200 \times 10^{-6}} = 252,346 \text{ [k}\Omega\text{]}$$

- Parâmetros Elétricos:

$$A_{vd} \cong - \frac{2 \times 329,6106 \times 524 \times 218,5855}{524 + 218,5855 + 3,3386} \times 10^{-3} = -101,225 \text{ [V/V]}$$

$$R_o \cong \frac{524 \times 218,5855}{524 + 218,5855} \times 10^3 = 154,24 \text{ [k}\Omega\text{]}$$

$$CMRR = 20 \times \log \left[4 \times \frac{524 + 3,3386 + 2 \times 252,346 \times 173,71}{2 \times (524 + 218,5855) + 3,3386} \times \frac{218,5855}{3,3386} \right] = 83,92 \text{ [dB]}$$

$$CMR = -2,0309 + 2,701522 + 1,42411 = 2,095 \text{ [V}_{pk}\text{]}$$

$$v_{o(max)} = 2 \times 1,4636 = 2,9271 \quad [V_{pk-pk}]$$

Os últimos três itens significam, respectivamente, que o amplificador amplifica cerca de 15700 vezes mais sinais em modo-diferencial do que em modo-comum. Os sinais em modo-comum podem ser aplicados à entrada até o limite de 2,095 V de pico e, em modo-diferencial, a máxima excursão de saída pode alcançar 2,9271 V, de pico a pico, antes da ceifa. Os cálculos deste exemplo foram feitos usando-se as fórmulas mais aproximadas.

- Síntese:

Projetar um amplificador diferencial que possui a arquitetura mostrada na Figura 25b. O circuito deverá ser alimentado com as seguintes tensões de alimentação: $V_{DD} = 5$ V e $V_{SS} = -5$ V. Deseja-se que a corrente de lastro seja: $I_{SS} = 200 \mu A$. Calcular, posteriormente, todos os parâmetros elétricos do circuito, em DC e AC.

Dados: $K_{Pn} = 60,429831855 \mu A/V^2$; $K_{Pp} = 30,21491593 \mu A/V^2$; $V_{Tp} = -0,7$ V; $V_{Tn} = 0,7$ V; $\lambda_n = 0,033333 V^{-1}$ e $\lambda_p = 0,016667 V^{-1}$, para $L_n = L_p = 6 \mu m$ e $\lambda_n = 0,016667 V^{-1}$ e $\lambda_p = 0,008333 V^{-1}$, para $L_n = L_p = 12 \mu m$.

- Resolução:

- Ponto Quiescente:

Como os valores de λ são conhecidos para $L = 6 \mu m$ e para $L = 12 \mu m$ tomam-se esses comprimentos como base para projeto. Então se deve fazer: $L_1 = L_2 = 6 \mu m$. Os transistores do espelho e da fonte de corrente, com o objetivo de apresentarem uma resistência interna maior, são projetados, normalmente, com o dobro do comprimento dos anteriores. Então: $L_o = L_{1e} = L_{2e} = 12 \mu m$. As tensões quiescentes, no centro da reta de carga, devem valer: $V_X \approx 2,5$ V e $V_{o1} \approx -2,5$ V. Dessa maneira, $V_{DS1Q} = V_{DS2Q} \approx 5$ V. As outras grandezas são calculadas como a seguir:

- Espelho de Corrente:

Os transistores do espelho são de canal **n** e, portanto: $K_{P1e} = K_{P2e} = 60,429831855 \mu A/V^2$ e $V_{T1e} = V_{T2e} = 0,7$ V. Como $L_{1e} = L_{2e} = 12 \mu m$, os valores de λ para esses transistores serão $\lambda_{1e} = \lambda_{2e} = 0,016667 V^{-1}$. A tensão $V_Y = V_{o1} - V_{SS}$ vale: $V_Y = 2,5$ V. Usando-se a Equação 76a, calcula-se:

$$15,625 + 366,2425 - 208,7708 + \frac{\beta_{1e} 0,49 - 200 \times 10^{-6}}{0,016667 \times \beta_{1e}} = 0$$

\Rightarrow

$$\beta_{1e} = \frac{W_{1e}}{12} \times 60,42983185 \times 10^{-6} = 159,2592 \times 10^{-6} \quad [A/V^2]$$

\Rightarrow

$$W_{1e} = W_{2e} = 12 \quad [\mu m]$$

Com o valor acima foi arredondado para um número inteiro, recalcula-se, através da Equação 76a, o valor de V_{o1Q} . Então:

$$V_{o1} = -2,5173 \text{ [V]}$$

- *Par Diferencial:*

Os transistores do par diferencial são de canal **p** e, portanto: $K_{p1} = K_{p2} = 30,21491593 \mu A/V^2$; $V_{T1} = V_{T2} = -0,7 \text{ V}$ e $\lambda_1 = \lambda_2 = 0,016667 \text{ V}^{-1}$. A tensão V_X , no centro da reta de carga, vale: $V_X = 2,5 \text{ V}$. Usando-se a Equação 76b, calcula-se:

$$200 \times 10^{-6} - \beta_1 \times 3,24 \times 1,0836233 = 0$$

\Rightarrow

$$\beta_1 = \frac{W_1}{6} \times 30,21491593 \times 10^{-6} = 56,9648 \times 10^{-6} \text{ [A/V}^2\text{]}$$

\Rightarrow

$$W_1 = W_2 = 12 \text{ [}\mu\text{m]}$$

Com o valor acima foi arredondado para um número inteiro, recalcula-se, através da Equação 76b, o valor de V_X . Então:

$$V_X = 2,44833 \text{ [V]}$$

- *Fonte de Corrente de Lastro:*

O transistor da fonte de corrente de lastro é de canal **p** e, portanto: $K_{p_o} = 30,21491593 \mu A/V^2$; $V_{T_o} = -0,7 \text{ V}$ e $\lambda_o = 0,008333 \text{ V}^{-1}$. A tensão V_b e a largura do canal de M_o são incógnitas. Para uma distribuição igualitária de correntes pelos transistores é aconselhável, no entanto, fazer-se: $W_o/L_o = 2W_1/L_1 \Rightarrow W_o = 48 \mu m$. Usando-se a Equação 76c, calcula-se:

$$200 \times 10^{-6} - \frac{48}{12} \times \frac{30,21491593 \times 10^{-6}}{2} \times (5 - V_b - 0,7)^2 \times 1,021263 = 0$$

\Rightarrow

$$V_b = 2,5 \text{ [V]}$$

O valor dessa tensão está relacionado ao terminal de *terra*.

- **Parâmetros Incrementais:**

$$g_{m1} = \frac{12}{6} \times 30,21491592 \times 10^{-6} \times 1,74833 \times [1 + 0,016667 \times 4,96563] = 114,4 \text{ [}\mu\text{A/V]}$$

$$r_{ds1} = \frac{2 \times [1 + 0,016667 \times (2,5173 + 2,44833)]}{0,016667 \times 200 \times 10^{-6}} = 649,644 \text{ [k}\Omega\text{]}$$

$$r_{oe} \cong \frac{2 \times [1 + 0,016667 \times (-2,5173 + 5)]}{0,016667 \times 200 \times 10^{-6}} = 624,815 \text{ [k}\Omega\text{]}$$

$$r_{od} \cong \frac{1}{60,42983185 \times 10^{-6} (-2,5173 + 5 - 0,7) [1 + 0,016667 (-2,5173 + 5)]} = 8,9138 \text{ [k}\Omega\text{]}$$

$$r_{of} = \frac{1 + 0,008333 \times (5 - 2,44833)}{0,008333 \times 200 \times 10^{-6}} = 612,7824 \quad [\text{k}\Omega]$$

- Parâmetros Elétricos:

$$A_{vd} \cong - \frac{2 \times 114,4 \times 649,644 \times 624,815}{649,644 + 624,815 + 8,9138} \times 10^{-3} = -72,365 \quad [\text{V/V}]$$

$$R_o \cong \frac{649,644 \times 624,815}{649,644 + 624,815} \times 10^3 = 318,494 \quad [\text{k}\Omega]$$

$$CMRR = 20 \log \left[4 \times \frac{649,64 + 8,914 + 2 \times 612,78 \times (1 + 74,316)}{2(649,64 + 624,815) + 8,914} \times \frac{624,815}{8,914} \right] = 80,13 \quad [\text{dB}]$$

$$CMR = 2,5 - 2,44833 + 0,7 = 0,7517 \quad [\text{V}_{pk}]$$

$$v_{o(\max)} = 2 \times 0,7 = 1,4 \quad [\text{V}_{pk-pk}]$$

- Conclusões:

O cálculo do amplificador, segundo este exemplo, serve apenas como diretriz de anteprojeto. Simulações com resultados mais precisos, usando-se modelos em *Nível 2*, *Nível 3* ou *BSIM*, são necessárias para se obter um ajuste e uma conclusão a respeito do melhor desempenho do amplificador. Normalmente os parâmetros problemáticos, como λ , devem ser estimados com a maior precisão possível, em função dos vários comprimentos de canal usados, para que se chegue a um resultado satisfatório. Deve-se salientar, também, que a solução obtida neste exemplo não é a única, podendo-se, através de várias combinações de geometria, obter soluções melhores. A tensão de polarização para a fonte de corrente de lastro (V_b) pode ser obtida através de circuitos mais sofisticados de tensões de referência [4] [5] [7] ou de simples divisores de tensão *MOS*, como foi visto na Seção 1.5.2.

1.9 – Amplificadores Operacionais *CMOS*

1.9.1 – Introdução

Amplificadores operacionais são blocos analógicos com alto desempenho e com alto grau de universalidade. São basicamente constituídos de um amplificador diferencial seguido de estágios amplificadores que conferem alto ganho global ao bloco. Para que um alto grau de universalidade seja obtido, as entradas, inversora (v_i^-) e não-inversora (v_i^+), devem possuir alta impedância ($R_i = R_i^+ = R_i^- \rightarrow \infty$) e possuir, também, o mesmo módulo de ganho ($|A_v^+| = |A_v^-|$) em relação à mesma saída (v_{ol}). A saída global (v_o), por sua vez, deve possuir baixa impedância ($R_o \rightarrow 0$) e o ganho global em malha aberta deve ser muito elevado ($A_{vol} \rightarrow \infty$). A relação de ganho de tensão em malha aberta, para esse tipo de bloco, vale:

$$v_o = (v_i^+ - v_i^-) \times A_{vol}$$

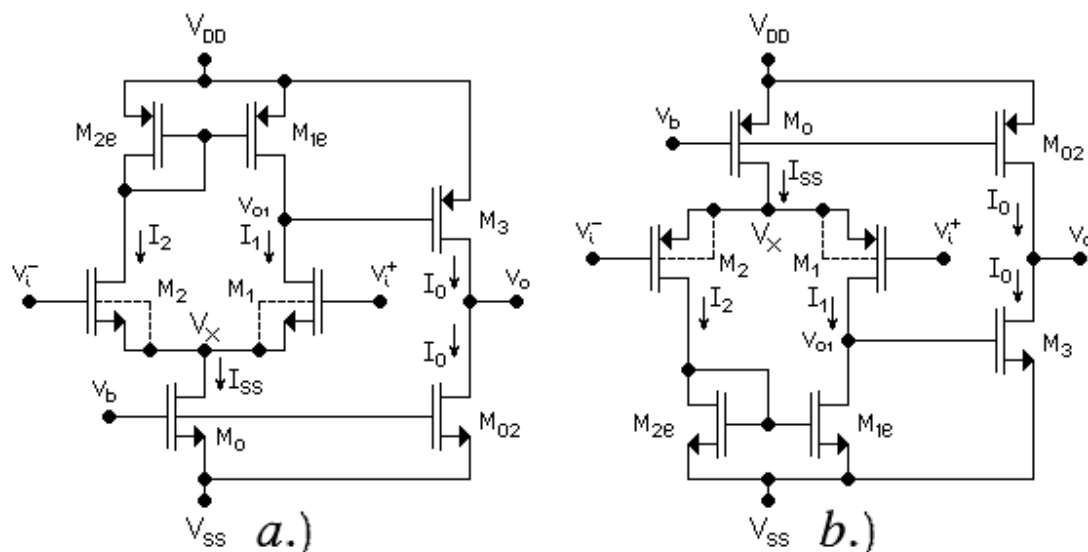


Figura 26 - Amplificadores Operacionais CMOS de Dois Estágios, do Tipo OTA. a.) Com Diferencial NMOS. b.) Com Diferencial PMOS.

Além disso, o bloco deve possuir resposta em frequências (f_T ou GBW) estendida e resposta rápida a transientes (SR). Estaticamente, a tensão de saída deve ser nula para entradas iguais, isto é, $v_o = 0$ para $v_i^+ = v_i^-$. A resposta em frequências do bloco é definida por um parâmetro chamado de frequência de transição (f_T), na qual o ganho em malha aberta torna-se unitário, ou seja, $A_{vol} \rightarrow 1$ para $f \rightarrow f_T$. Alternativamente esse parâmetro está relacionado com o produto ganho \times largura de faixa (GBW), que é constante nesse tipo de dispositivo. A resposta a transientes é comumente chamada de *slew-rate* (SR) e define a taxa de variação da tensão de saída em função do tempo. Então:

$$SR = \frac{\partial v_o}{\partial t} \quad [\text{V}/\mu\text{s}]$$

A falta de balanceamento da tensão estática de saída é chamada de tensão de *offset*, V_{OS} . A tensão V_{OS} é, na realidade, a reflexão para a saída do amplificador da falta de balanceamento entre as tensões de entrada. Essa discrepância aparece, na saída, multiplicada pelo ganho de tensão do amplificador, gerando a tensão $V_{OS} \neq 0$ para $v_i^+ = v_i^-$. Idealmente essas grandezas deveriam valer: $V_{OS} = 0$, $SR \rightarrow \infty$ e $f_T = GBW \rightarrow \infty$.

A partir de meados da década de 1980, amplificadores operacionais construídos totalmente com dispositivos *MOS* começaram a ser estudados e projetados. Na forma mais elementar, essas estruturas são compostas por um amplificador diferencial seguido de um amplificador fonte-comum, todos com cargas ativas, como mostram as Figuras 26a e 26b. Nos dias atuais, uma grande quantidade de amplificadores operacionais integrados totalmente *MOS* é fabricada e comercializada. Várias arquiteturas internas são usadas, incluindo a arquitetura chamada *OTA* (*Output Transconductance Amplifier*), como será vista.

1.9.2 – Arquitetura Básica OTA

A estrutura mais simples de um amplificador operacional *CMOS*, como pode ser vista na Figura 27a.

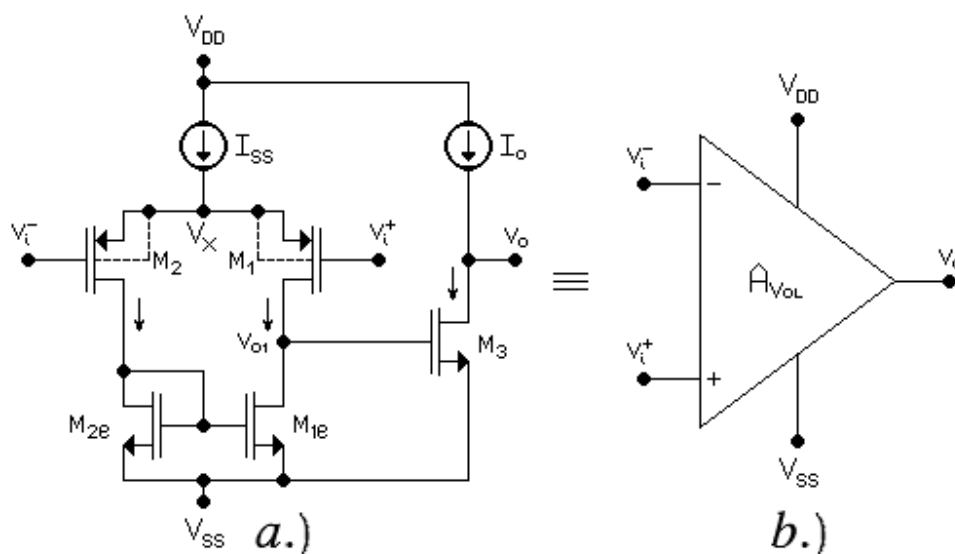


Figura 27 – Amplificador Operacional OTA CMOS. a.) Estrutura Básica. b.) Símbolo Funcional.

Essa estrutura é constituída de dois estágios: um amplificador diferencial (M_1 e M_2), polarizado por uma corrente constante de lastro (I_{SS}), carregado por um espelho de corrente convencional (M_{1e} e M_{2e}) e um amplificador fonte-comum (M_3). O amplificador fonte-comum, por sua vez, é polarizado por outra fonte de corrente constante (I_o), que também funciona como carga ativa desse estágio. De amplificadores desse tipo, inerentemente ao alto grau de simplicidade, não se pode exigir desempenhos pretensiosos. Normalmente esses amplificadores possuem ganhos baixos ou moderados em malha aberta, frequências de transição pouco elevadas, *slew-rate* médios ou baixos, tensões de *offset* elevadas e pouco previsíveis em primeira instância, impedâncias de entrada altíssimas e impedâncias de saída muito elevadas. O nome *OTA* advém do fato do amplificador fonte-comum ser um amplificador de transcondutância possuindo, portanto, alta impedância de saída. A alta impedância de saída não chega a ser um fator proibitivo para amplificadores operacionais, mas é, no mínimo, limitante, tornando-os problemáticos na excitação de cargas de baixa impedância ou de cargas capacitivas. A Figura 27b mostra o símbolo funcional universal do amplificador operacional. A estrutura da Figura 26a é formada por um par diferencial *NMOS* e por um amplificador *CS PMOS*. As estruturas das Figuras 26b e 27a são formadas por pares diferenciais *PMOS* e por um amplificador *CS NMOS*. Essa estrutura é geralmente preferida, em relação à primeira, por dois motivos:

- Os transistores *PMOS* são normalmente menos ruidosos [6] do que os correspondentes *NMOS* e, assim sendo, a figura de ruído do amplificador melhora consideravelmente com essa estrutura.
- Os transistores *NMOS* são mais eficientes em amplificação de transcondutância, isto é, possuem uma relação *ganho/área de chip* maior do que os correspondentes *PMOS* e, por essa razão, executam melhor a função requerida para M_5 .

O circuito da Figura 26a é integrado usando-se a tecnologia de substrato **n** e de poço **p** (*p-well*). Os transistores M_{1e} , M_{2e} e M_3 são fabricados no substrato **n**. Os transistores M_o e M_{o2} são fabricados em um poço **p** ligado à tensão V_{SS} .

Os transistores M_1 e M_2 são fabricados em outro poço **p** ligado aos terminais de fonte desses transistores. Essa providência evita que as tensões de limiar e as transcondutâncias de M_1 e M_2 sejam afetadas pela tensão $V_{SB} \neq 0$.

O circuito da Figura 26b é integrado usando-se a tecnologia de substrato **p** e de poço **n** (*n-well*). Os transistores M_{1e} , M_{2e} e M_3 são fabricados no substrato **p**. Os transistores M_o e M_{o2} são fabricados em um poço **n** ligado à $+V_{DD}$.

Os transistores M_1 e M_2 são fabricados em outro poço **n** ligado aos terminais de fonte desses transistores. Essa providência evita que as tensões de limiar e as transcondutâncias de M_1 e M_2 sejam afetadas pela tensão $V_{SB} \neq 0$.

1.9.2.a – Polarização:

A polarização do par diferencial do circuito da Figura 26a segue a sistemática apresentada no Item 1.7.3.c, para a estrutura da Figura 25a, e calculada pelas Equações 75a, 75b e 75c. A polarização do estágio de saída é calculada pelas seguintes equações:

$$I_o = \frac{1}{2} \times \frac{W_3}{L_3} \times K_{pp} \times (V_{DD} - V_{o1} + V_{Tp})^2 \times (1 + \lambda_3 V_{DD}) \quad [A] \quad (77a)$$

e

$$I_o = \frac{1}{2} \times \frac{W_{o2}}{L_{o2}} \times K_{pn} \times (V_b - V_{SS} - V_{Tn})^2 \times (1 - \lambda_{o2} V_{SS}) \quad [A] \quad (77b)$$

As Equações 77a e 77b permitem que, em um processo de síntese, o dimensionamento geométrico dos *MOSFET*'s seja feito, calculando-se, por exemplo, W_3 e W_{o2} em função do valor escolhido de I_o e dos valores dados ou já calculados para o amplificador diferencial. Nesse caso, foi considerado que $V_{OS} = 0$.

Em um caso de análise, isto é, quando todos os parâmetros geométricos e elétricos dos *MOSFET*'s forem fornecidos, a tensão V_o pode não ser nula, causando *offset* de saída igual a V_{OS} . Nesse caso, os cálculos devem ser feitos pelas Equações 78a e 78b:

$$V_{OS} = \frac{A(1 + \lambda_3 V_{DD}) - (1 - \lambda_{o2} V_{SS})}{\lambda_{o2} + A\lambda_3} \quad [V] \quad (78a)$$

e

$$I_o = \frac{1}{2} \times \frac{W_{o2}}{L_{o2}} \times K_{pn} \times (V_b - V_{SS} - V_{Tn})^2 \times [1 + \lambda_{o2} (V_{OS} - V_{SS})] \quad [A] \quad (78b)$$

E, onde:

$$A = \frac{W_3 \times L_{o2}}{W_{o2} \times L_3} \times \frac{K_{pp}}{K_{pn}} \times \frac{(V_{DD} - V_{o1} + V_{Tp})^2}{(V_b - V_{SS} - V_{Tn})^2} \quad [-]$$

A polarização do par diferencial do circuito da Figura 26b segue a sistemática apresentada no Item 1.7.3.c, para a estrutura da Figura 25b, e calculada pelas Equações 76a, 76b e 76c. A polarização do estágio de saída é calculada pelas seguintes equações:

$$I_o = \frac{1}{2} \times \frac{W_3}{L_3} \times K_{pn} \times (V_{o1} - V_{SS} - V_{Tn})^2 \times (1 - \lambda_3 V_{SS}) \quad [A] \quad (79a)$$

e

$$I_o = \frac{1}{2} \times \frac{W_{o2}}{L_{o2}} \times K_{pp} \times (V_{DD} - V_b + V_{Tp})^2 \times (1 + \lambda_{o2} V_{DD}) \quad [\text{A}] \quad (79b)$$

As Equações 79a e 79b permitem que, em um processo de síntese, o dimensionamento geométrico dos *MOSFET*s seja feito, calculando-se, por exemplo, W_3 e W_{o2} em função do valor escolhido de I_o e dos valores dados ou já calculados para o amplificador diferencial. Nesse caso, foi considerado que $V_{OS} = 0$.

Em um caso de análise, isto é, quando todos os parâmetros geométricos e elétricos dos *MOSFET*s forem fornecidos, a tensão V_o pode não ser nula, resultando em um *offset* de saída igual a V_{OS} . Nesse caso, os cálculos devem ser feitos pelas Equações 80a e 80b:

$$V_{OS} = \frac{(1 + \lambda_{o2} V_{DD})A - (1 - \lambda_3 V_{SS})}{\lambda_3 + A\lambda_{o2}} \quad [\text{V}] \quad (80a)$$

e

$$I_o = \frac{1}{2} \times \frac{W_3}{L_3} \times K_{pn} \times (V_{o1} - V_{SS} - V_{Tn})^2 \times [1 + \lambda_3 (V_{OS} - V_{SS})] \quad [\text{A}] \quad (80b)$$

E, onde:

$$A = \frac{W_{o2} \times L_3}{W_3 \times L_{o2}} \times \frac{K_{pp}}{K_{pn}} \times \frac{(V_{DD} - V_b + V_{Tp})^2}{(V_{o1} - V_{SS} - V_{Tn})^2} \quad [-]$$

A Equação 80c serve como ponto de partida do cálculo de minimização do *offset* sistêmico dos amplificadores da Figura 26 [7].

$$\frac{W_{2e} \times L_3}{L_{2e} \times W_3} = \frac{W_{1e} \times L_3}{L_{1e} \times W_3} \cong \frac{1}{2} \times \frac{W_o \times L_{o2}}{L_o \times W_{o2}} \quad (80c)$$

1.9.2.b – Parâmetros Elétricos:

Os parâmetros elétricos de M_1 e M_2 devem ser calculados como no Item 1.7.3.c. Para o transistor M_3 os parâmetros elétricos são os mesmos da configuração fonte-comum, ou seja:

- *Ganho de Tensão:*

- *Segundo Estágio:*

$$A_{v2} = \frac{v_o}{v_{o1}} = -g_{m3} \times \frac{r_{ds3} \times r_{ds2}}{r_{ds3} + r_{ds2}} \quad [\text{V/V}]$$

- *Diferencial:*

$$A_{v1} = \frac{v_{o1}}{v_i^+} = -g_{m1} \times \frac{r_{ds1} \times r_{oe}}{r_{ds1} + r_{oe} + r_{od}} \quad [\text{V/V}]$$

- *Total:*

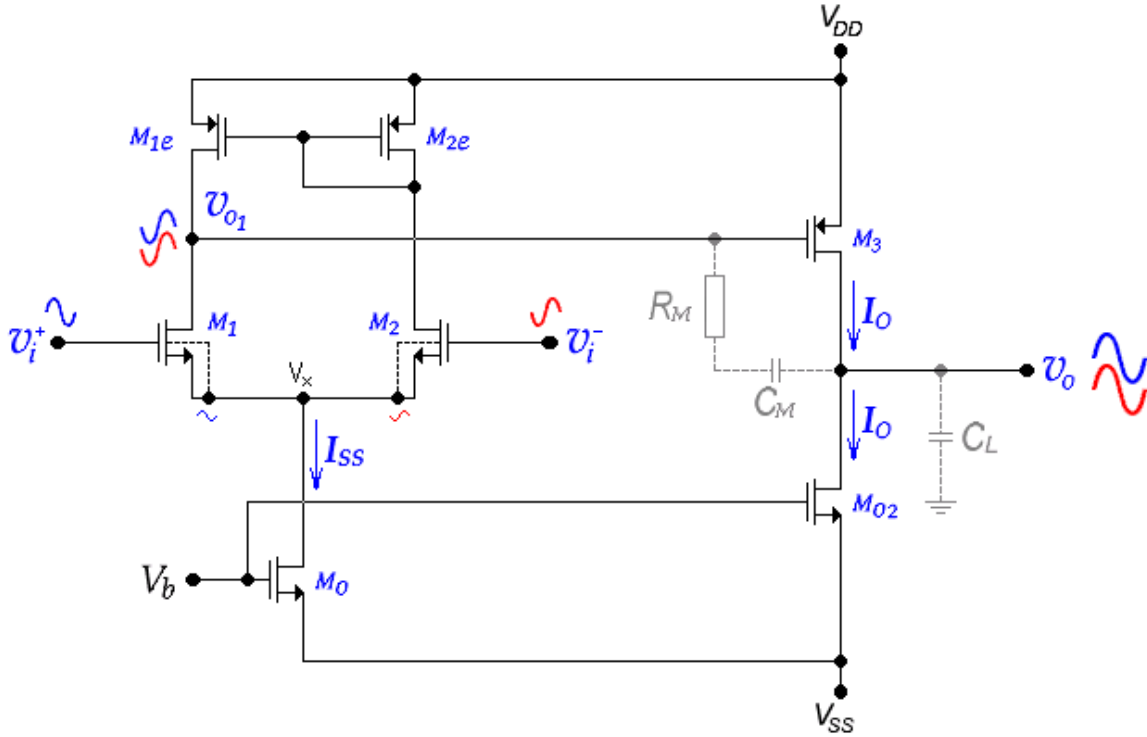


Figura 28 - Amplificador Operacional OTA CMOS com Capacitor de Compensação (C_M) e Capacitor de Carga (C_L).

$$A_{vol} = \frac{v_o}{v_i^+} = g_{m1} \times g_{m3} \times \frac{r_{ds1} \times r_{oe}}{r_{ds1} + r_{oe} + r_{od}} \times \frac{r_{ds3} \times r_{dso2}}{r_{ds3} + r_{dso2}} \quad [\text{V/V}] \quad (81)$$

Onde r_{oe} é a resistência equivalente AC do espelho de corrente, vista no braço de M_{1e} . Essa resistência é calculada genericamente pela Equação 2b e é reproduzida abaixo, válida para os espelhos das Figuras 26a e 26b.

$$r_{oe} \cong r_{ds1e}$$

A resistência r_{od} é a resistência equivalente AC do diodo MOS, vista no braço de M_{2e} . Essa resistência é calculada genericamente pela Equação 2a e é reproduzida abaixo, para os espelhos das Figuras 26a e 26b.

$$r_{od} = \frac{r_{ds2e}}{1 + g_{m2e} r_{ds2e}} \cong \frac{1}{g_{m2e}} \quad [\Omega]$$

- Resistência de Saída:

$$R_o = \frac{r_{ds3} \times r_{dso2}}{r_{ds3} + r_{dso2}} \quad [\Omega] \quad (82)$$

A Equação 82 calcula a resistência de saída do segundo estágio, que é também a resistência de saída do amplificador em malha aberta.

- Resistências de Entrada:

As resistências de cada entrada são as resistências vistas nas portas dos *MOSFET*'s M_1 e M_2 , que são virtualmente infinitas em baixas frequências ou iguais a alguns $T\Omega$, na prática.

- *Rejeição a Modo-Comum:*

A rejeição a modo-comum desse tipo de amplificador operacional é a mesma estudada na Secção 1.8.3.b para amplificadores diferenciais e pode se calculada pela Equação 72a.

- *Frequência de Transição e Slew-Rate:*

Para que uma margem de fase adequada em malha fechada seja obtida, isto é, para que o amplificador não oscile quando realimentado para ganho unitário, o capacitor Miller C_M deve ser adicionado ao circuito. Esse capacitor estabelece um polo dominante (p_D) em baixas frequências na função de transferência em malha aberta do amplificador. O amplificador será incondicionalmente estável se não houver mais nenhum ponto de singularidade (polos ou zeros) na função de transferência até que o ganho em malha aberta atinja o valor unitário (0 dB). A frequência na qual o ganho em malha aberta do amplificador atinge o valor unitário é chamada de frequência de transição (f_T) do amplificador. O capacitor C_M altera também a taxa de subida do sinal de saída em transições muito rápidas do sinal de entrada. A variação dessa taxa de subida é chamada de *slew-rate* (SR) e é medida em V/ μ s. Para o amplificador da Figura 28, sem a presença de C_L , pode-se escrever teoricamente que:

$$f_T = \frac{g_{m1}}{2\pi C_M} \quad [\text{Hz}] \quad (83a)$$

$$SR = \frac{I_{SS}}{10^6 \times C_M} \quad [\text{V}/\mu\text{s}] \quad (83b)$$

$$p_D \cong \frac{f_T}{A_{vol}} \quad [\text{Hz}] \quad (83c)$$

O capacitor C_M , usado para criar um polo dominante baixo na função de transferência do ganho de tensão do amplificador em malha aberta e propiciar uma margem de fase adequada para dar estabilidade ao mesmo em malha fechada, também gera um *zero* no semiplano direito do plano complexo, deteriorando, assim, essa mesma margem de fase. Para sanar esse problema, um resistor R_M deve ser colocado em série com o capacitor C_M , de modo que esse *zero* seja cancelado. Para que o cancelamento do *zero* no semiplano direito seja efetivado, o resistor R_M deve possuir o seguinte valor [9]:

$$R_M = \frac{1}{g_{m3}} \quad [\Omega] \quad (84)$$

Onde g_{m3} é a transcondutância do *MOSFET* M_3 da Figura 28.

Como a saída desse tipo de amplificador apresenta alta impedância, se houver uma capacitância de carga (C_L) carregando o amplificador, um polo adicional será formado na função de transferência e instabilidades não previstas podem ocorrer.

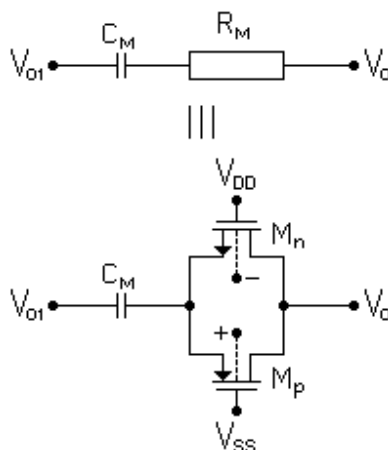


Figura 29 - Implementação do Resistor R_M do Amplificador Operacional da Figura 28.

Nesse caso, o resistor R_M deve ser reajustado e, normalmente, deve ter seu valor aumentado para deslocar o *zero* para o semiplano esquerdo e melhorar a margem de fase. Geralmente deve-se fazer:

$$\frac{1}{g_{m3}} \leq R_M \leq \frac{C_L}{C_M} \times R_o \quad [\Omega]$$

De qualquer modo, simulações devem ser feitas no *SPICE* para que valores mais adequados de R_M sejam obtidos em função de C_L . O capacitor C_L também atua sobre o *slew-rate* (SR) do amplificador, que passa a ser estimado como sendo o mínimo entre os seguintes resultados:

$$SR = \frac{I_{SS}}{10^6 \times C_M} \quad [\text{V}/\mu\text{s}] \quad \text{ou} \quad SR = \frac{I_o}{10^6 \times (C_M + C_L)} \quad [\text{V}/\mu\text{s}] \quad (85)$$

Nas Equações 83a, 83b, 83c e 85, g_{m1} é a transcondutância do transistor M_1 , I_{SS} é a corrente de lastro do amplificador diferencial, I_o é a corrente de polarização dos transistores de saída do amplificador e A_{vol} é o ganho de tensão em malha aberta do amplificador, calculado pela Equação 81. O circuito da Figura 28 pode ter seu desempenho melhorado em quase todos os quesitos se fontes e espelhos de corrente dos tipos *cascode* ou de Wilson forem usados. Deve-se lembrar, em todo caso, que o modelo em Nível 1, usado para os cálculos executados nesta secção, é um modelo muito simplificado, apresentando, portanto, resultados não conclusivos. Após os cálculos manuais de anteprojeto, consequentemente, simulações mais aprimoradas devem ser executadas no *SPICE*, com modelagem nos Níveis 2, 3 ou *BSIM*, para que resultados mais precisos sejam obtidos.

- Implementação de R_M :

A implementação de resistores de silício em circuitos integrados *MOS* normalmente é ineficiente, pois os resistores ocupam uma grande área de *chip* e são muito imprecisos. Uma alternativa mais eficiente é a de usar o próprio *MOSFET* executando o papel de resistor. A Figura 29 mostra como o resistor R_M pode ser implementado em amplificadores operacionais *CMOS*, através de dois *MOSFET* 's, um de canal **p** e outro de canal **n**, ligados em oposição de fase.

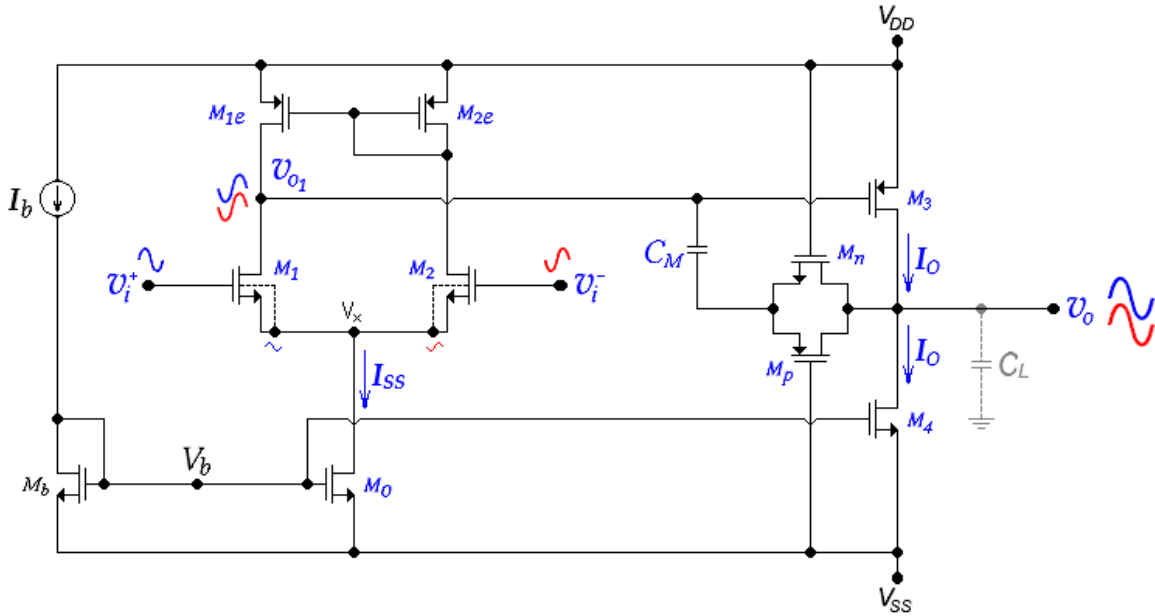


Figura 30 - Amplificador Operacional CMOS de Dois Estágios e com Compensação Miller.

Para ambos, pode-se afirmar que $V_{DS} \rightarrow 0$ e, portanto, ambos são equivalentes aos resistores R_{DSon} , com cálculo apresentado na literatura [3]. Pode-se, conseqüentemente, escrever que:

$$R_n = \frac{L_n}{W_n \times K_{Pn} \times (V_{DD} - V_{o1} - V_{Tn})} \quad \text{e} \quad R_p = \frac{L_p}{W_p \times K_{Pp} \times (V_{o1} - V_{SS} + V_{Tp})} \quad (86)$$

Onde W_n , W_p , L_n e L_p são as respectivas larguras e os respectivos comprimentos de canal dos MOSFET 's M_n e M_p da Figura 29. O resistor R_M vale, então:

$$R_M = \frac{R_n \times R_p}{R_n + R_p} \quad [\Omega] \quad (87)$$

Em projetos desse tipo de amplificador, geralmente se faz $L_n = L_p = L_{genérico}$. Para facilitar os cálculos e propiciar boa simetria de condução entre M_n e M_p , deve-se fazer, também, $R_n = R_p = 2R_M$. Assim, pode-se calcular, através das duas parcelas da Equação 86, os valores de W_n e W_p em função das outras grandezas do circuito, já conhecidas. O valor de R_M é estipulado pela Equação 84 e, se precisar de ajustes, deve ser arredondado para um valor superior ao calculado.

- *Excursões:*

A máxima excursão de entrada em modo comum do amplificador da Figura 28 é a mesma estudada para o amplificador diferencial, ou seja:

$$CMR = V_x - V_b + V_{Tn} \quad [V_{pk}]$$

Para o amplificador de saída, constituído por M_3 na Figura 28 e carregado com carga de alta impedância, a máxima excursão teórica de sinal vale:

$$V_{o(\max)} = V_b + V_{Tn} \quad [V_{pk}]$$

Quando o amplificador da Figura 28, no entanto, estiver trabalhando em malha fechada com $G_v > 1$ e com alta impedância de carga, sua saída pode ser considerada *rail-to-rail*, isto é, pode excursionar de ponta a ponta em relação às linhas de alimentação, ou seja, a excursão de saída pode ficar muito próxima de: $V_{SS} < V_o < V_{DD}$. A Figura 30 mostra o circuito completo de um amplificador operacional *CMOS* de dois estágios, com diferencial *NMOS* e com compensação Miller.

1.10 - Referências

- [1] P. R. Veronese, *Amplificadores Diferenciais Bipolares Simétricos*, SEL-EESC-USP, Rev. 3, 2011.
- [2] P. R. Veronese, *JFET, Fontes de Corrente Constante*, SEL-EESC-USP, Rev. 6, 2012.
- [3] P. R. Veronese, *MOSFET, Resumo da Teoria*, SEL-EESC-USP, Rev. 8, 2012.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001, Cap. 5.
- [5] Y. P. Tsividis, R. W. Ulmer, "A CMOS Voltage Reference," *IEEE J. Solid-State Circuits*, vol. **SC-13**, pp. 774-778, December 1978.
- [6] P. E. Allen, D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston Inc., New York, USA, 1987, Cap. 8, pp. 112-280.
- [7] P. E. Allen, D. R. Holberg, *CMOS Analog Circuit Design*, 2th Edition, Oxford University Press, New York, 2002, Cap. 4, pp. 148-150.
- [8] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons, New York, 1983, Cap. 6, pp. 277.
- [9] P. R. Gray, R. G. Meyer, "MOS Operational Amplifier Design – A Tutorial Overview," *IEEE J. Solid-State Circuits*, vol. **SC-17**, pp. 973-974, December 1982.
- [10] P. R. Veronese, *MOSFET, Princípios de Leitura*, SEL-EESC-USP, Rev. 0, 2012.

Paulo Roberto Veronese