

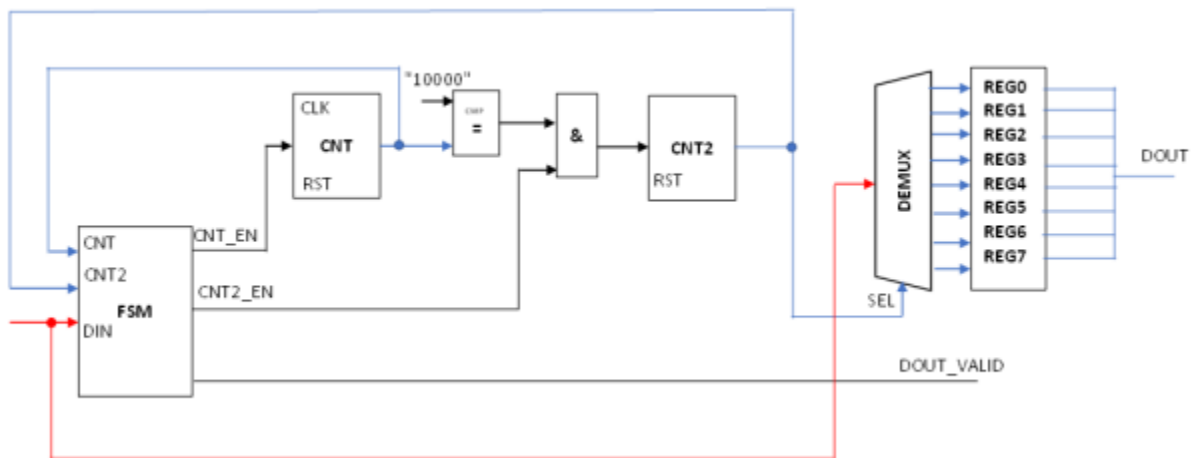
Výstupní zpráva

Jméno: Daniel Zálezák

Login: xzalez01

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

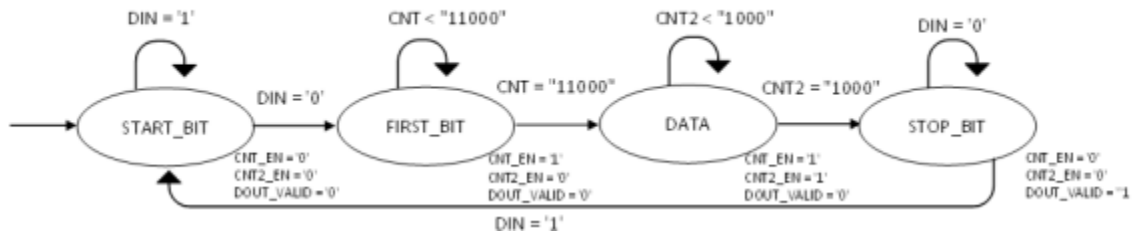
Obvod je říadený pomocí signálů, které určuje FSM podle aktuálního stavu. Po přijetí start bitu nastaví signal CNT_EN na "1" a spustí counter (CNT). Ten následně počítá hodinové signály. Po napočítání 16 hodinových signálů po nastavení komparátora na "1" sa CNT resetuje. Po nastavení signalu CNT2_EN na "1" sa porovná so signálom z komparátora pomocou logickej brány AND a následne sa spustí counter (CNT2), ktorý počítá počet bitov, ktoré zatiaľ prijal a taktiež slúži ako selector v demultiplexore a určuje register, do ktorého bude bit uložený. Po napočítaní 8 bitov sa counter resetuje.

Návrh automatu

Schéma automatu

Legenda:

- Stavy automatu: START_BIT, FIRST_BIT, DATA, STOP_BIT
- Vstupní signály: DIN, CNT
- Moorovy výstupy: CNT_EN, CNT2_EN, DOUT_VALID



Popis funkce

Automat čeká v stavu START_BIT na signal DIN = "0" a prechádza do stavu FIRST_BIT, nastavuje CNT_EN na "1" a čaká na signal z counteru CNT = "11000", prechádza do stavu DATA a nastavuje CNT2_EN na "1". Následne čaká pokým prijme 8 dátových bitov a ďalej sa posúva do stavu STOP_BIT a nastavuje DOUT_VALID na "1" a čaká na signal DIN = "1" a znovu prechádza do pôvodneho stavu.

Snímok obrazovky zo simulácie

