

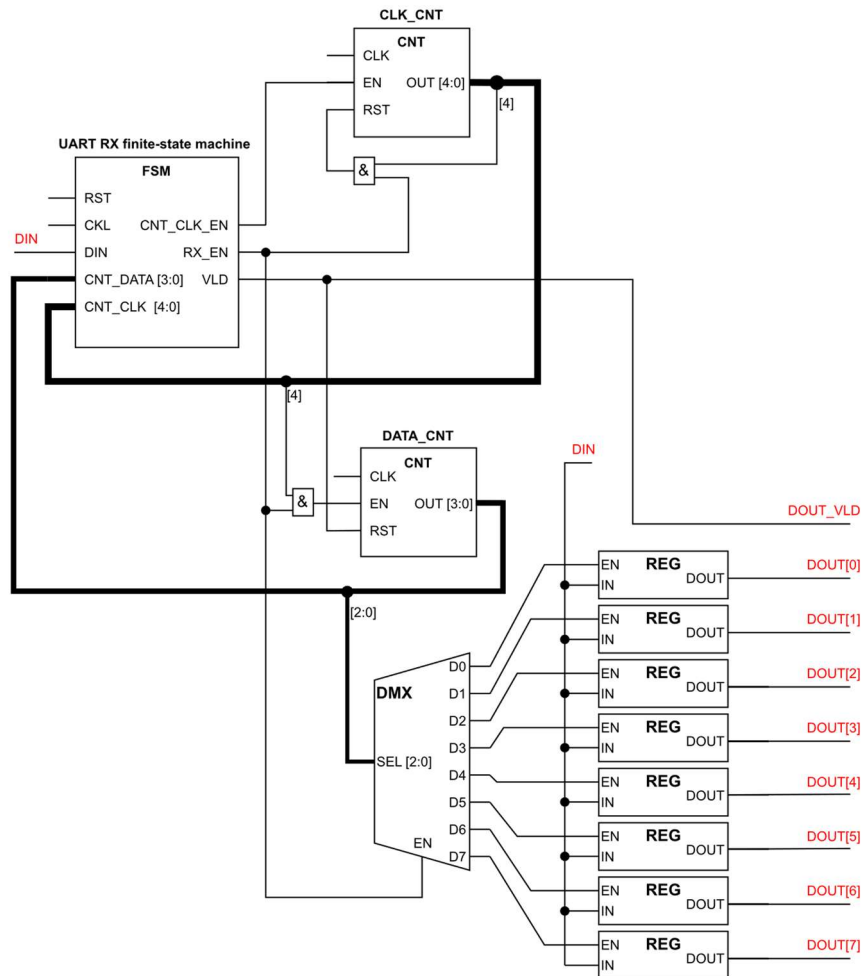
# Výstupní zpráva INC UART Receiver

Jméno: Kirill Shchetiniuk

xlogin: xshche05

## 1. Architektura obvodu.

### 1.1 Schéma obvodu



### 1.2 Popis funkce

Na základě výstupu CNT\_CLK\_EN z FSM počítadlo CLK\_CNT počítá hodinové signály. Na základě výstupu počítadla zjistíme je-li povoleno načtení hodnoty z DIN. Počítadlo CLK\_CNT je nulováno na základě své výstupní hodnoty. Začáteční hodnota počítadla je 1.

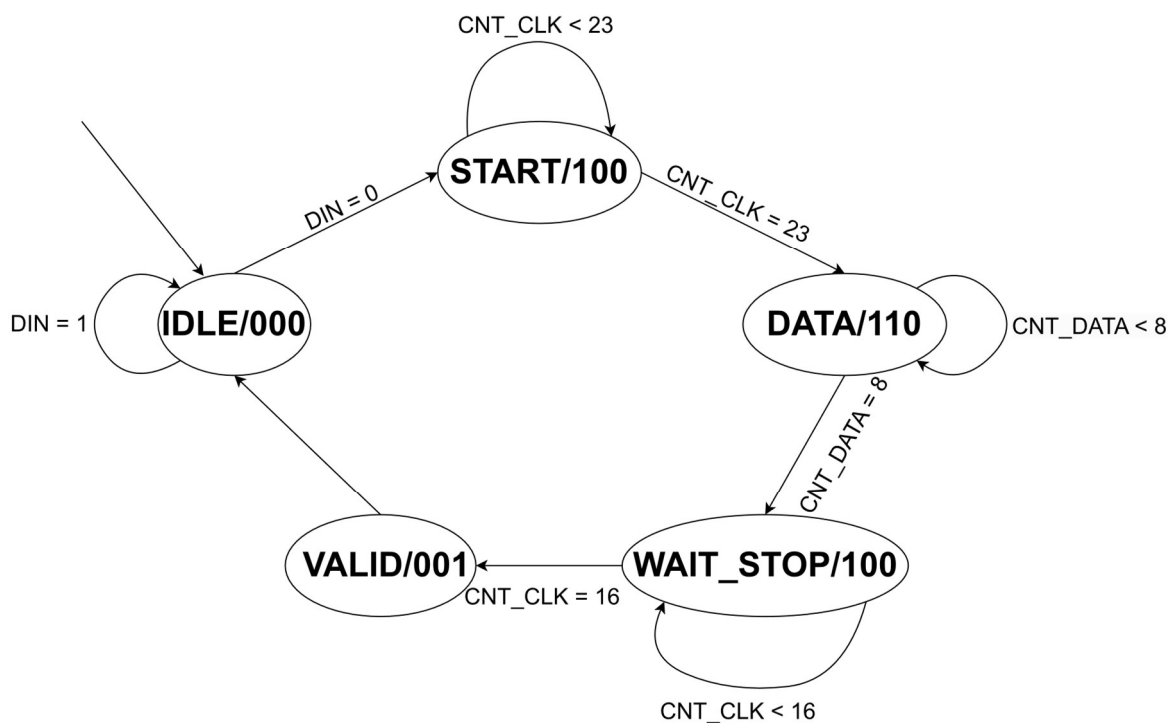
Na základě výstupu RX\_EN z FSM počítadlo DATA\_CNT počítá počet načtených bitů. Na základě výstupu počítadla zjistíme je-li načten poslední bit. Počítadlo je nulováno signálem VLD (konec čtení a výstup je platný) z FSM. Začáteční hodnota počítadla je 0.

## 2. Návrh automatu

### 2.1 Schéma automatu

#### Legenda

- Stavby automatu: IDLE, START, DATA, WAIT\_STOP, VALID
- Vstupní signály: DIN, CNT\_CLK, CNT\_DATA
- Moorovy výstupy: CNT\_CLK\_EN, RX\_EN, VLD



Ve stavu IDLE automat čeká start bit, když signál DIN bude log. 0, přechází do stavu START a nastaví signál CNT\_CLK\_EN na log. 1, čeká 23 hodinových cyklů, po 23 hodinových cyklů přechází do stavu DATA, nastaví signál RX\_EN na log. 1 a možná číst první bit. Čeká načtení 8 bitu a po načtení přechází do stavu WAIT\_STOP a nastaví signál RX\_EN na log. 0. Čeká 16 hodinových cyklů nastaví signál CNT\_CLK\_EN na log. 0 a nastaví signál VLD na log. 1. Na sledující hodinový signál přechází do úvodního stavu IDLE a nastaví VLD na log. 0.

### 3. Snímek obrazovky v moment simulací

