

# 次世代不揮発性メモリ —ノーマリーオフコンピュータはできるか？—



産総研

安藤功兒

ando-koji@aist.go.jp

MRAM、スピニRAM(STT-MRAM)

## コンピュータが熱い！



～90枚のスライド使用 (90分講演).

このスライドを用意するためにPCは  
どのくらい働かなければならないか？

<1秒！

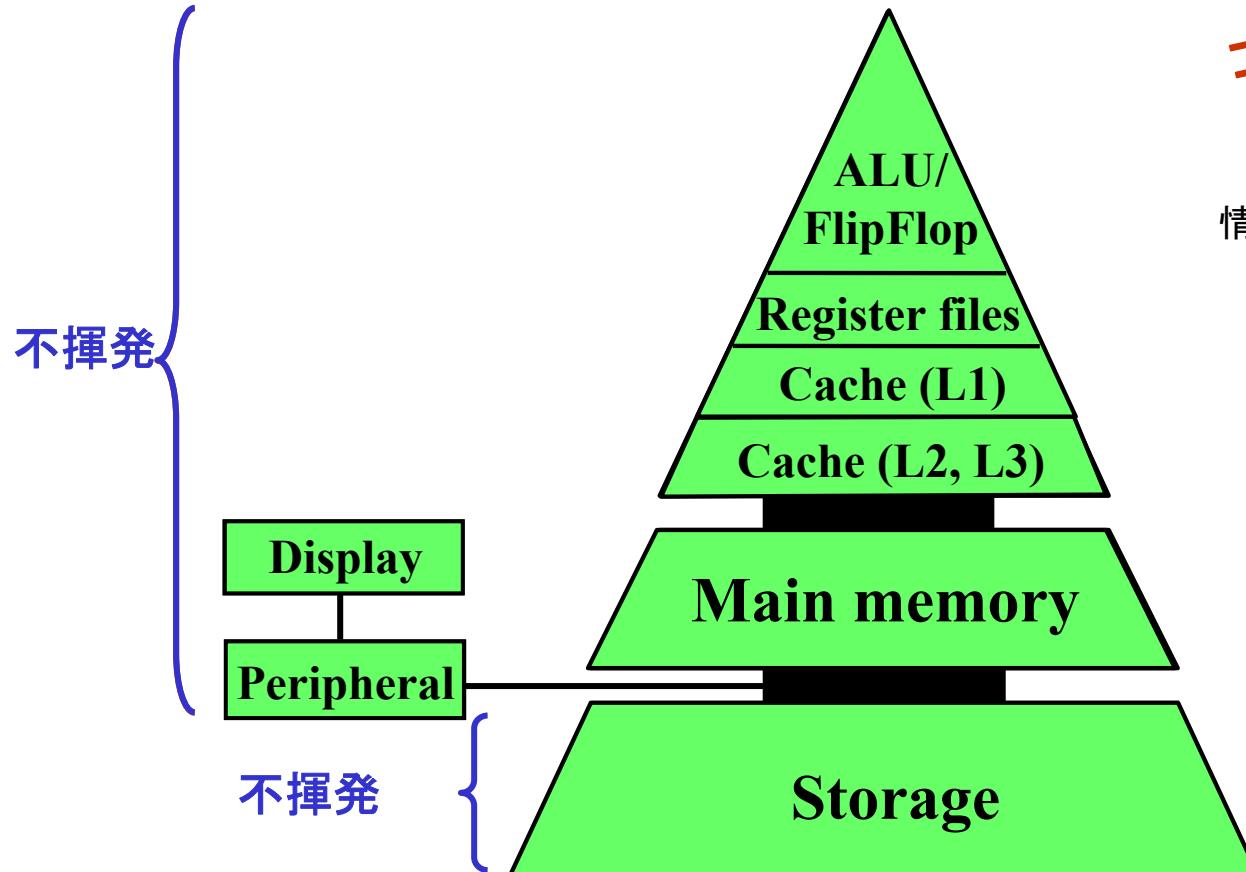
PCは5400秒のうち、1秒しか働いていない。

意味のないエネルギーの浪費！

タイピング1回に数100ミリ秒.

意味のないエネルギーの浪費！





## Compute Architecture

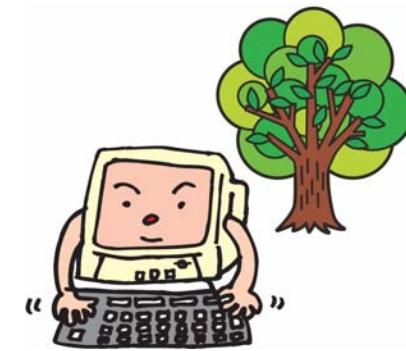
コンピュータが熱い！

情報保持のために常に電源が On

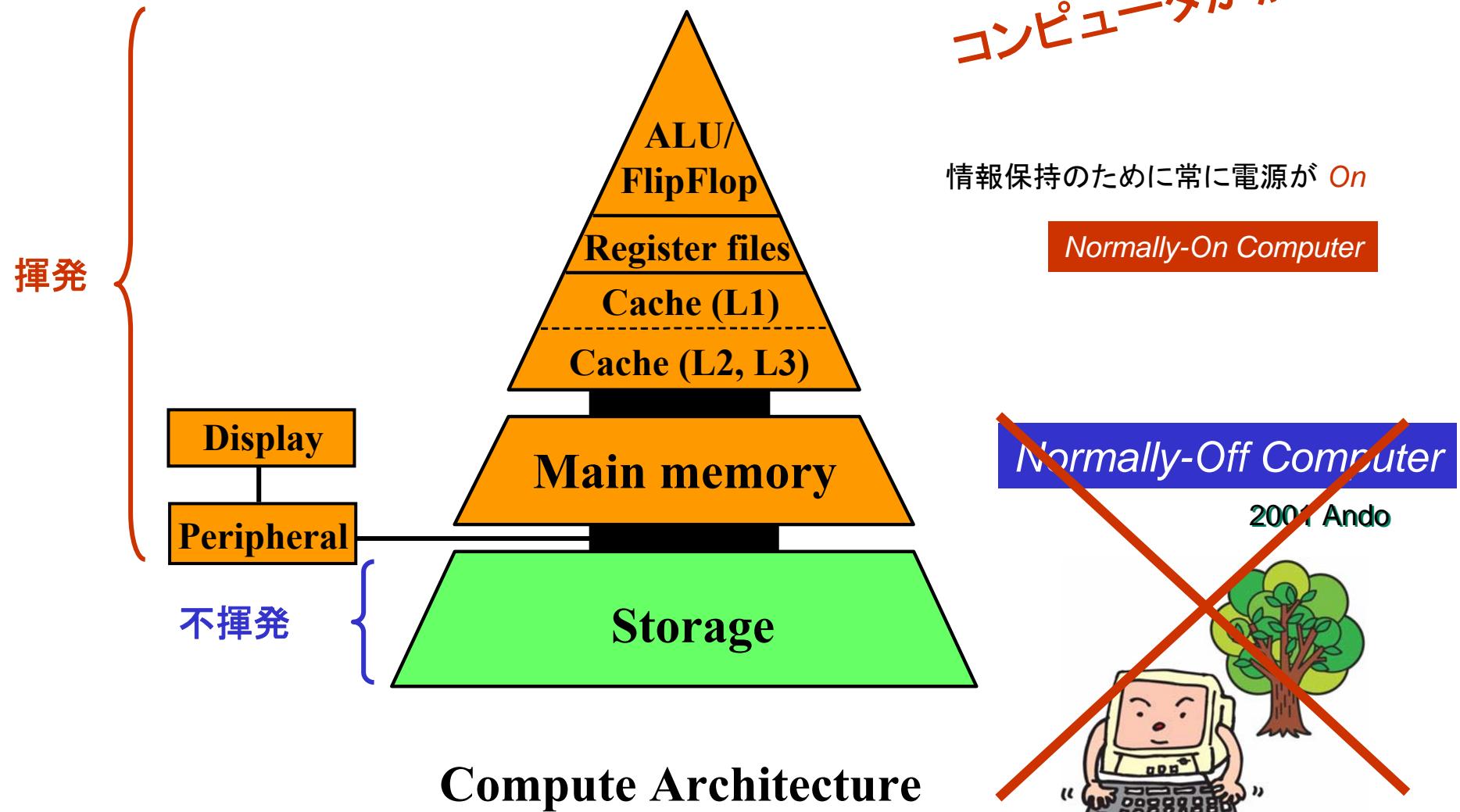
*Normally-On Computer*

*Normally-Off Computer*

2001 Ando



# 提案から10年以上が経ったが・・・



困った！ メモリはプロセッサに比べてとても遅い！

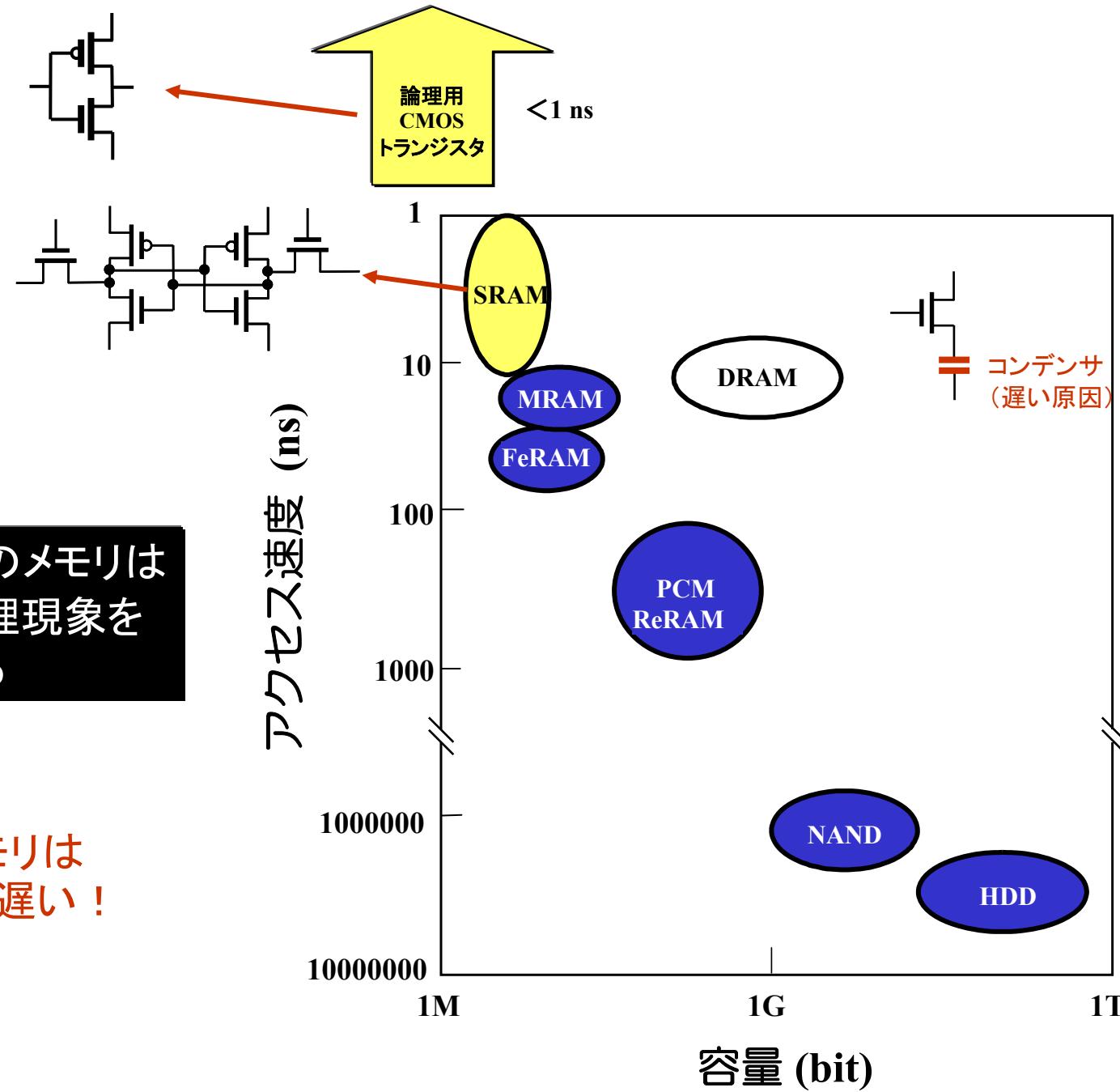
プロセッサとメモリの性能向上の比較

この30年間の進歩

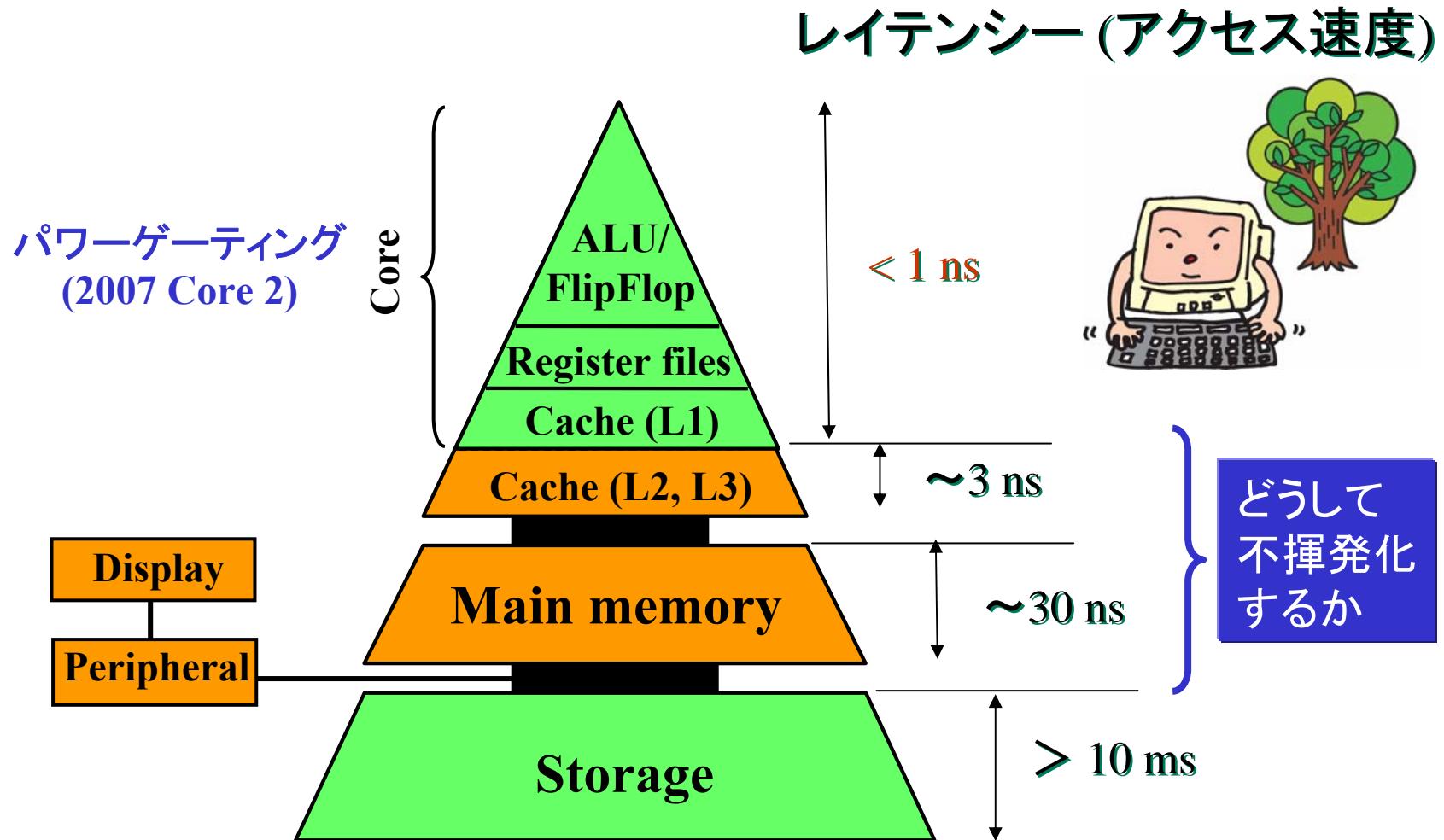
プロセッサ ⇒ ~20,000倍  
メモリ ⇒ 10倍以下

Hennessy and Patterson, *Computer Architecture: A Quantitative Approach*

トランジスタだけで構成されているから速い



# ノーマリーオフコンピュータ実現への道

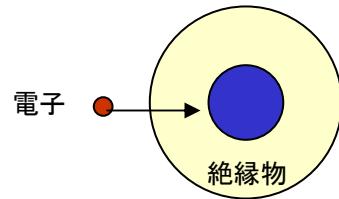


Compute Architecture

**多様な不揮発性デバイス**

# 不揮発性現象とデバイス

電荷の閉じ込め：フラッシュメモリ



高電圧( $\sim 20V$ )で  
書き込む

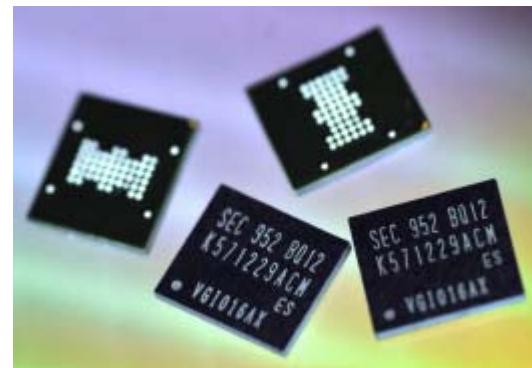
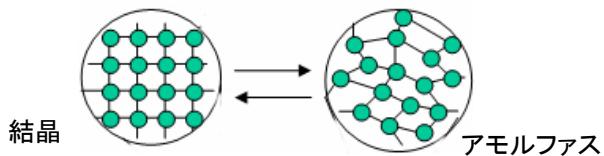


大容量=安い

遅い ( $10 \mu s \sim 10 ms$ )  
壊れる ( $10^5$ 回程度)

# 不揮発性現象とデバイス

## 原子配列の変化: PRAM、ReRAM



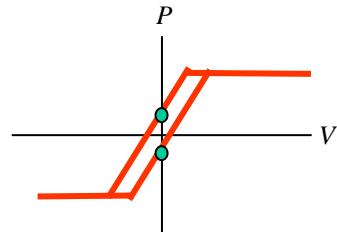
まあ大容量 (512Mb以上)  
NANDより速い(10ns～100ns)  
NANDより書換回数多い  
( $10^8$ ～ $10^{13}$ 回程度)

(Samsung Press Releaseから)

ワークメモリ用途には書換回数が不足 ← 原子が動く

# 不揮発性現象とデバイス

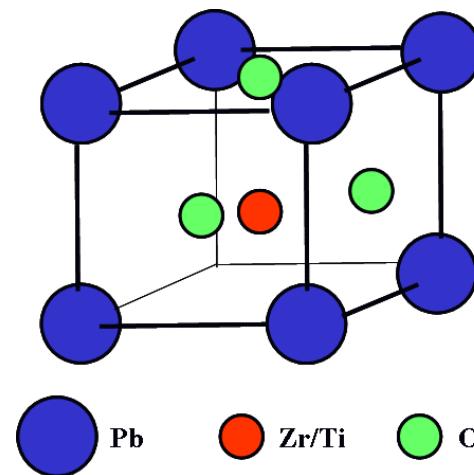
強誘電: FeRAM



(RAMTRONのHPから)

速い(数ns～100ns)  
書換回数多い( $10^{14}$ 回程度)

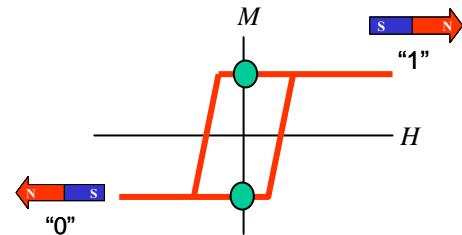
容量少ない (4Mb)  
ワークメモリ用途には書換回数が不足



強誘電現象 = 原子の移動

# 不揮発性現象とデバイス

強磁性: MARM、HDD



速い(数ns～50ns)

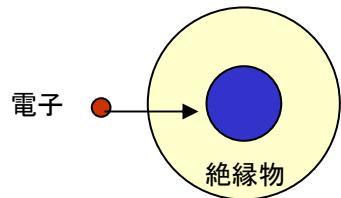
書換回数は無限回

原子の動きが無い！

容量少ない(MRAMで16Mb)

# 不揮発性現象とデバイス

電荷の閉じ込め: フラッシュメモリ

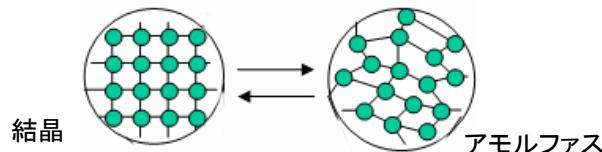


大容量

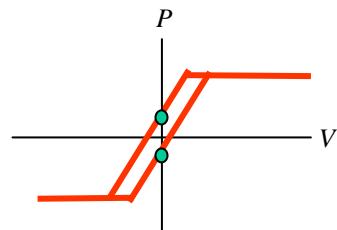
遅い、壊れる



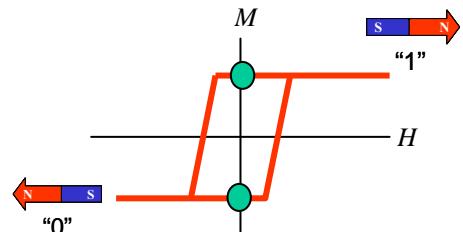
原子配列の変化: PRAM、ReRAM



強誘電: FeRAM



強磁性: MARM、HDD

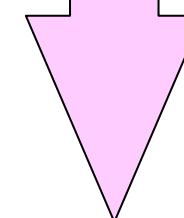
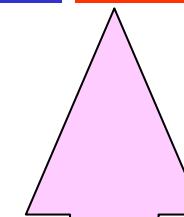


小容量

速い、壊れない



13

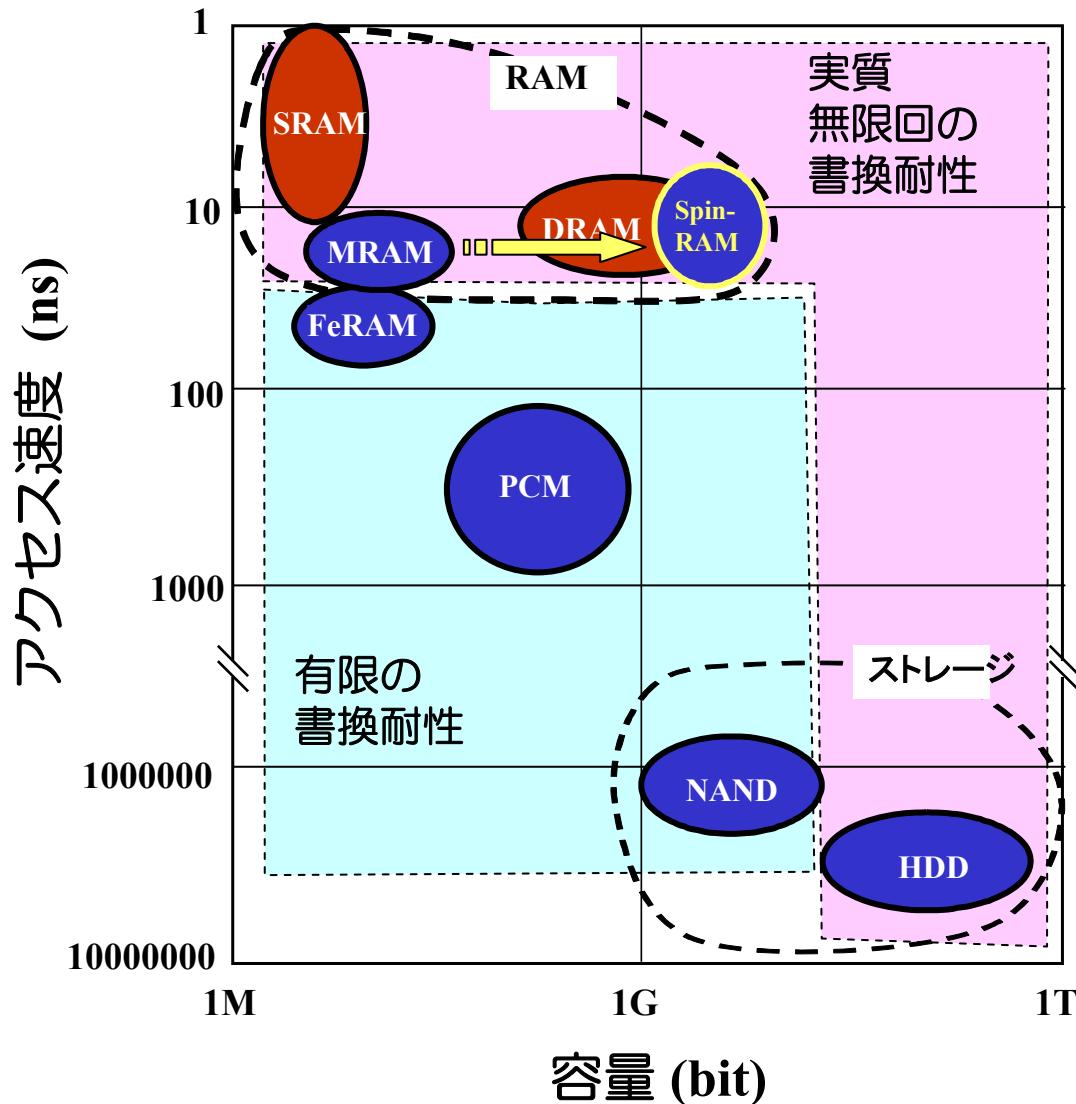


## 各種メモリの代表的な特性

	大容量化	読み出し時間	書き込み時間	データ消去動作	書き換え回数
DRAM	○	50 ns	50 ns	不要	無制限
SRAM	×	1-80 ns	1-80 ns	不要	無制限
MRAM	△	数 ns – 50 ns	数 ns – 50 ns	不要	無制限
FeRAM	△	数 ns – 100 ns	数 ns – 100 ns	不要	10 <sup>14</sup> 以上
PCM	○	20 ns – 80 ns	100 ns	-	10 <sup>13</sup> 以上
ReRAM	○	10-100 ns	10-100 ns	不要	10 <sup>8</sup> 以上
フラッシュ メモリ	◎	50 ns(シリアル) 25 μs(ランダム)	30 ms/64kB	必要	10 <sup>5</sup>

(NEDO電子・情報技術分野 技術ロードマップ 2011を元に作成)

# 市販メモリ・ストレージの特徴



ワークメモリとしては  
MRAMが魅力的

問題は大容量化



# MRAM

—磁性体( спин )を使う不揮発性メモリー

**磁気コアメモリ**  
( 1950年代から )  
*still in Space ?*

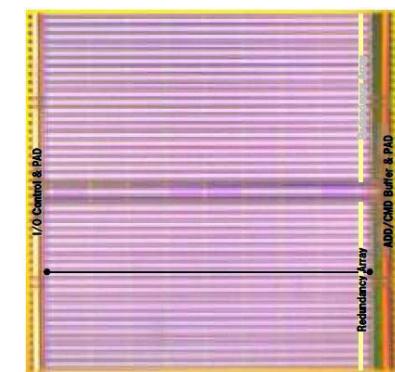
~ 1Mbit

**MRAM**  
(Everspin)  
**量産中**

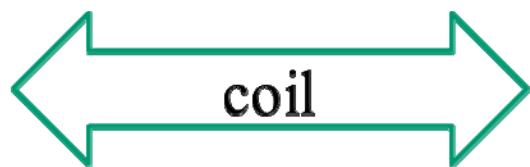
~ 16 Mbit

**スピンRAM**  
(東芝)  
量産プロセス開発中

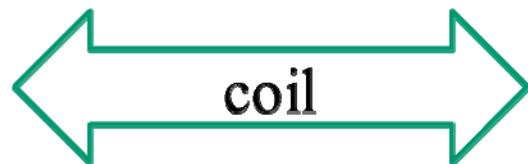
*超Gbit*



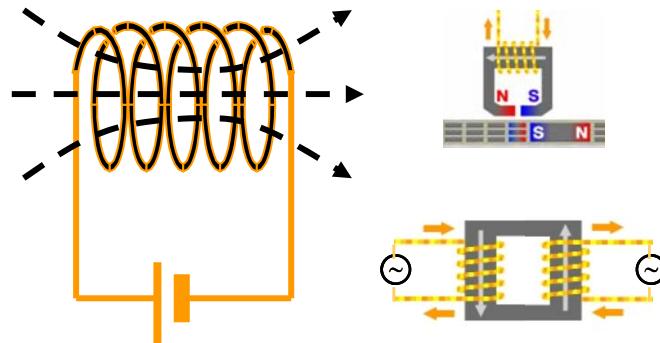
読む



書く



## なぜ今、スピントロニクスなのか？

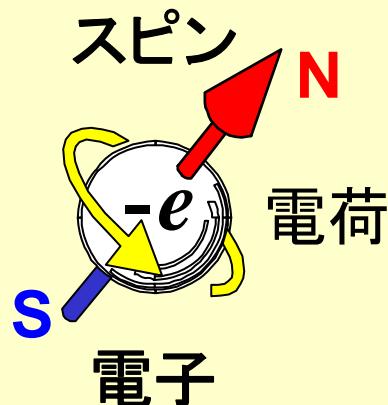


### 従来の磁気一電気結合技術

スピントと電荷の結合には、コイルで  
磁場を発生する電磁誘導を利用  
(極めて低効率)

### ナノテクの進歩

古典電磁気学から量子力学へ



### スピントロニクス

量子力学を用いて  
スピントと電荷の直接的結合が可能に  
(極めて高効率)

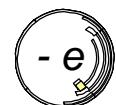
パラダイムシフトが起きている

コイルを追い出せ！

スピント = 究極の微小磁石

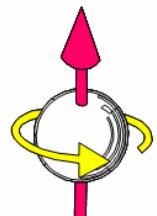
## スピントロニクス

エレクトロニクス : 運動量 $\leftrightarrow$ 電界



電子(電荷)を空間移動

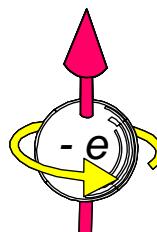
磁気工学 : 角運動量 $\leftrightarrow$ 磁界



電子 спинの向き



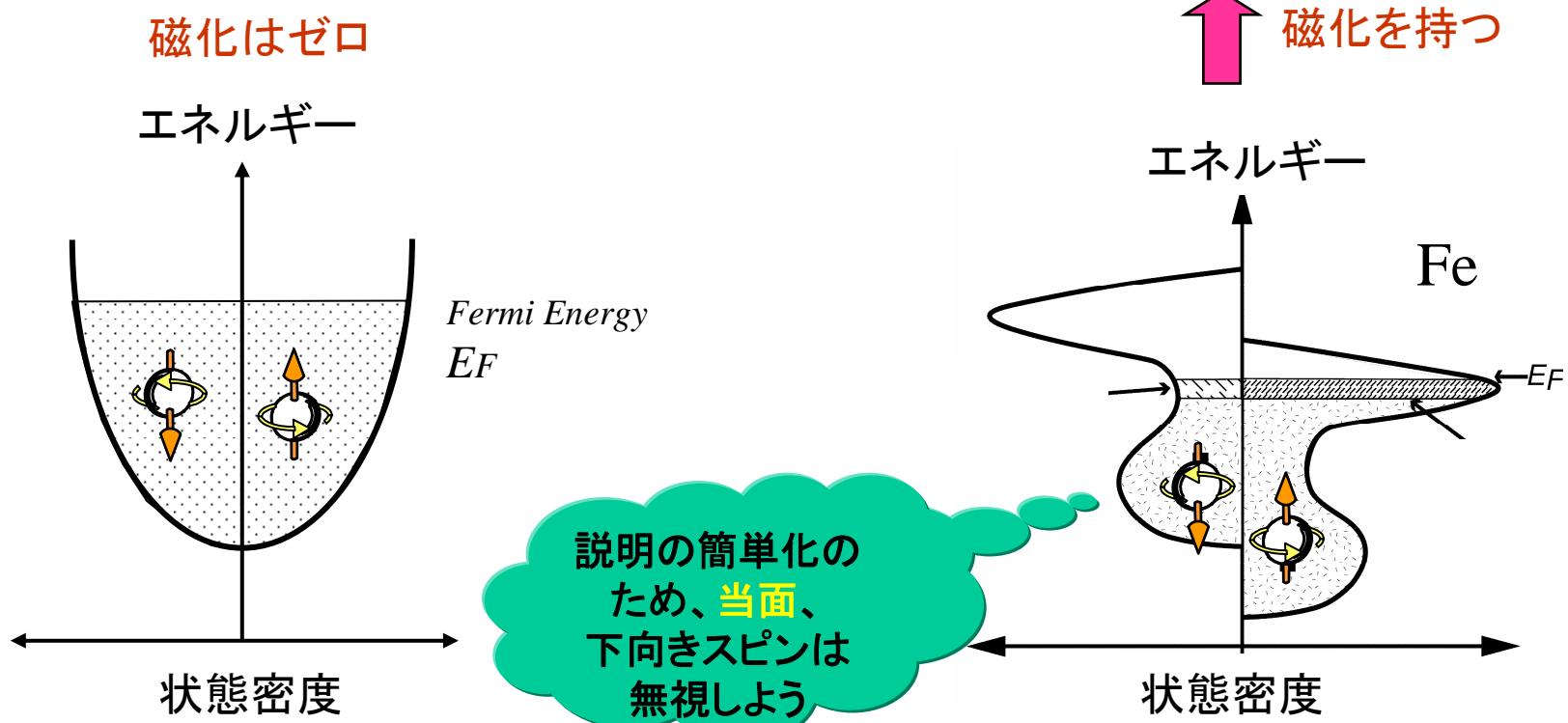
スピントロニクス : 角運動 & 運動量 $\leftrightarrow$ 電流・電界



電子 спинの向きと、電子(電荷)の空間移動

# 磁性体の特徴は、電子状態がスピンに依存すること

電子のスピンは上向き(↑)または下向き(↓)のいずれか。

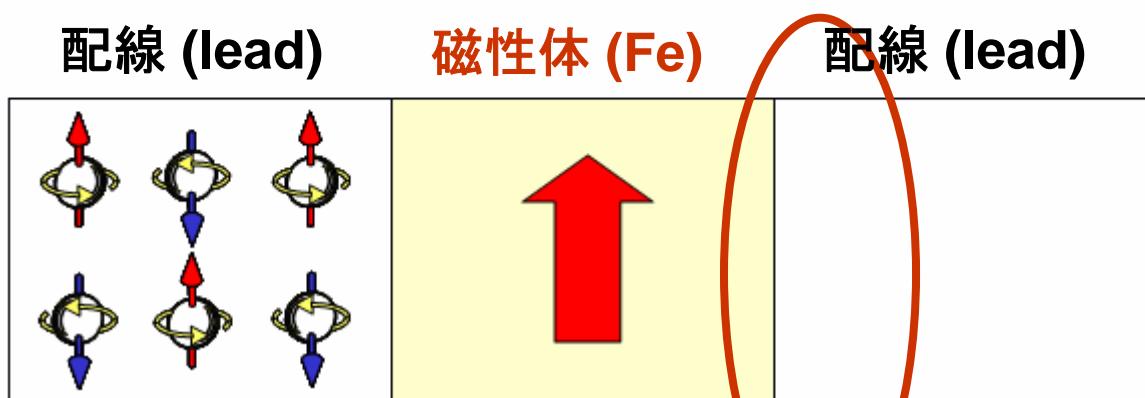
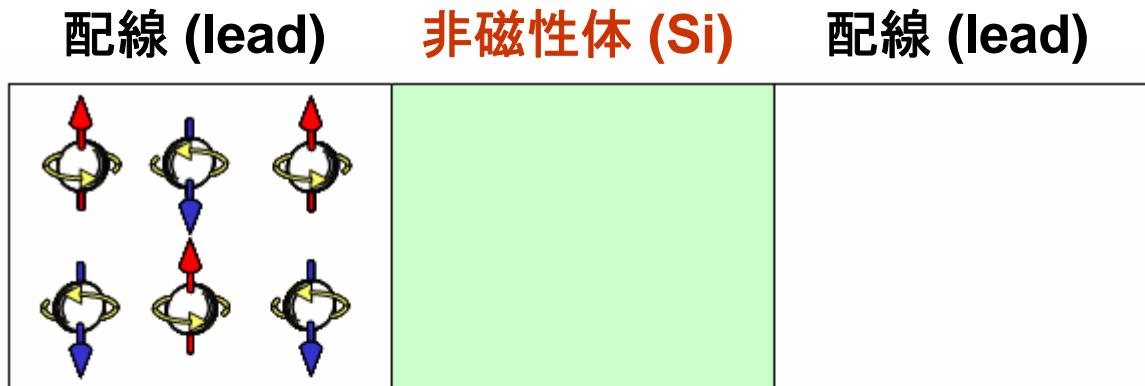


**非磁性体**  
スピンに依存しない電子状態

**磁性体**  
スピンに依存する電子状態

スピン偏極

# スピン情報と電気情報の変換＝磁気伝導特性



スピン偏極効果はナノサイズで顕在化

スピン注入

磁性体中を流れる電子は  
スピン偏極する

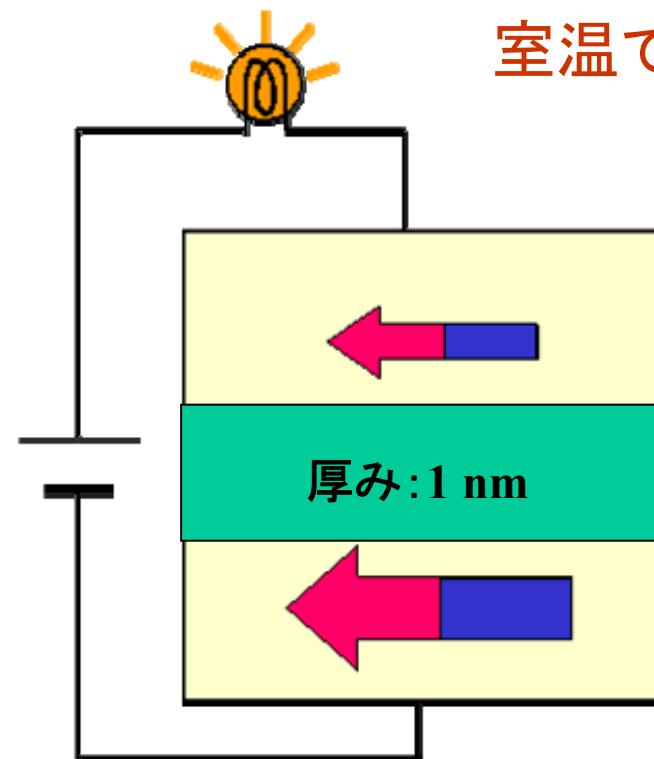
スピン自由度の  
利用が可能に

スピン拡散長  
(スピン方向が保たれる長さ)

Fe, Co :  $\lambda_s \sim 10 \text{ nm}$   
Cu :  $\lambda_s \sim 1000 \text{ nm}$  21

# 1985年 巨大磁気抵抗効果 (GMR)の発見

スピン(磁化)の向きで電気抵抗が変わる(MR比)！



室温で～1%の変化

磁石の薄膜  
(Fe)

非磁性金属  
(Cr)

磁石の薄膜  
(Fe)



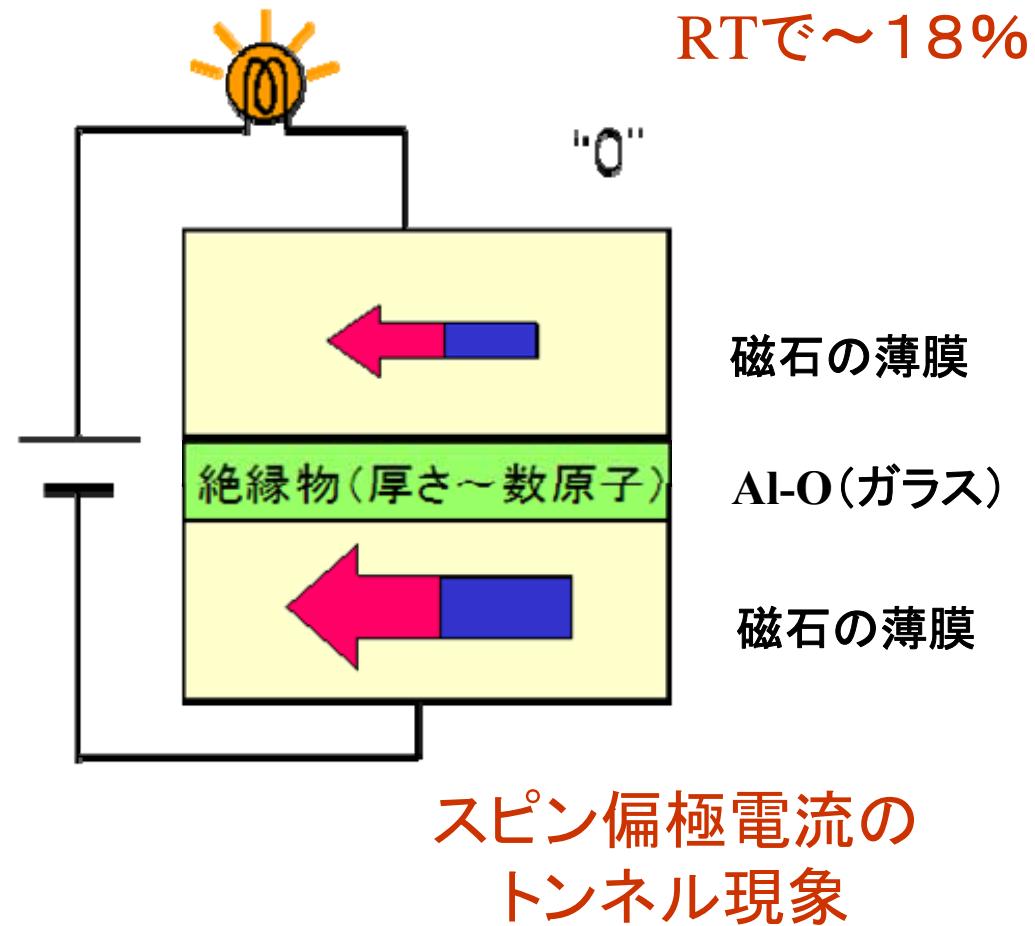
Dr.Gruenberg Prof. Fert

2007年  
ノーベル物理学賞

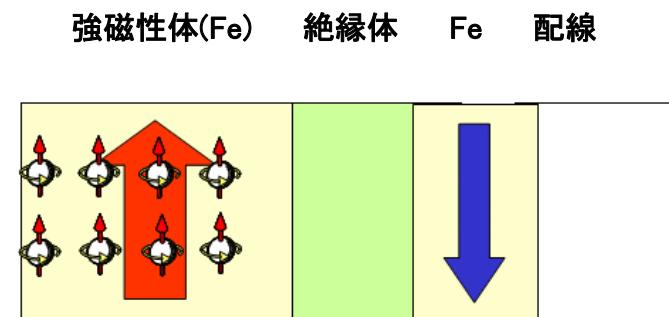
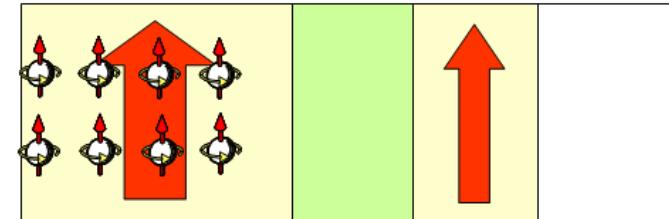
コイルを使用しないで、電気的に  
スピン(磁石)の向きを読めた。

# 磁気トンネル接合 (MTJ) の磁気抵抗 (TMR) 効果

スピニ(磁化)の向きで電気抵抗が変わる！



1994年 TMR効果の発見  
(東北大 宮崎)

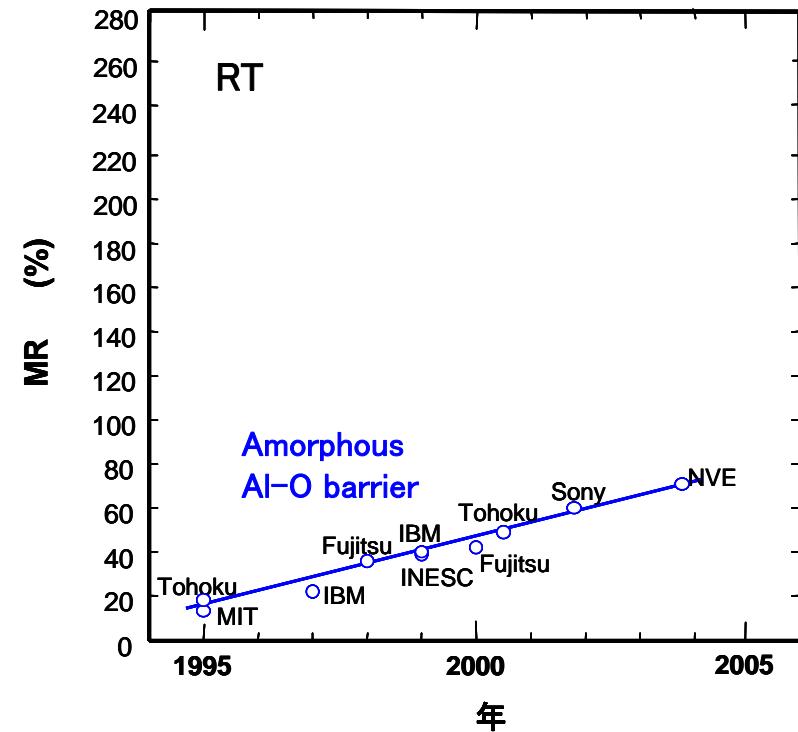
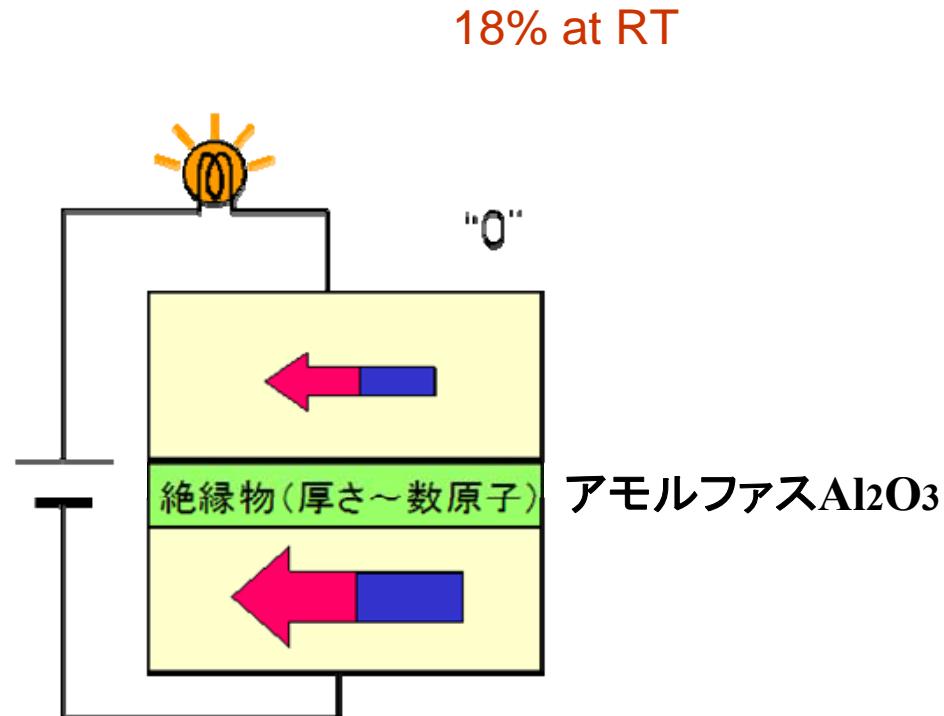


電気的にスピニの向きを読める。(コイルを使用しない)

# トンネル磁気抵抗(MTJ)素子のTMR効果

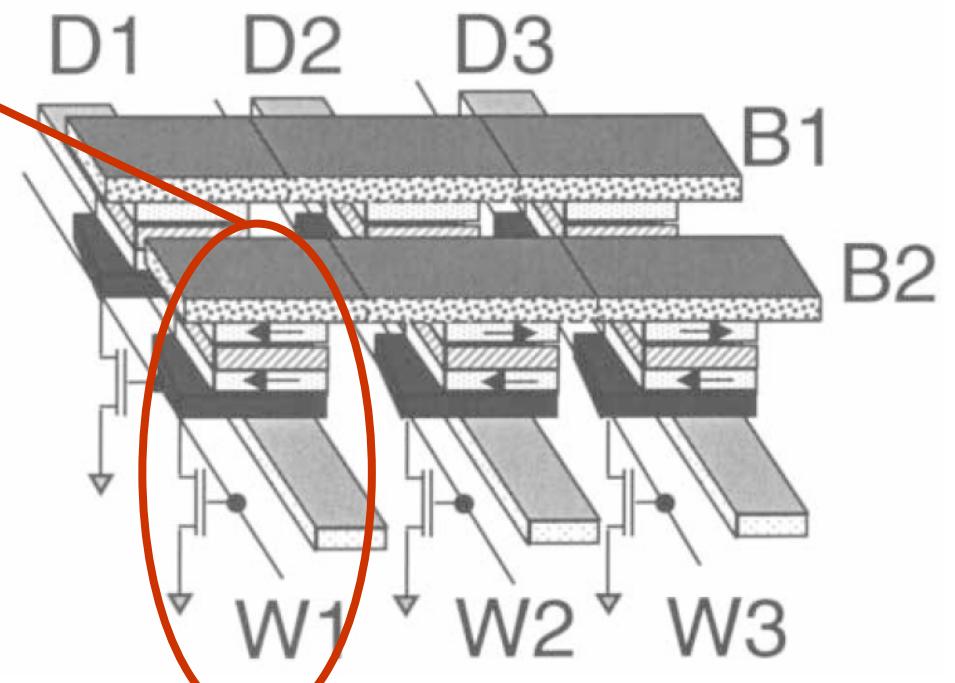
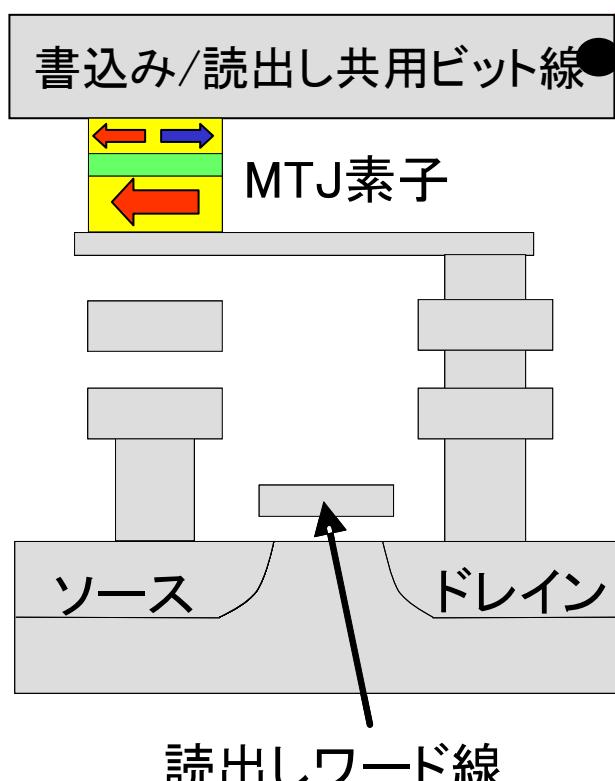
1994 室温TMR効果  
宮崎(東北大)  
Moodera (MIT)

$$MR = \frac{R(AP) - R(P)}{R(P)} = \frac{R(\uparrow\downarrow) - R(\uparrow\uparrow)}{R(\uparrow\uparrow)}$$



# MRAM

電流で磁化方向(情報)を  
読み出す



Durlam et al.(Motorola) ISSCC 2000

# MRAM(市販品)

Motorola ⇒ Freescale ⇒ Everspin

2006年 MRAM量産開始

容量: 256kb～16Mb  
動作温度: −40°C～125°C  
(150°Cでも動作)

## 【応用】

工業用コントローラー  
RAIDコントローラ  
SSD用キャッシュ  
宇宙ロケット(JAXA)  
航空機(Airbus A350)  
競技用オートバイ(BMW)  
ニューロンチップ

The screenshot shows the homepage of Everspin Technologies. At the top, there's a navigation bar with links for HOME, FEEDBACK, CONTACT US, and CAREERS. Below that is a search bar with placeholder text "Enter Everspin or Competitor Part # Enter Part Number" and a SEARCH button. The main header features the company logo "EVERSPIN TECHNOLOGIES The MRAM Company™" and the tagline "Everspin Technologies - The MRAM Company". Below the tagline, it says "Delivering the Industry's Fastest Non-Volatile Memory" and lists four bullet points: "Unlimited endurance", "Unmatched reliability", "10 year+ data retention", and "Parallel and serial interface". There are two blue buttons at the bottom left: "Toggle MRAM" and "Spin-Torque MRAM". To the right, there's a 3D rendering of an MRAM chip with a red and orange pattern, set against a background of blue and green energy waves. On the left side of the main content area, there's a "PRODUCTS" section with a thumbnail of a black MRAM chip labeled "16Mb MRAM FAST NON-VOLATILE MEMORY" and a "Show All Products" link. In the center, there's a "LATEST NEWS" section with a list of recent articles and a "Link to Everspin's latest information." On the right, there's an "ANNOUNCEMENTS" section with a headline about qualifying 256kb and 1Mb SPI MRAM products to AEC Q-100 Grade 1 requirement. At the bottom, there's a copyright notice: "Copyright © 2008-2011 Everspin Technologies, Inc. - 1347 N. Alma School Road, Suite 220 Chandler, AZ 85224 - Tel: 480-347-1111 - e-mail: contact@everspin.com".

**磁気コアメモリ**  
( 1950年代から )  
*still in Space ?*

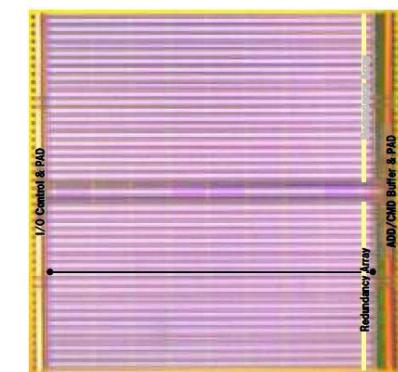
~ 1Mbit

**MRAM**  
(Everspin)  
**量産中**

~ 16 Mbit

**スピンRAM**  
(東芝)  
量産プロセス開発中

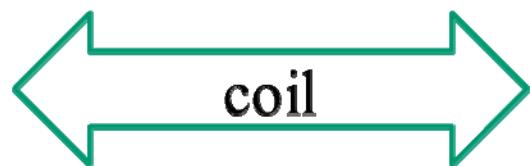
超Gbit



読む



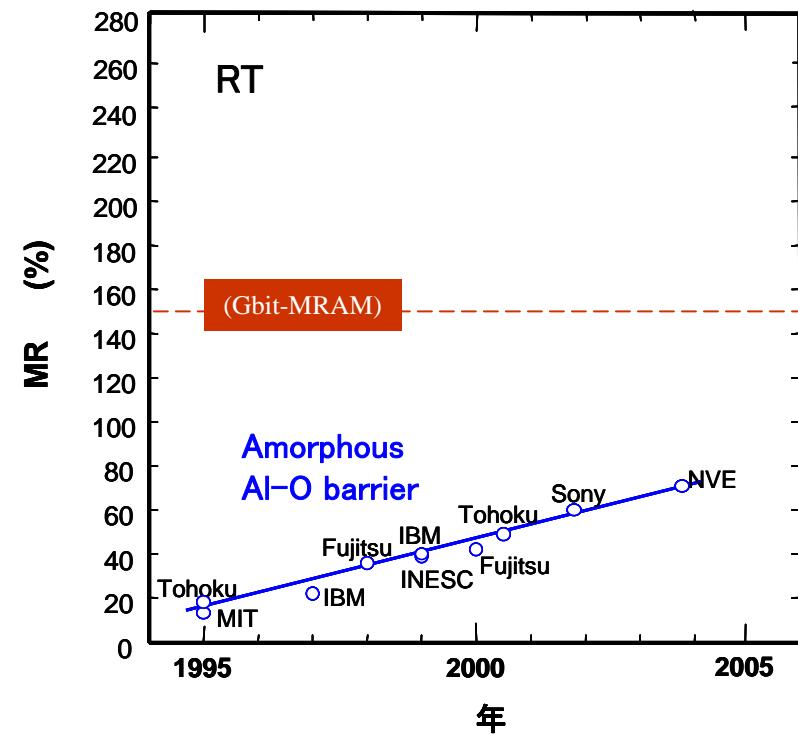
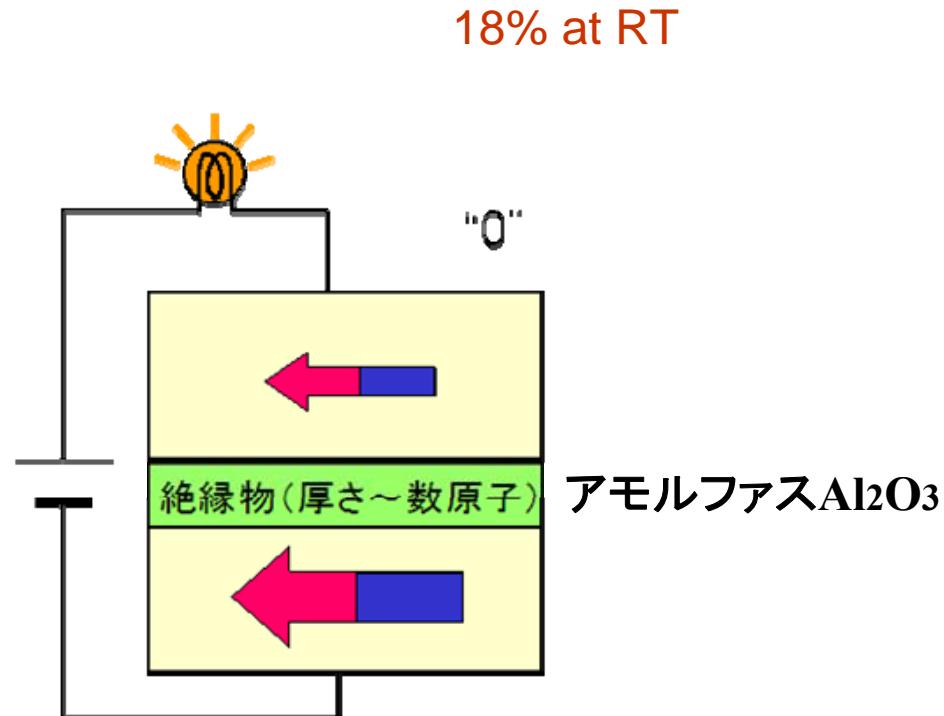
書く



# トンネル磁気抵抗(MTJ)素子のTMR効果

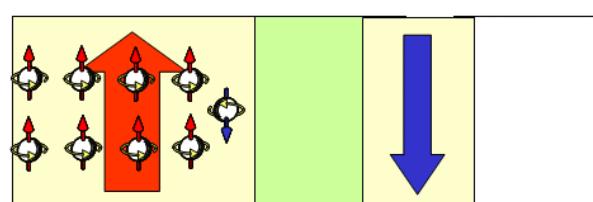
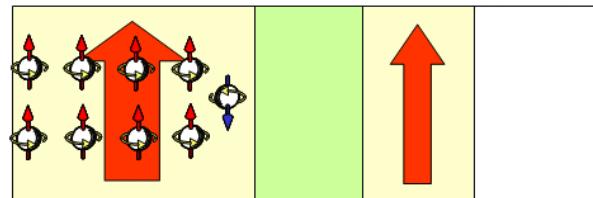
1994 室温TMR効果  
宮崎(東北大)  
Moodera (MIT)

$$MR = \frac{R(AP) - R(P)}{R(P)} = \frac{R(\uparrow\downarrow) - R(\uparrow\uparrow)}{R(\uparrow\uparrow)}$$

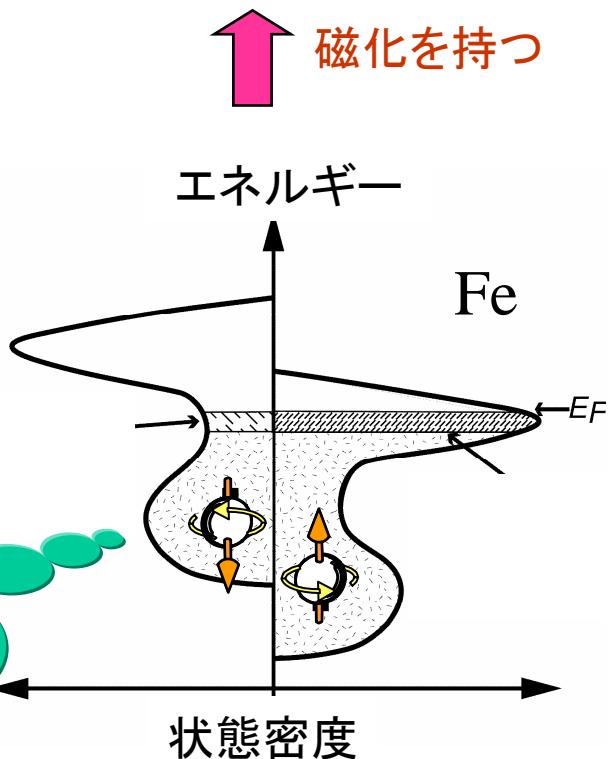


# 磁性体の特徴は、電子状態がスピンに依存すること

電子のスピンは上向き(↑)または下向き(↓)のいずれか。



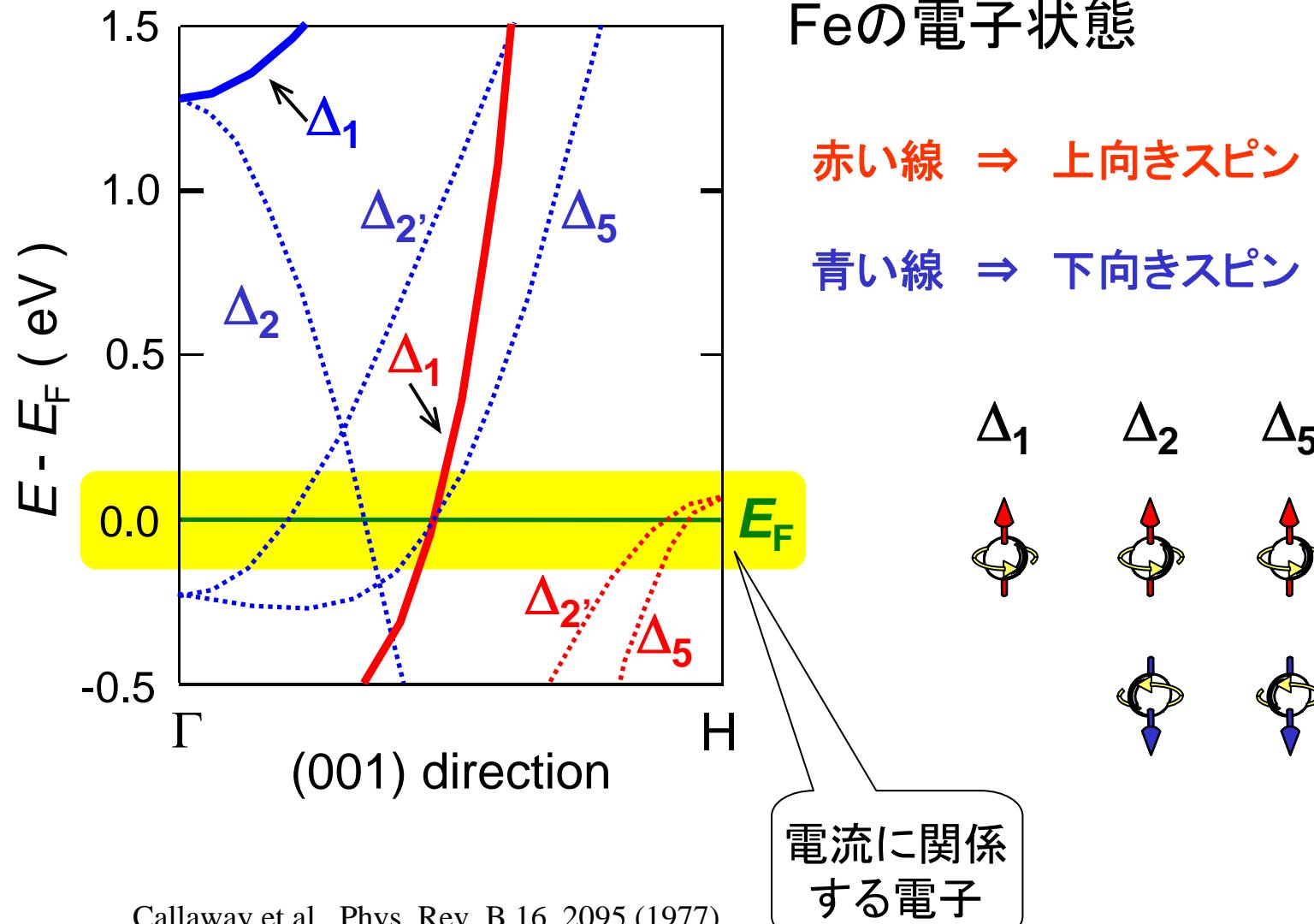
説明の簡単化のため、下向きスピ  
ンは無視しよう



磁性体  
スピンに依存する電子状態

スピン偏極

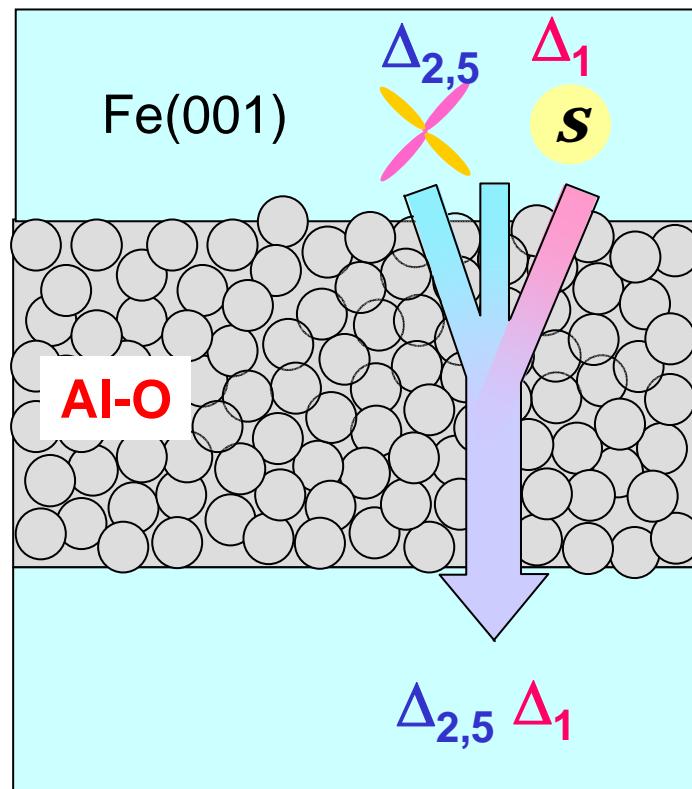
# 下向き спинも存在する



## トンネル障壁層の対称性

### アモルファス Al-O 障壁

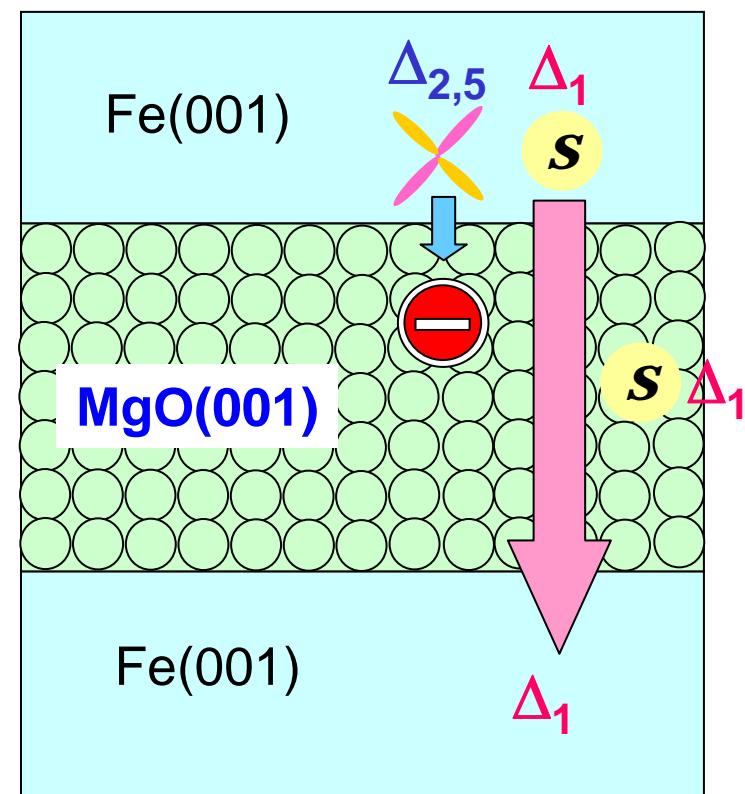
対称性が無い



すべての対称性の電子が  
トンネル

### 単結晶MgO(001) 障壁

4回対称性



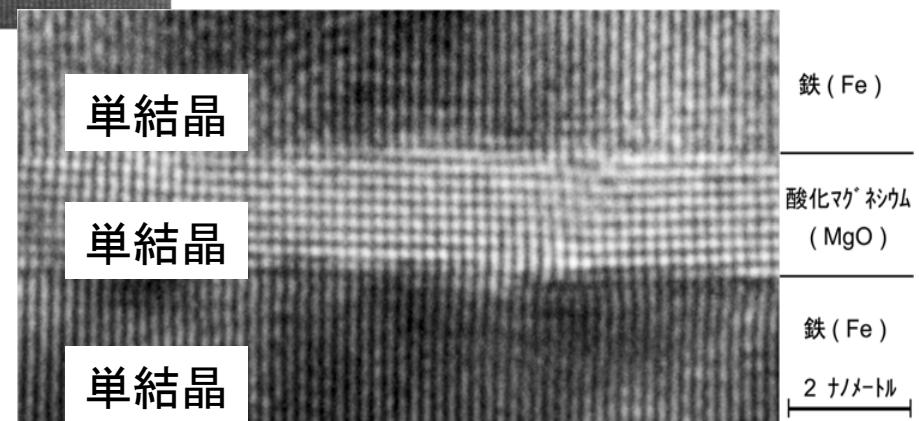
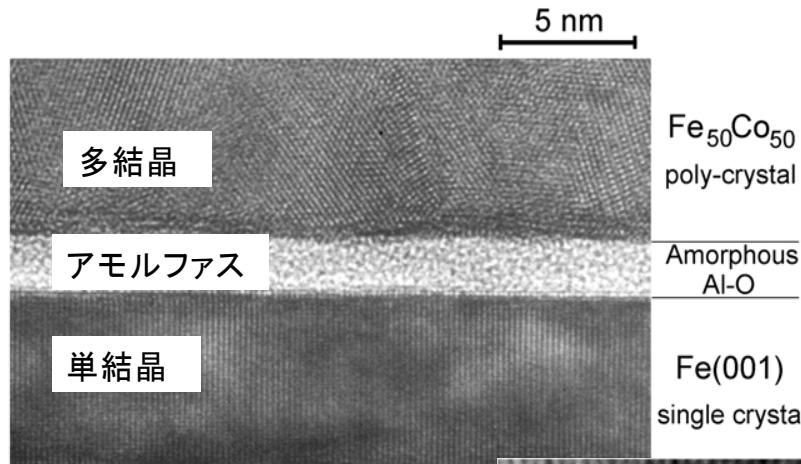
$\Delta_1$ 対称性の電子だけが  
トンネル

Butler(米国, 2001年)の理論予測

# 完全単結晶TMR素子を作る

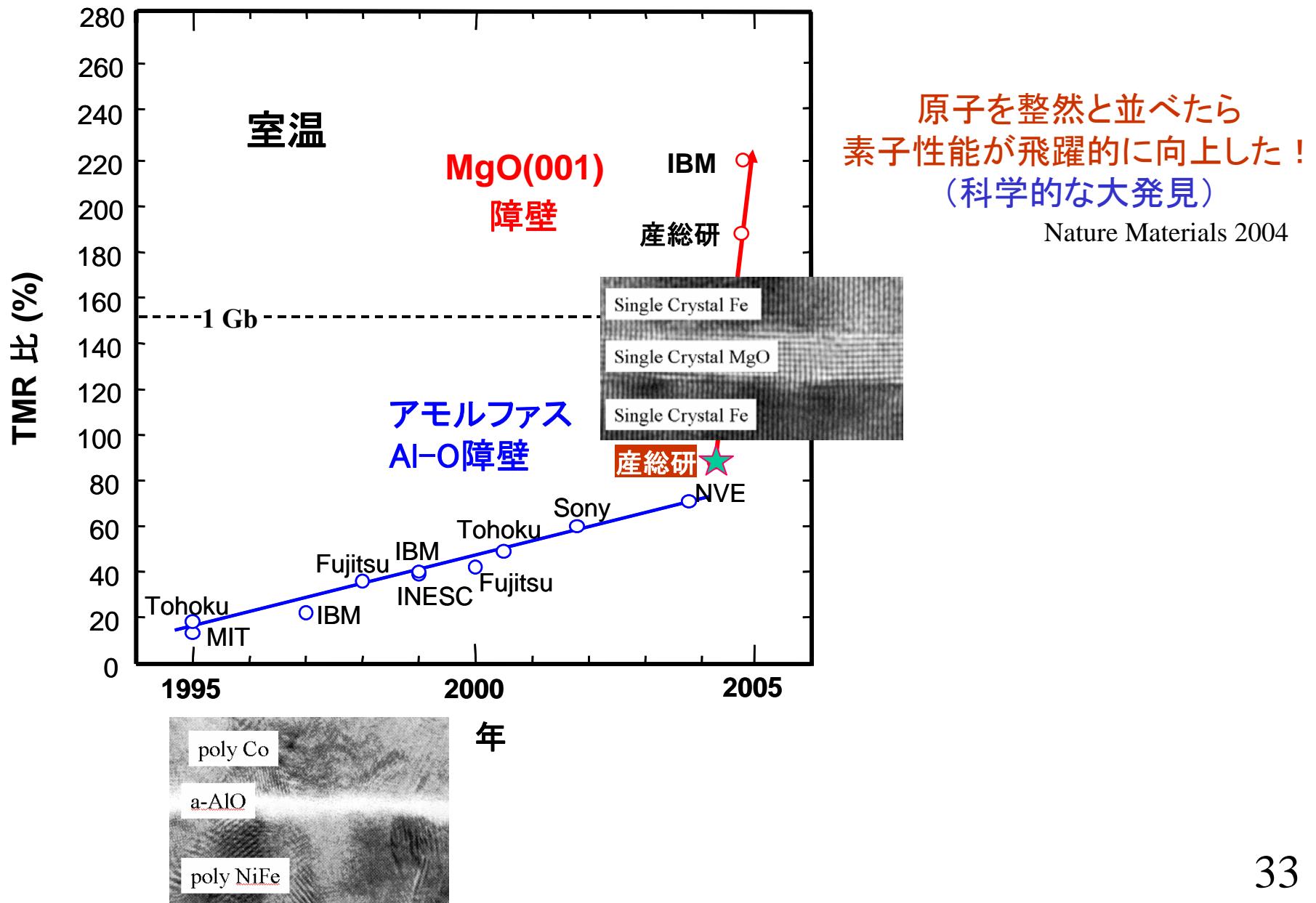


電子顕微鏡写真で原子を見る

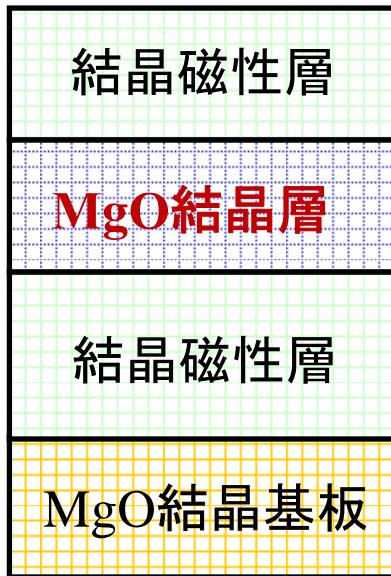


S.Yuasa et al., Nature Materials 3, 868 (2004).

# MgO-MTJ素子: スピントロニクス技術の核



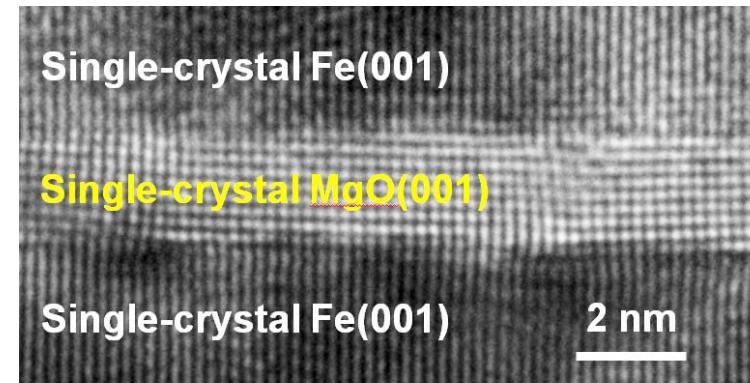
## 完全单結晶 Fe/MgO/Fe MTJ



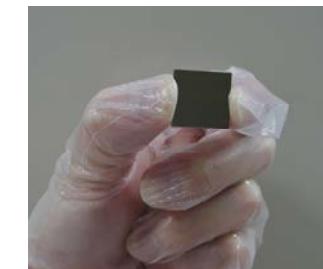
bcc (001)

NaCl-type  
(001)

bcc (001)



MBE



2 x 2 cm substrate  
(single-crystal MgO(001))

TEM Image

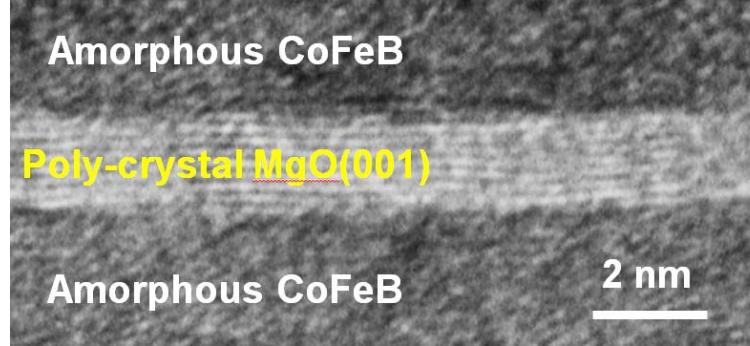
Yuasa *et al.*, Nature Materials 3, 868 (2004)

## 量産 → Si 基板 + スパッタ装置

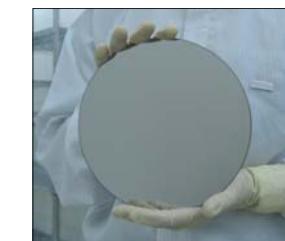


NaCl (001)

← アモルファス



sputter



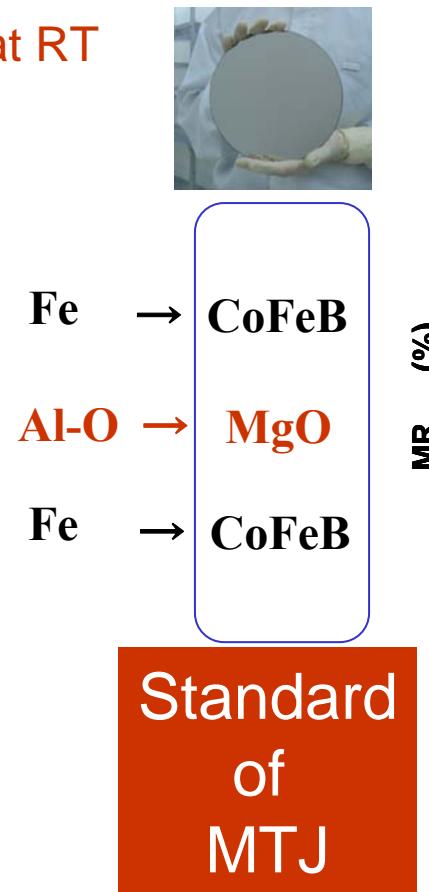
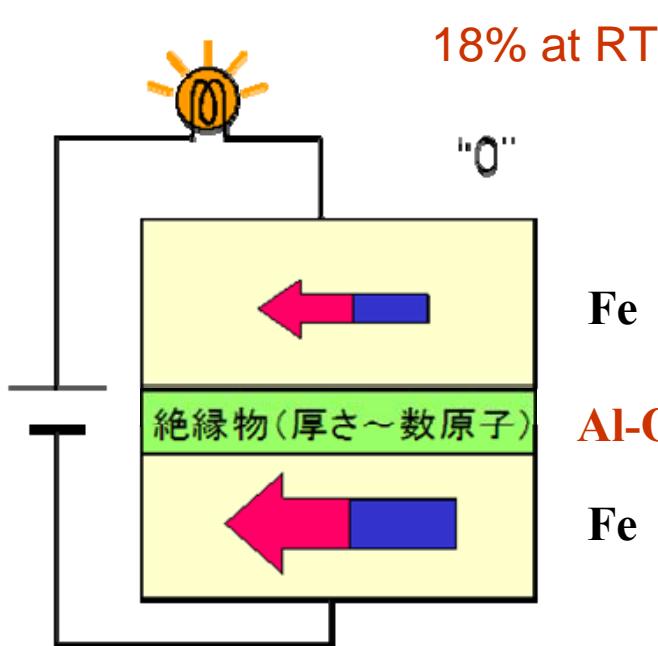
8 inch substrate  
(thermally oxidized Si)

TEM Image

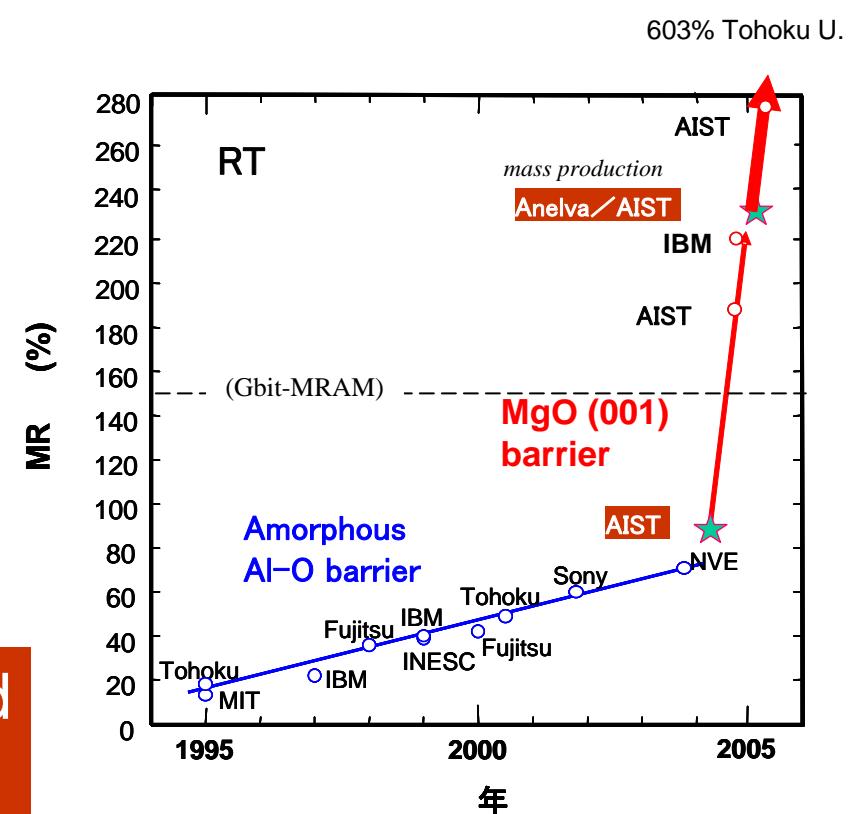
Anelva + AIST, Appl. Phys. Lett., 86, 092502 (2005). 34

# TMR effect of Magnetic Tunnel Junction (MTJ)

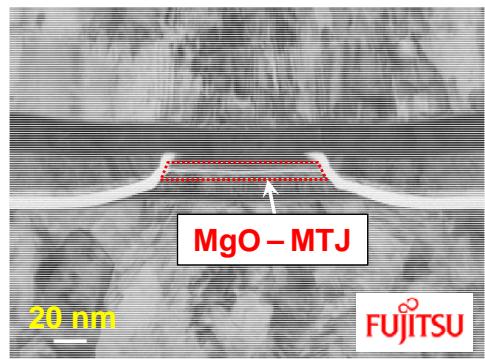
1994 RT-TMR effect  
Miyazaki (Tohoku)  
Moodera (MIT)



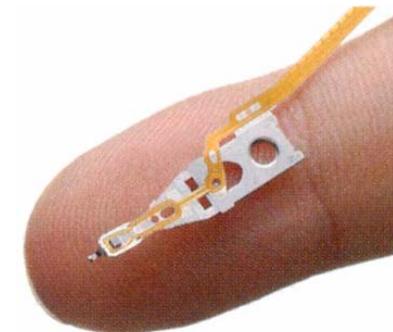
2004 MgO-MTJ  
Yuasa (AIST)  
Parkin (IBM)



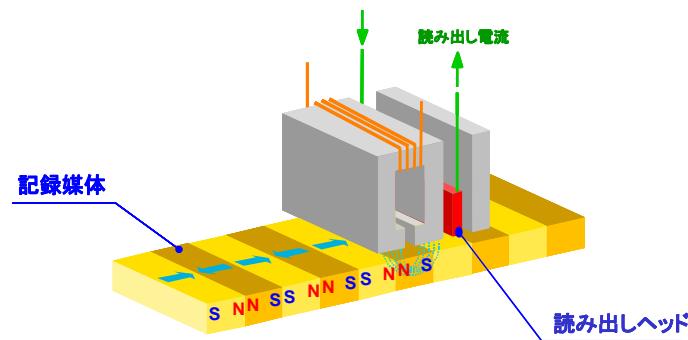
現在市販されている世界中のハードディスクは  
CoFeB/MgO/CoFeB-MTJ素子を使用している



TEM image of MgO-TMR head  
(Fujitsu)



MgO-TMR head  
(TDK)



**磁気コアメモリ**  
( 1950年代から )  
*still in Space ?*

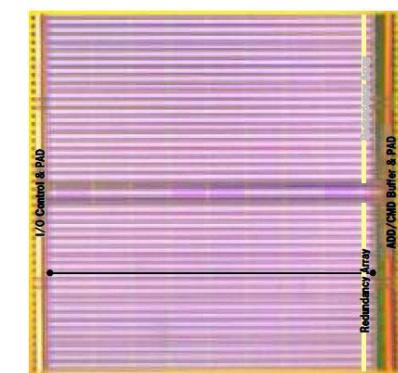
~ 1Mbit

**MRAM**  
(Everspin)  
**量産中**

~ 16 Mbit

**スピンRAM**  
(東芝)  
量産プロセス開発中

*超Gbit*



読む

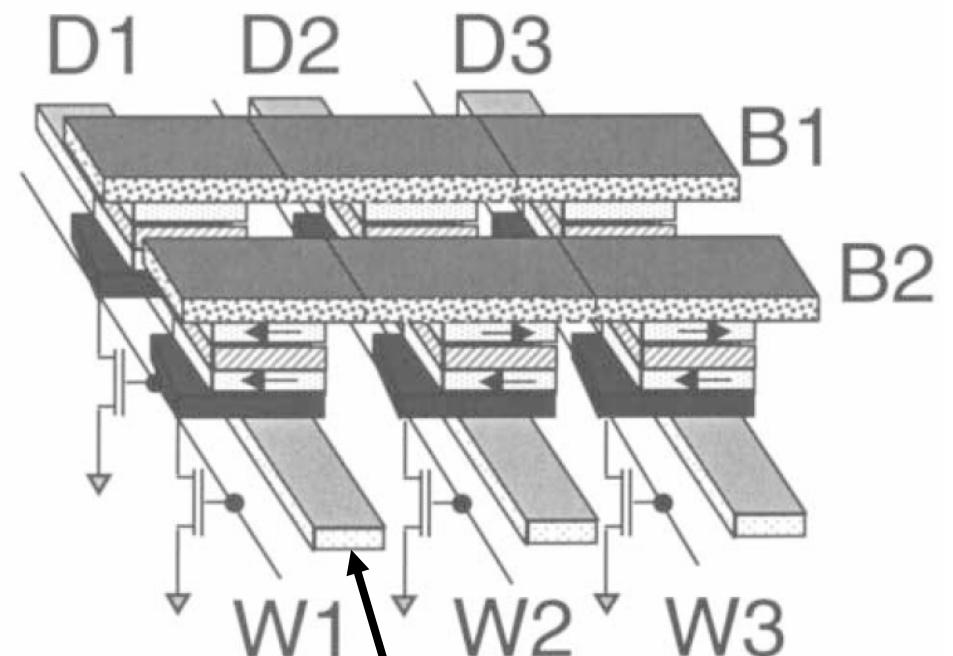
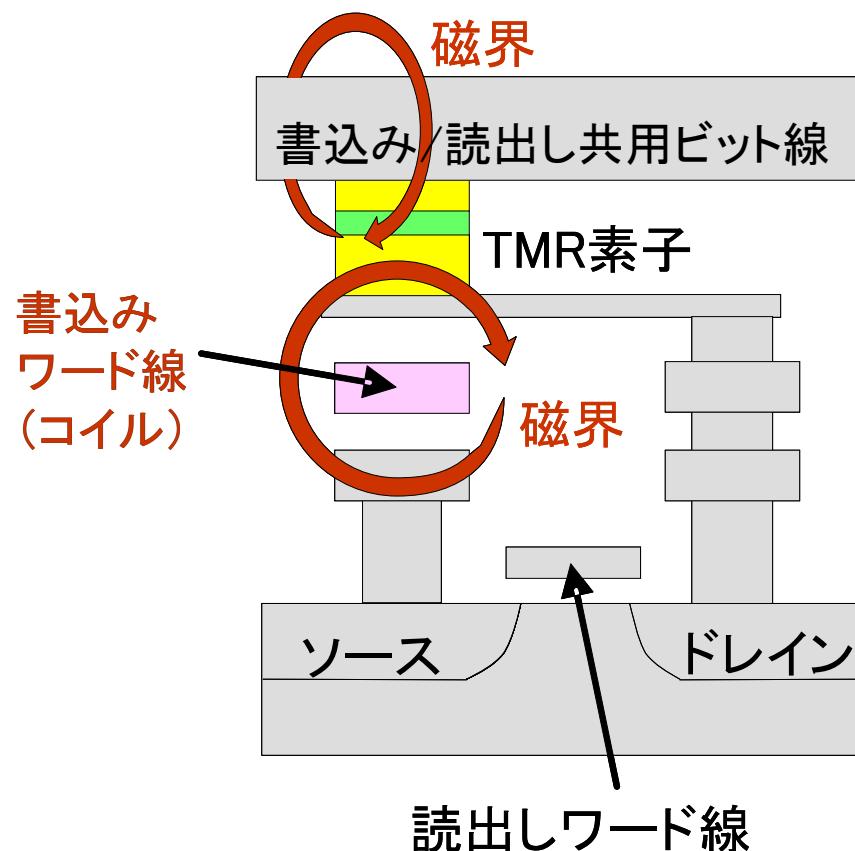
coil

スピントロニクス (Q.M.)

書く

coil (E.M.)

# MRAM



Durlam et al.(Motorola) ISSCC 2000

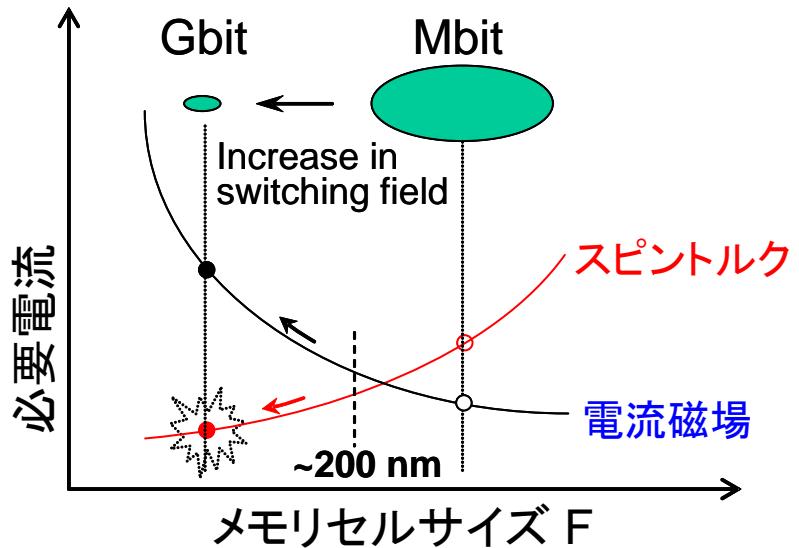
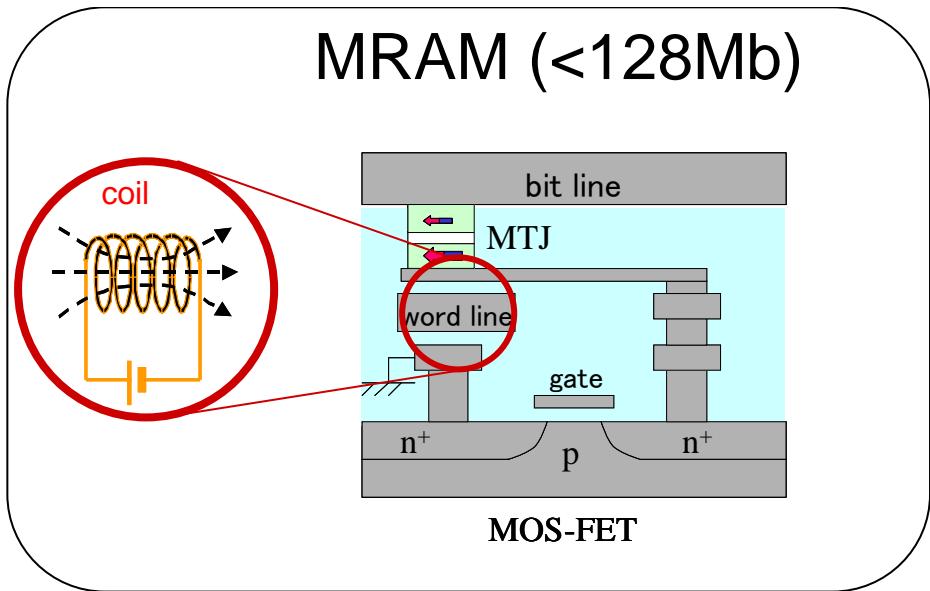
書き込み  
ワード線  
(コイル)

# MRAMからスピニRAMへ

## —磁性体(スピニ)を使う不揮発性メモリー

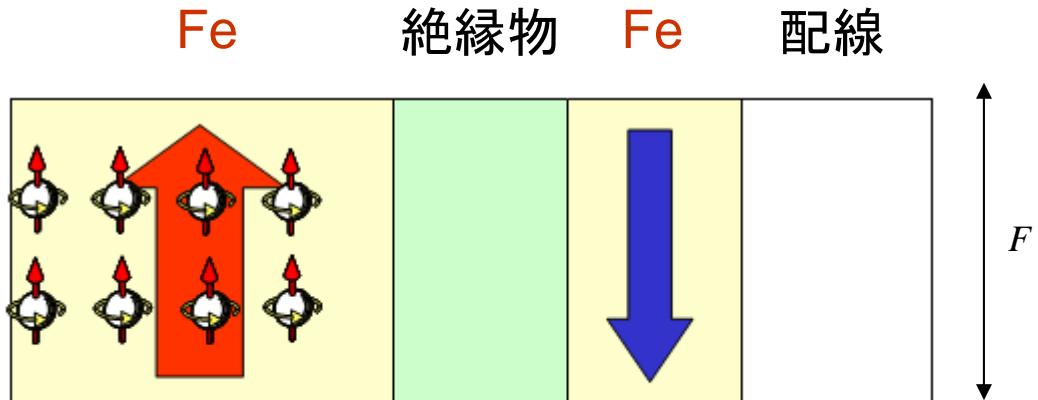
商標

用語: スピニRAM = STT-MRAM = STT-RAM  
(単にMRAMと呼ぶこともある)



### スピノンRAM (STT-MRAM)

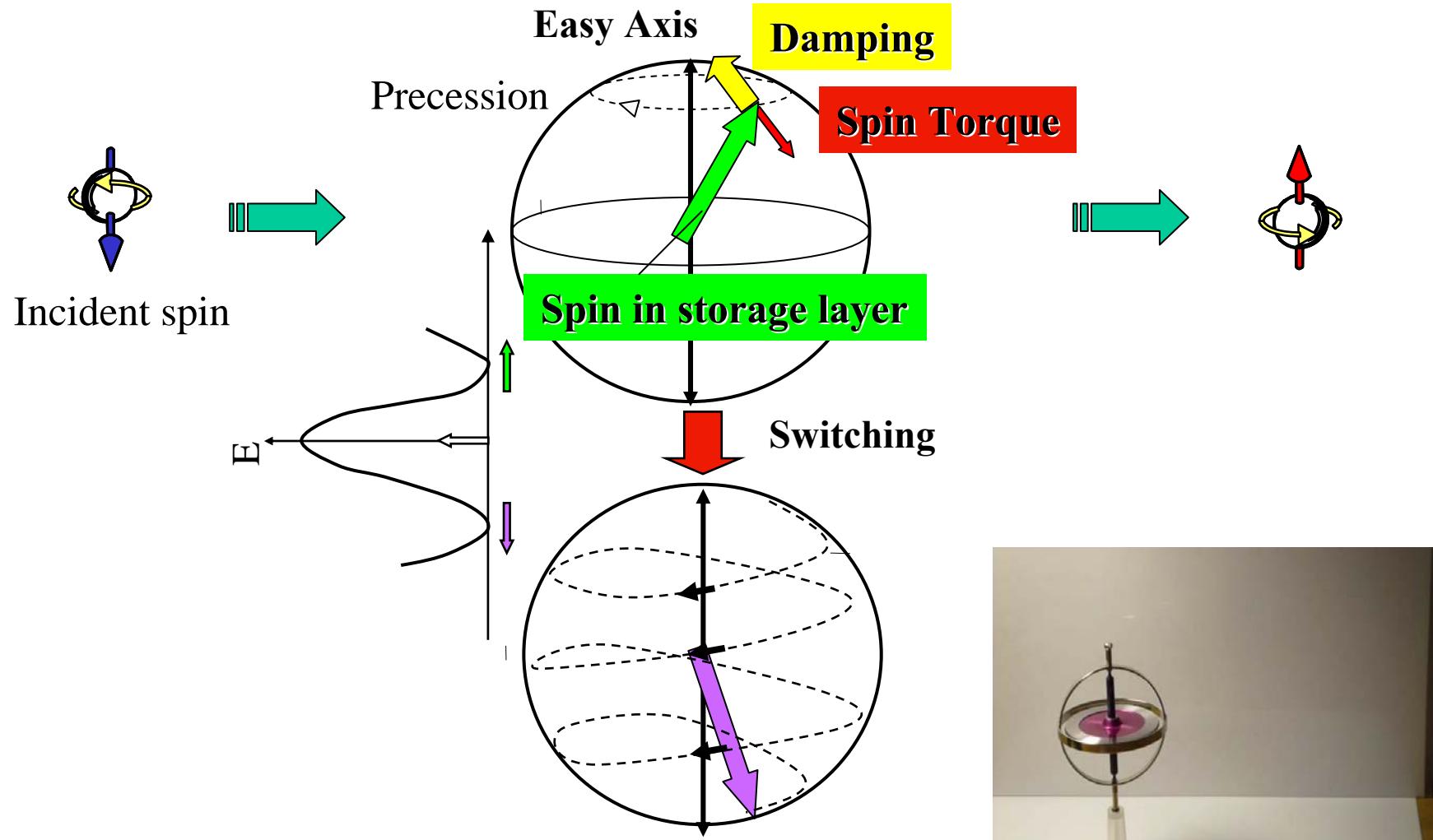
スピノン注入  
↓  
スピントルク  
↓  
磁化反転



Slonczewski, JMMM 159, L1 (1996).  
Berger, PRB 54, 9353 (1996).

スピノン注入磁化反転(CIMR)

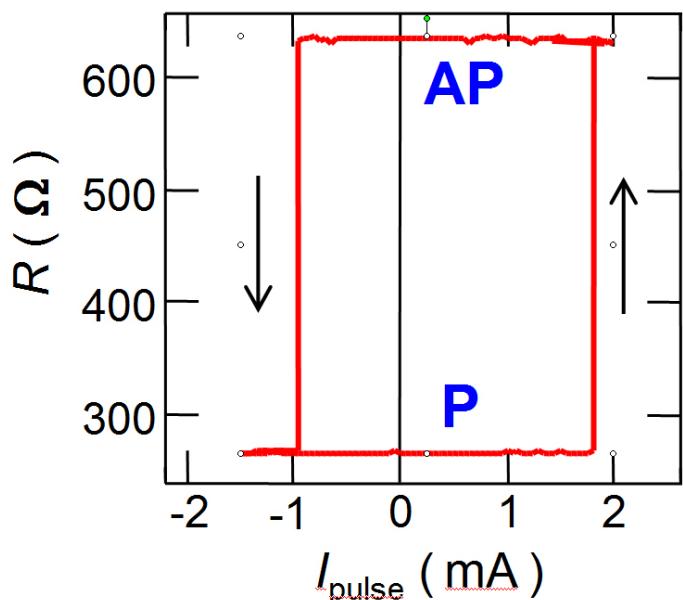
# スピン注入磁化反転 (CIMR)



Slonczewski, JMMM 159, L1 (1996).

Berger, PRB 54, 9353 (1996).

## MgO-MTJを用いた最初のCIMR実験(産総研)



H. Kubota *et al.*, Jpn. J. Appl. Phys. **44**, L1237 (2005).

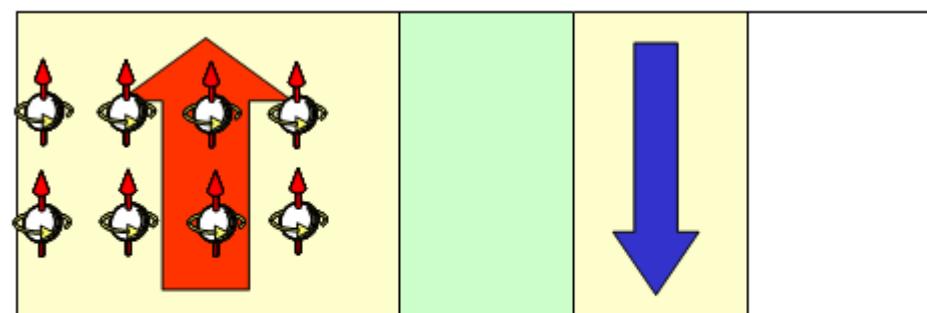
MTJ size : 70 x 160 nm

$$J_{c0}(@1\text{ns}) = 2 \times 10^7 \text{ A/cm}^2$$

Al<sub>2</sub>O<sub>3</sub>-MTJを用いた最初のCIMR  
Huai *et al.* (Grandis) APL 2004

## スピノンRAM (STT-MRAM)

スピノン注入  
↓  
スピントルク  
↓  
磁化反転



Slonczewski, JMMM **159**, L1 (1996).  
Berger, PRB **54**, 9353 (1996).

スピノン注入磁化反転(CIMR)

**磁気コアメモリ**  
( 1950年代から )  
*still in Space ?*

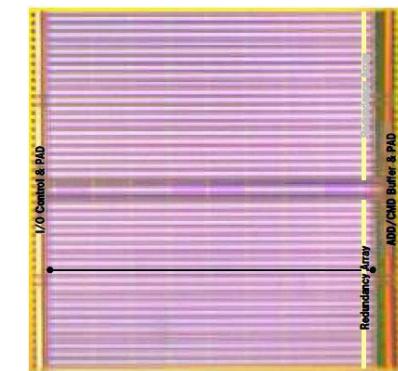
~ 1Mbit

**MRAM**  
(Everspin)  
**量産中**

~ 16 Mbit

**スピンRAM**  
(東芝)  
量産プロセス開発中

超Gbit



読む

coil

スピントロニクス (Q.M.)

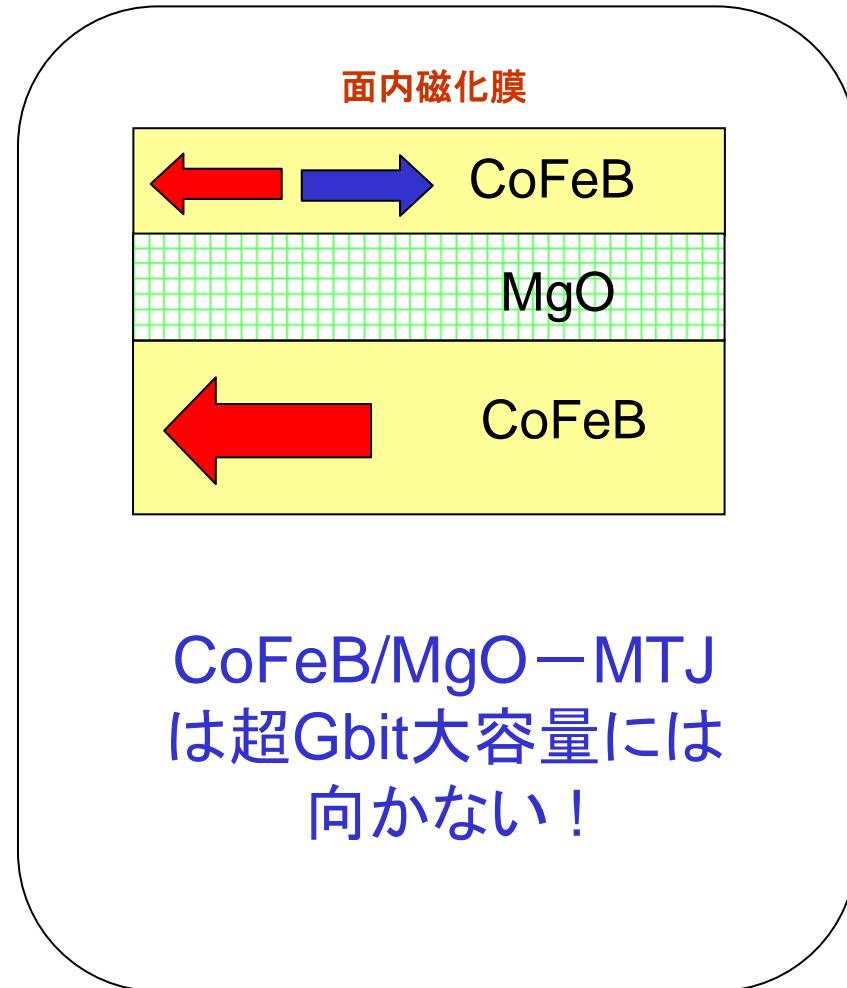
書く

coil (E.M.)

スピントロニクス (Q.M.)

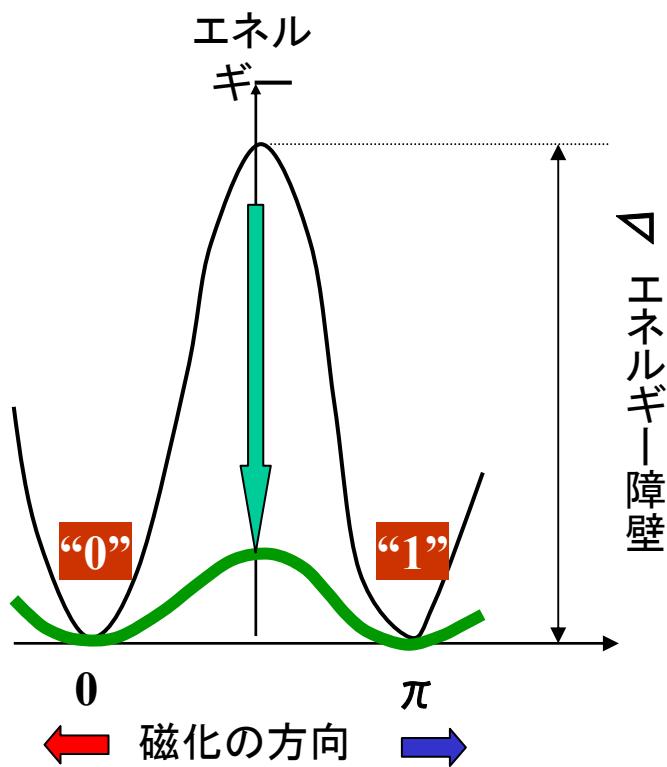
# スピニRAM (STT-MRAM)

- ・ ソニー IEDM 2005
  - CoFeB/MgO/CoFeB-MTJ
  - 4 kbit, fast read/write (~2 ns)
  - 世界最初の集積報告
- ・ 日立/東北大 ISSCC 2007
  - CoFeB/MgO/CoFeB-MTJ
  - 2 Mbit



Djayaprawira *et al.*, App. Phys. Lett. **86**, 092502 (2005).

10年間、記録内容が変わらずに保持されること



**エネルギー障壁△は $40 \sim 60\text{ }k_{\text{B}}T$  必要!**

$$\Delta \propto KV$$

↑                   ↑

磁気異方性       bit  
体積

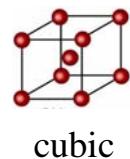
*G-bit*メモリには大きな*K*が必要！

$$K = K(\text{bit形状}) + K(\text{結晶配列の異方性})$$

A diagram showing a horizontal oval containing four parallel horizontal arrows pointing to the right. This represents a vector field where all vectors have the same direction.

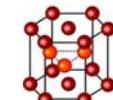
## 超常磁性限界

CoFeB  
(面内)



cubic

巨大



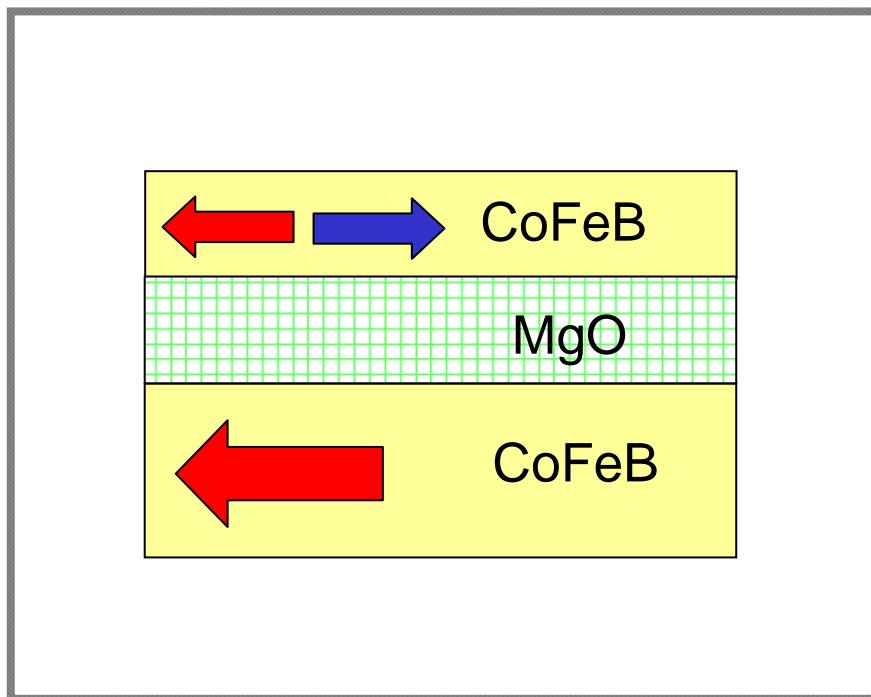
non-cubic

# 垂直磁化 新材料

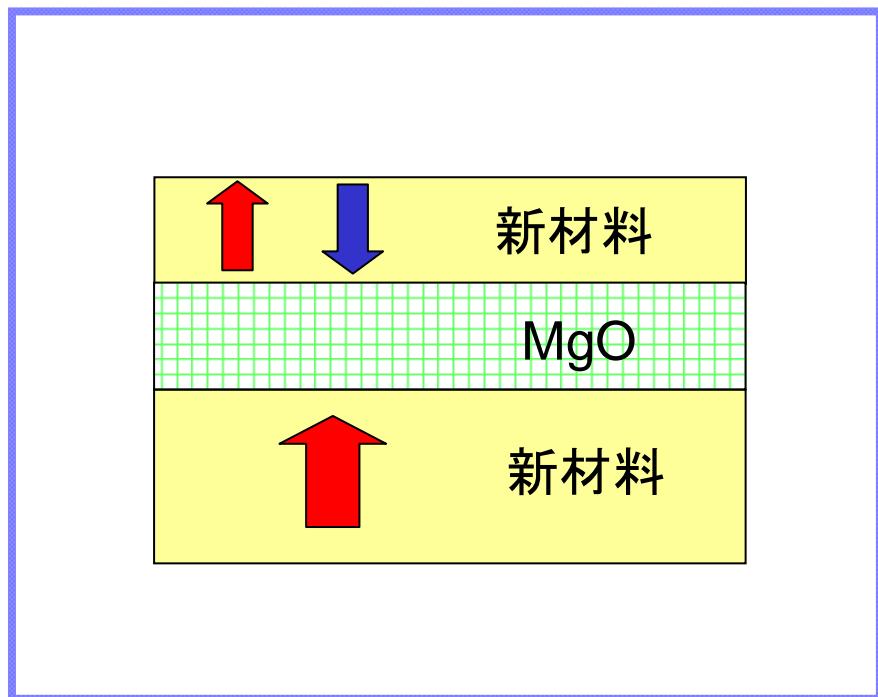
面内磁化から垂直磁化へ

# 超GbitのSpin-RAMには新構造MTJが必要

(面内磁化MTJ)



従来構造



新構造

しかし2006年には、垂直磁化MTJ素子のCIMRは不可能と思われていた！

大きな磁気異方性は、同時に書き込み電流を増大させるはず！

－垂直磁化MTJ素子－

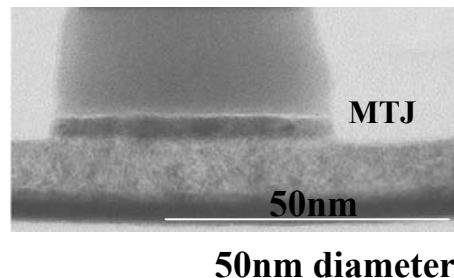
低電流で書き込めるか？

# 垂直磁化MTJ素子の低電流スピン注入磁化反転

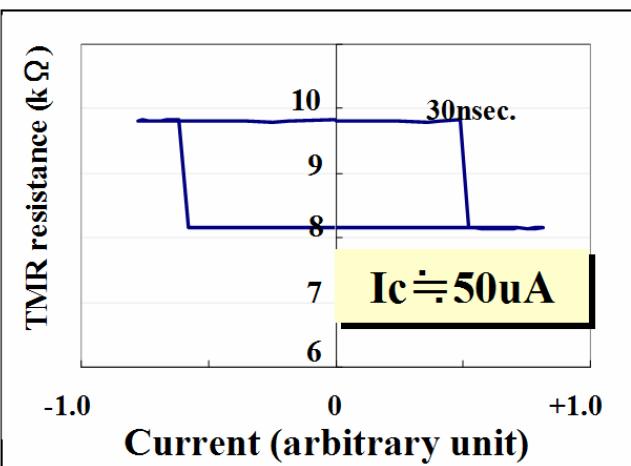
H.Yoda *et al.*, ECS 2008,  
T.Kishi *et al.*, IEDM 2008

## ● Cell

Fe based L<sub>1</sub>0 Materials



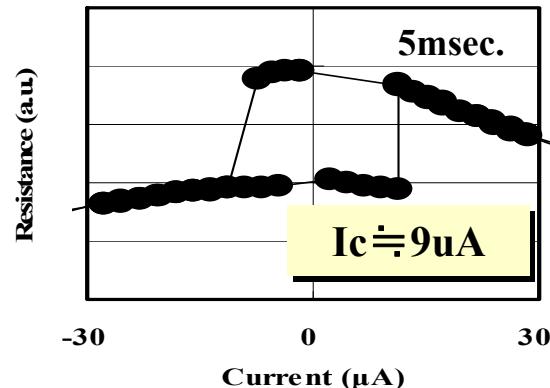
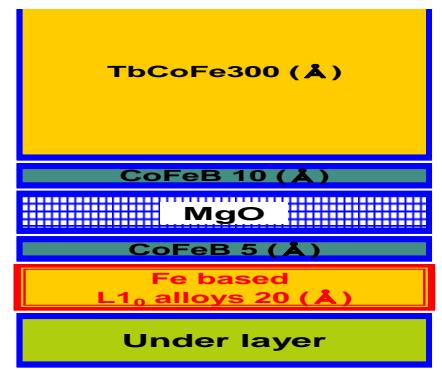
50nm diameter



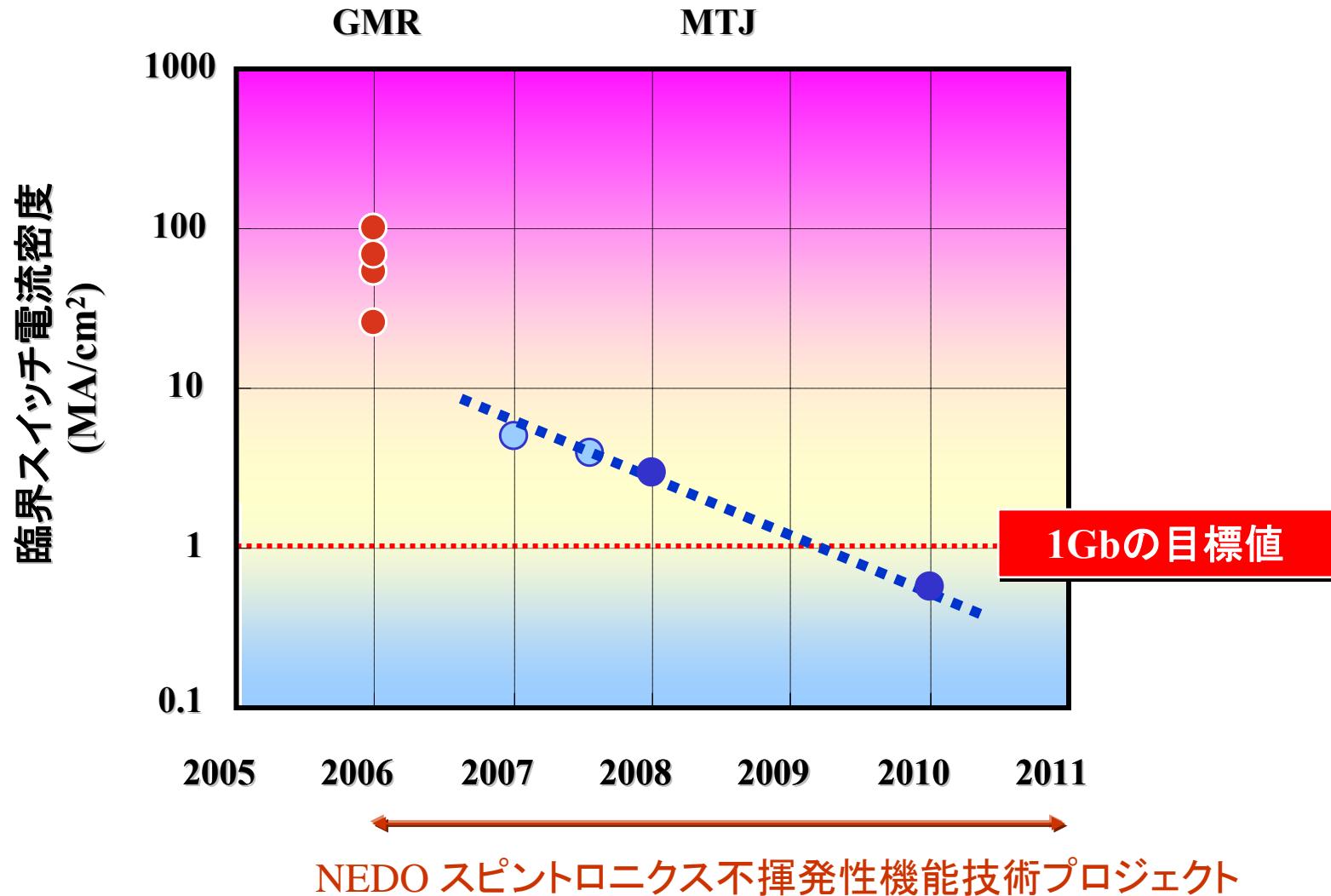
T.Daibou *et al.*, Intermag-MMM 2010

## ● Cell

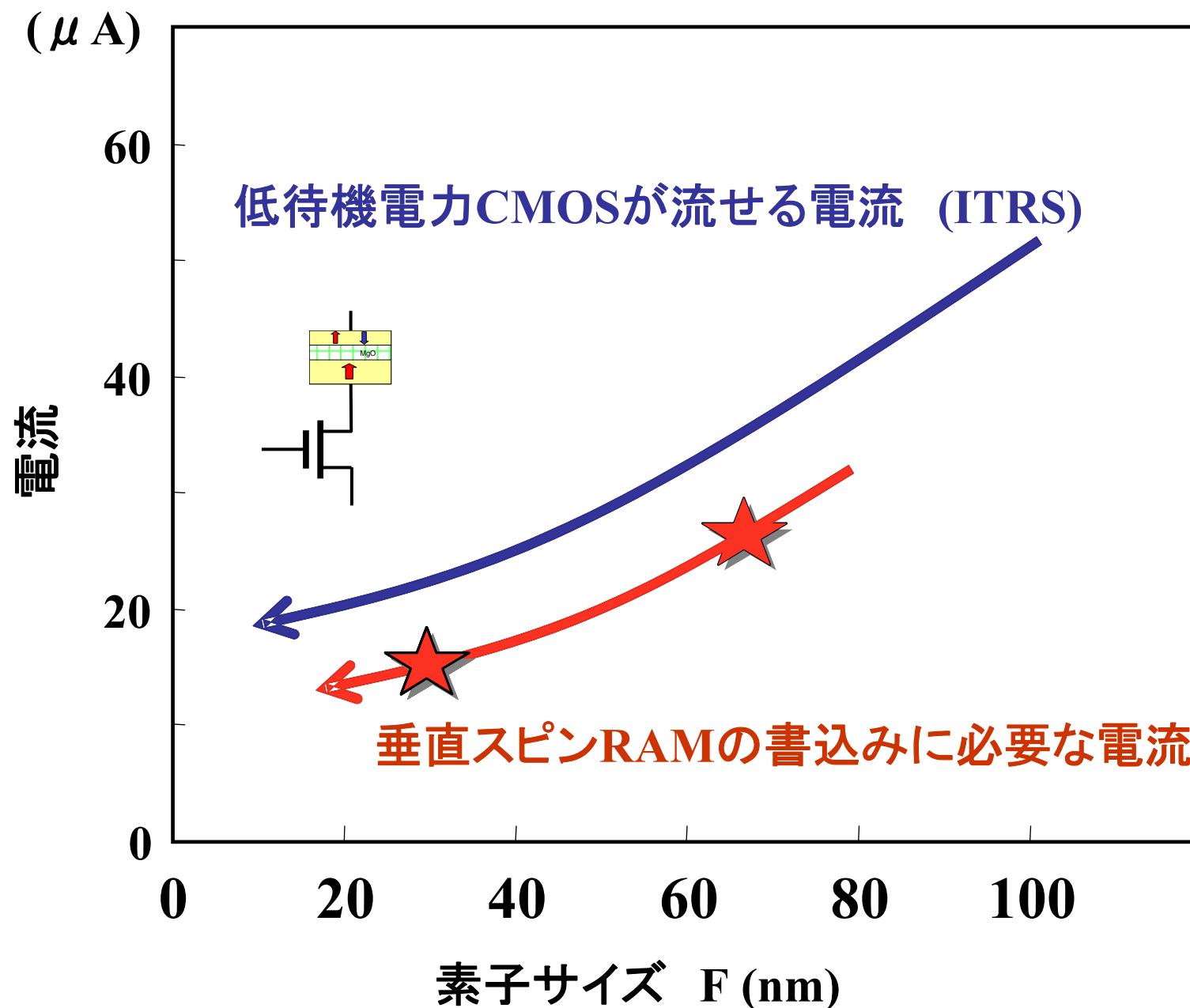
Fe based L<sub>1</sub>0 Materials



# 垂直磁化GMR、MTJのCIMR電流低減化の歴史



# 垂直スピンRAMはCMOSで十分駆動可能

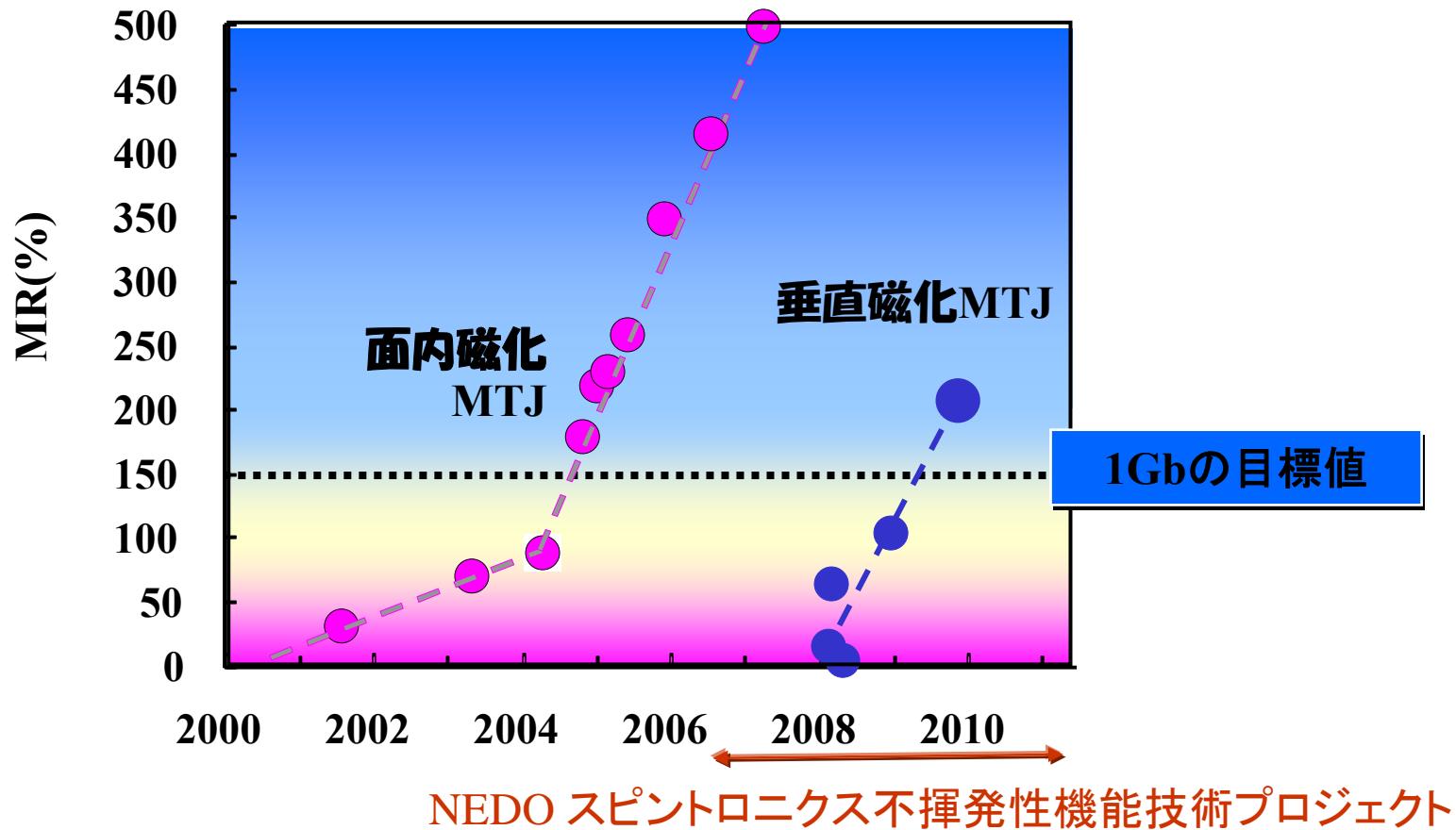


－垂直磁化MTJ素子－

大きなTMR効果が出るのか？

# 垂直磁化MTJ素子のTMR効果の増大の歴史

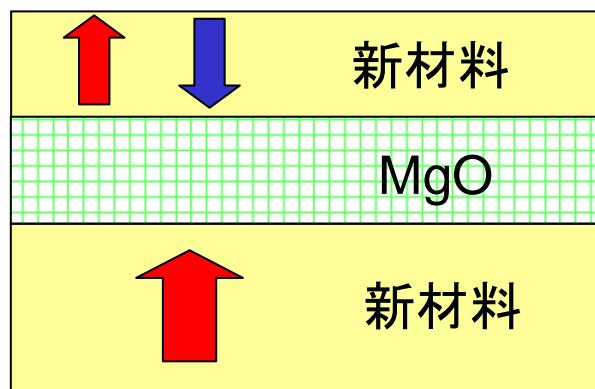
室温におけるTMR効果



# スピノンRAMのための垂直磁化MgO-MTJ

NEDO スピントロニクス不揮発性機能技術プロジェクト

- 低パワー書き込み :  $I_c = 7 \mu A$ ,  $J_c = 0.3 \text{ MA/cm}^2$
- 高読み出し信号 : TMR > 200 %
- 高データ保持性 :  $\Delta > 60$
- 高速スイッチング : < 30 nsec
- 小さなbitサイズ :  $F < 30 \text{ nm}$
- 高書換耐性 : 無限回 (推定値)
- 高信頼書き込み : バックホッピング無し

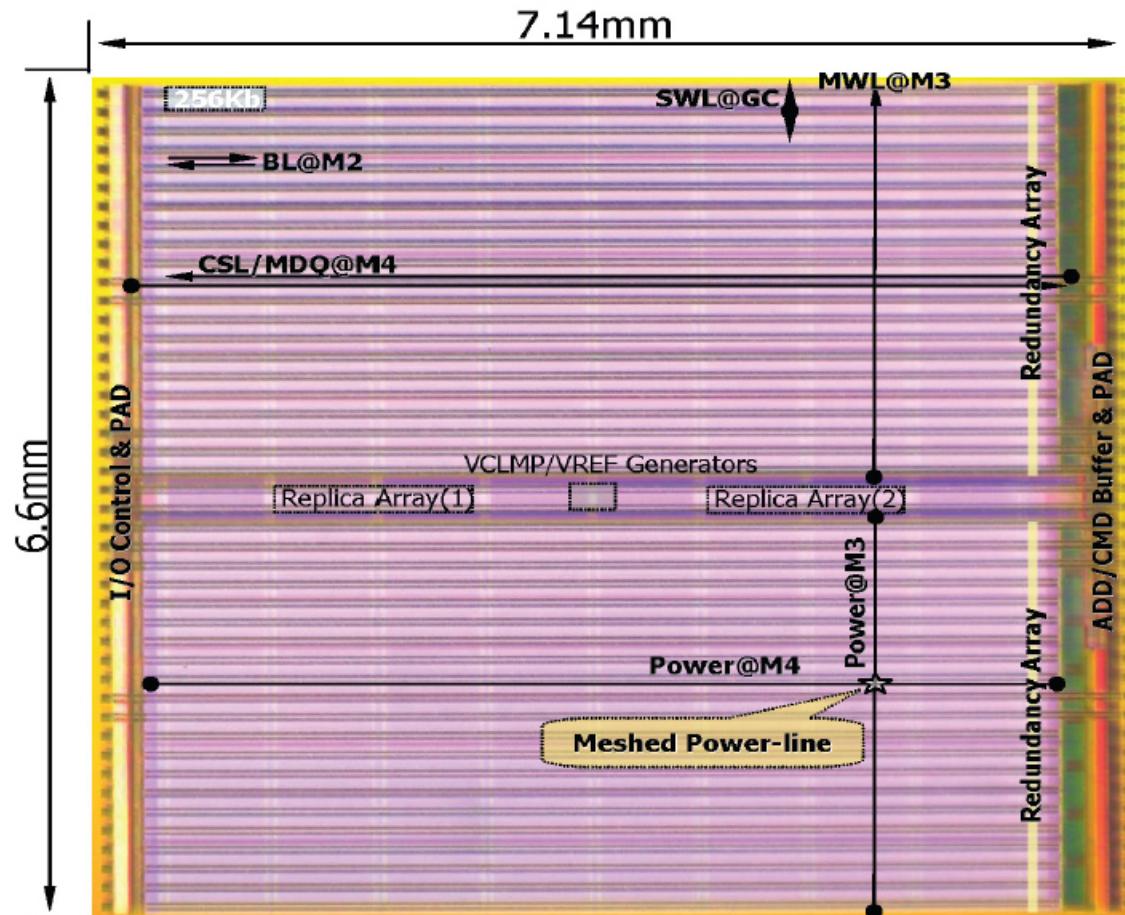


## ユニバーサルメモリ

不揮発  
ギガビット容量  
高速  
低電力  
データ保持  
無限書換耐性

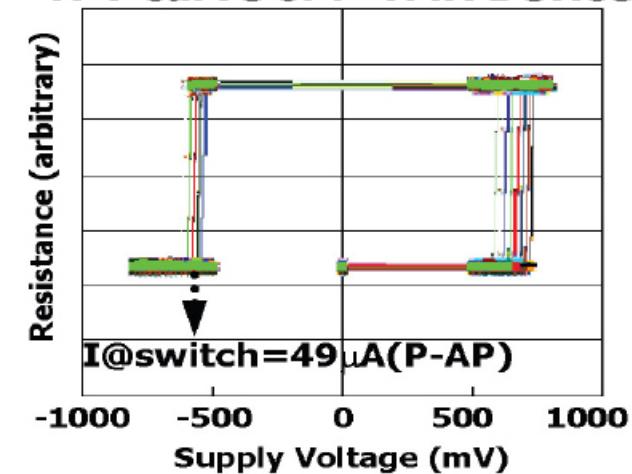
# 垂直磁化MTJを用いた世界最初のスピニRAM (2010年2月)

(東芝 : NEDOスピントロニクス不揮発性機能技術プロジェクト)



Process	65nm CMOS
Die Size	47.124mm <sup>2</sup>
Cell Size	0.3584mm <sup>2</sup>
Cell Efficiency	51%
Supply Voltage	1.2V
Organization	4M word × 16
Function	SRAM Compatible
Cycle Time	30ns@Vdd=1.2V, RT

R-V curve of P-TMR Device



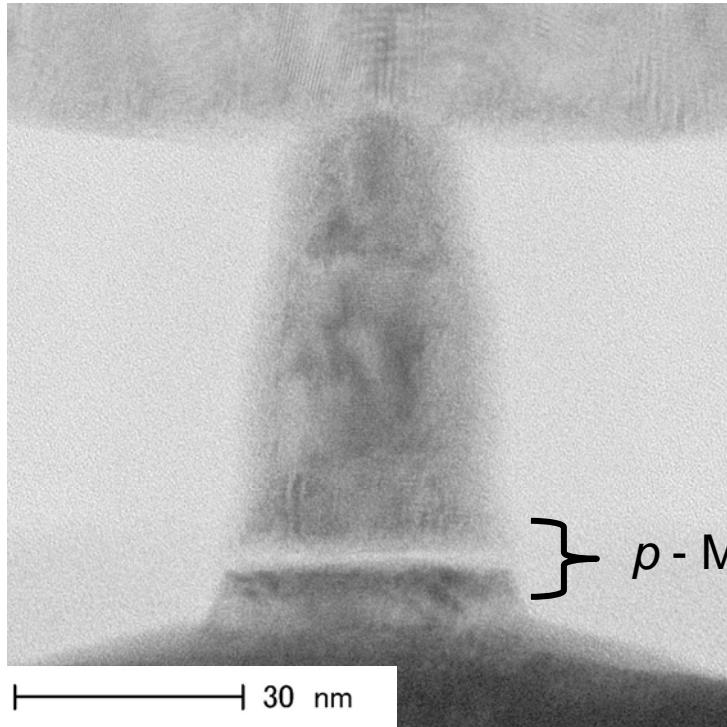
ISSCC 2010, No.14.2

CMOSとの完全整合集積化

# 30 nm 垂直磁化MTJ

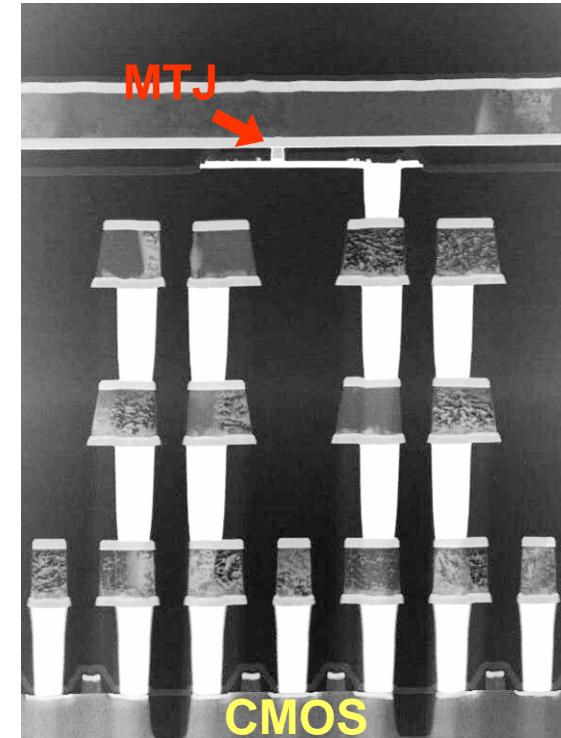
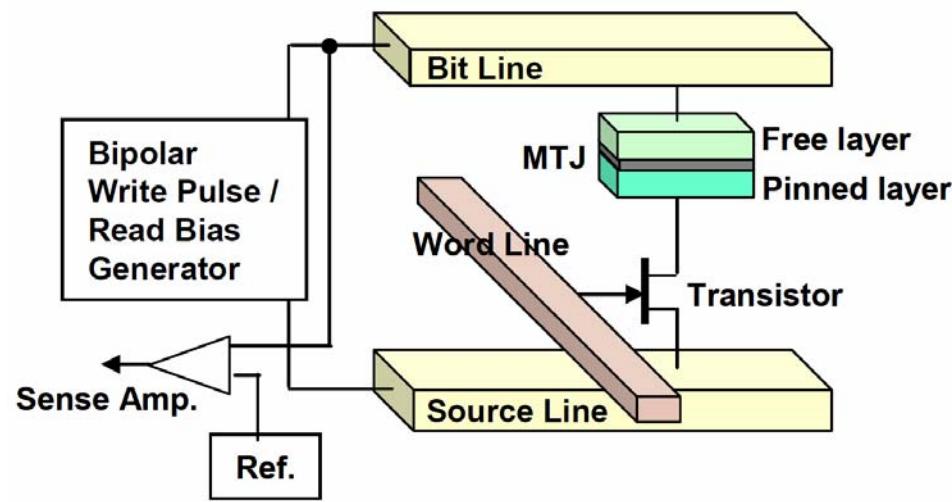
2011年7月 東芝

MTJ Shape	30 nm circle
pulse width	30 nsec
CIMR current	15 $\mu$ A
TMR	150 %
data retention	more than 10 yrs
tunnel barrier life time	more than 10 yrs



ギガビット大容量スピinnRAM技術が  
確立された！

# スピニRAMはCMOS作製プロセスと完全に整合

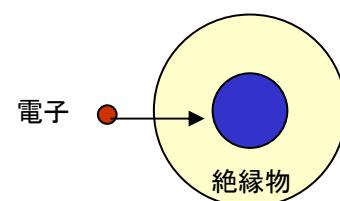


Hosomi et al. (Sony) IEDM 2005

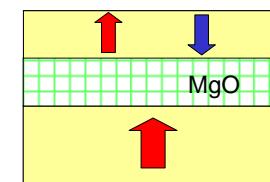
# MTJ素子の動作電圧 < 0.5V

(フラッシュは20V程度)

フラッシュメモリ



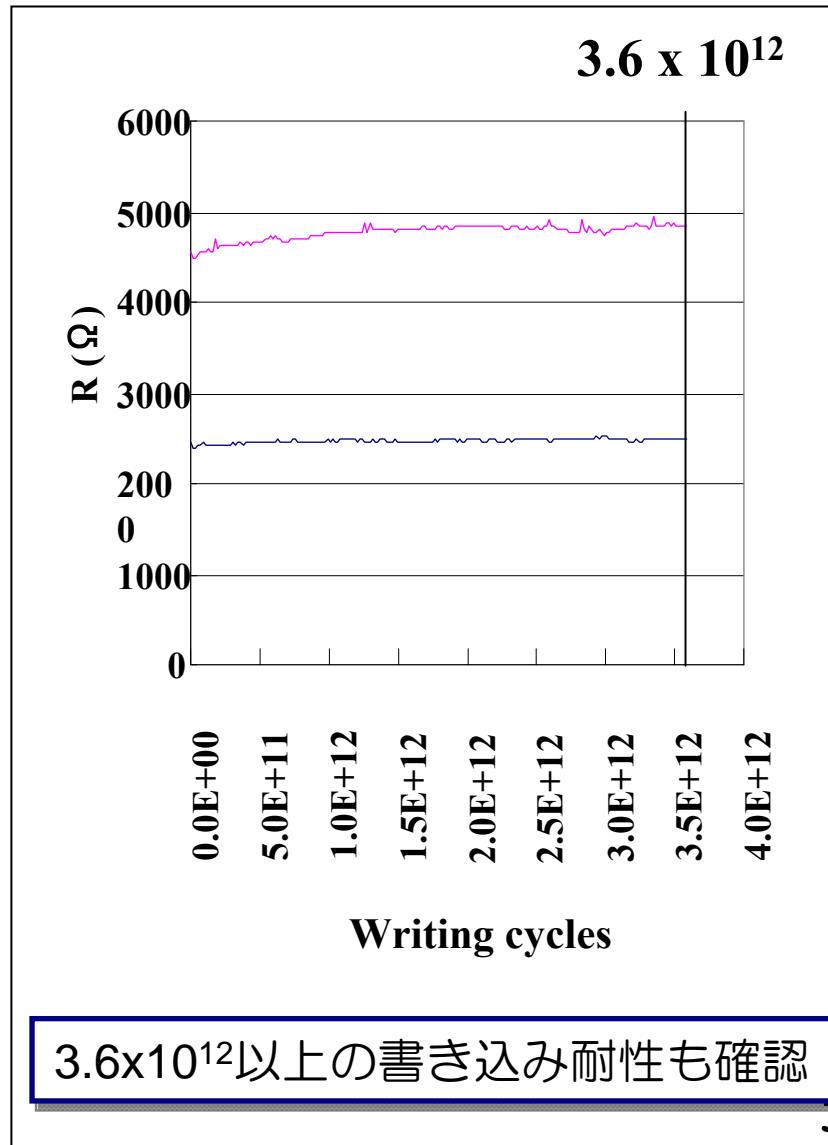
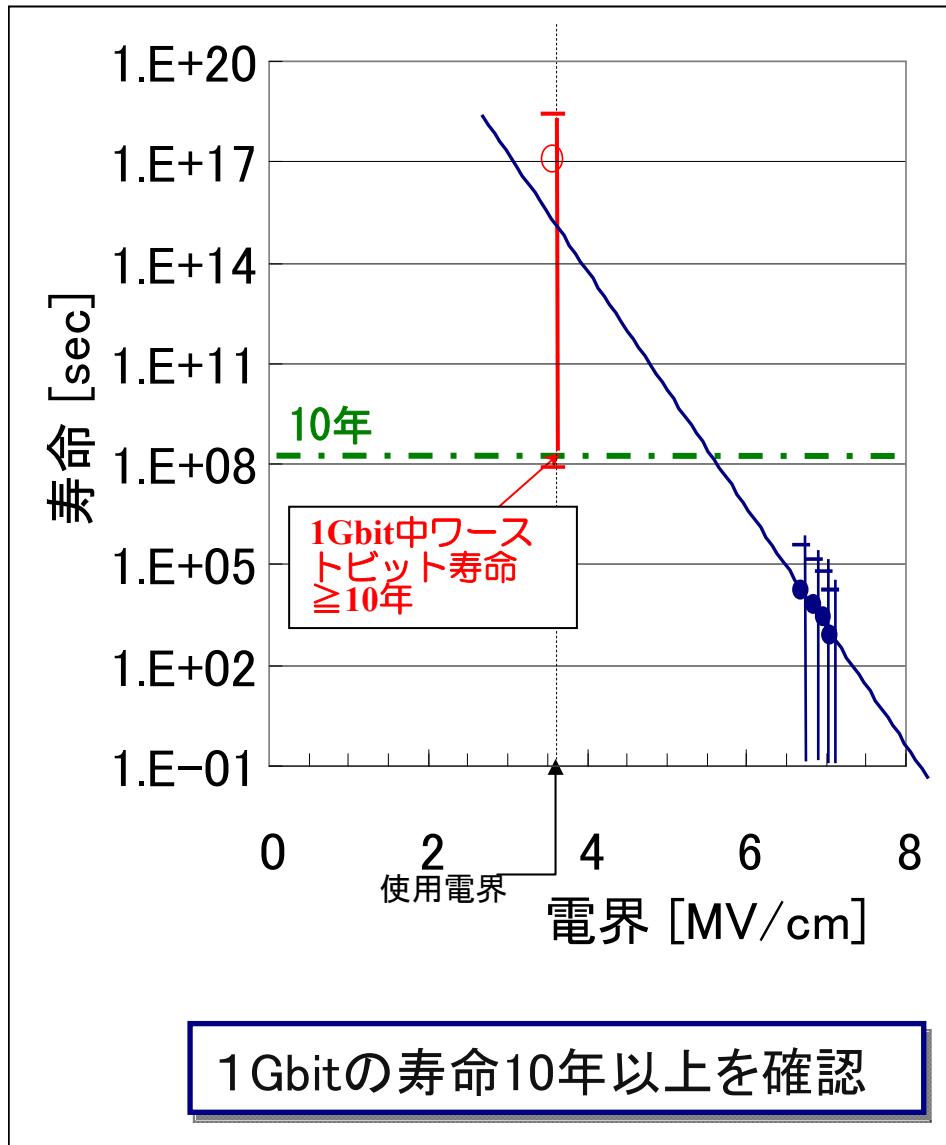
MTJ素子



- CMOS動作電圧と整合
- チャージポンプ不要 ⇒ 高密度
- 高耐久性 ⇒ 書換回数∞

# 垂直スピinnRAM: 1Gbit相当でMgO障壁の寿命を確保

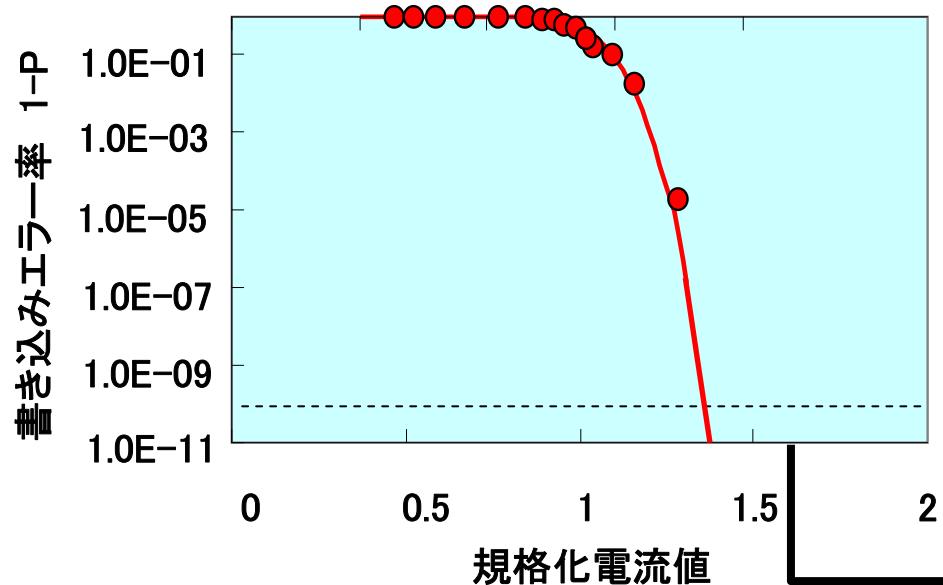
東芝



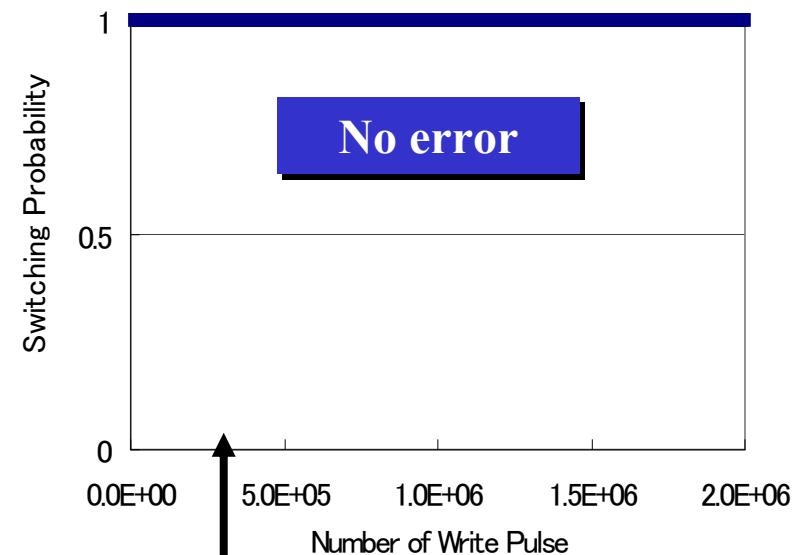
# 垂直スピinnRAM: 誤書き込みの無い安定動作を確認

東芝

垂直磁化方式TMR素子の反転確率曲線



$I/I_c=1.6$  with 30ns pulse for AP to P



30nsecパルスで、  
 $2 \times 10^6$ 回の繰り返し書き込み確認  
⇒誤書き込みなし安定動作実証



# 垂直磁化スピンRAMのセル面積は小さい！

微細なFで小さなセル面積  $\Rightarrow$  高密度メモリ

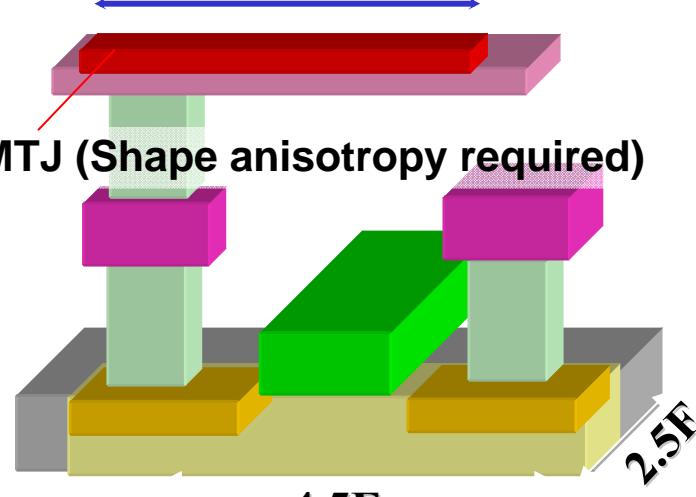
## 面内MTJ

$11.5F^2$  cell ( $F > 3X$ )

Junction area =  $2.5F^2$

$2.5F$

MTJ (Shape anisotropy required)

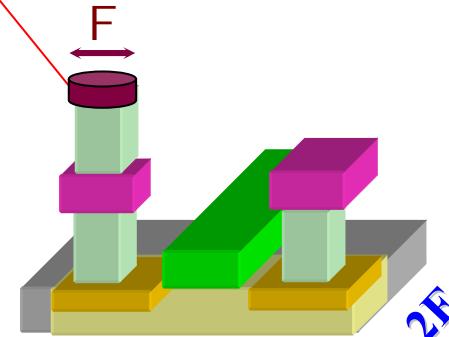


## 垂直MTJ

$6F^2$  cell ( $F \sim 1X, 2X$ )

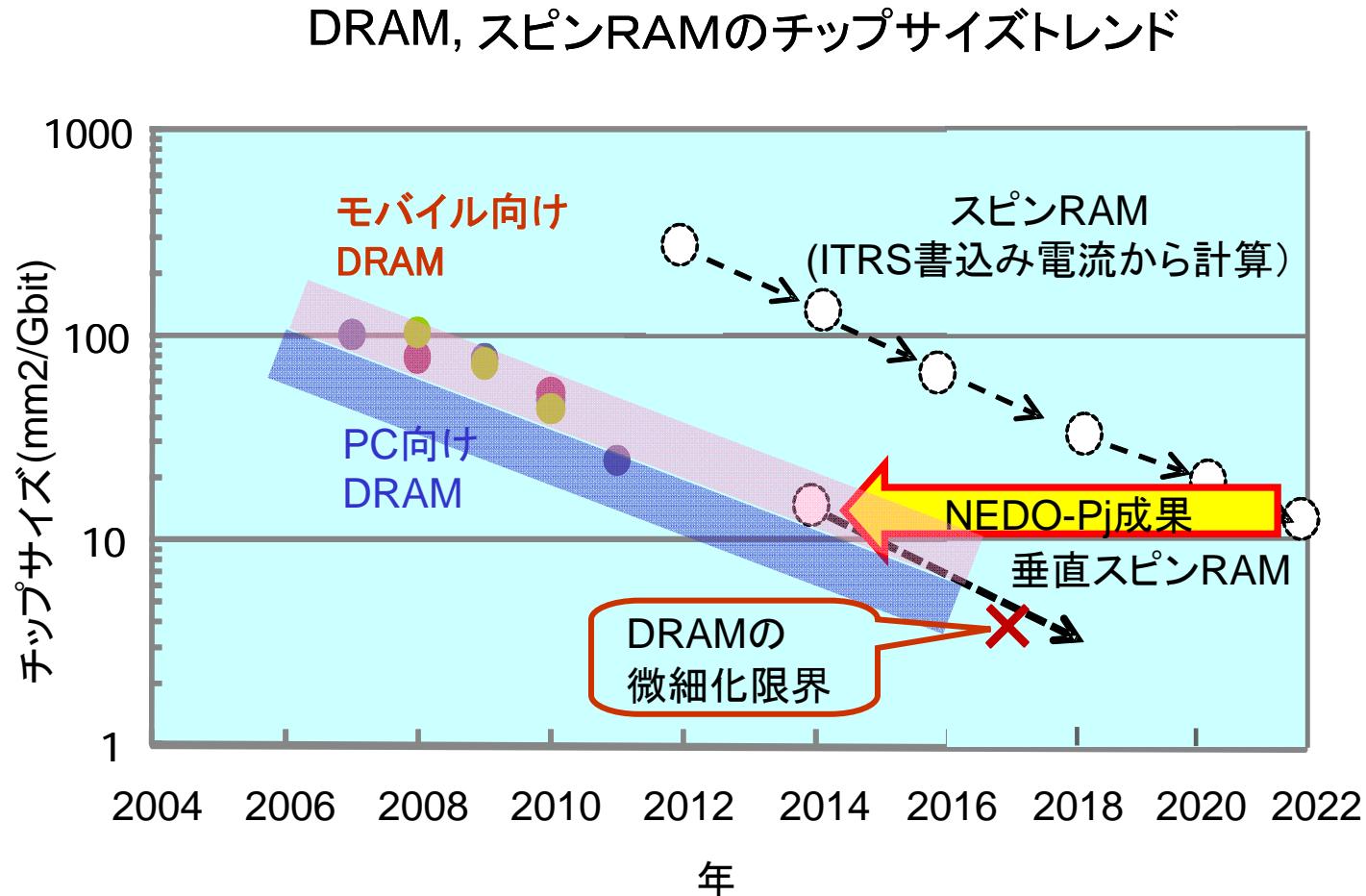
Junction area =  $F^2$

MTJ (Circular shape available)



Cell size < 40 nm  $\rightarrow$  10 Gbit

# 垂直スピinnRAMの実現で、ITRSの予測を大幅前倒し



# 2011年7月 東芝－ハイニックス共同開発開始

東芝ニュースリリースより抜粋

## 韓国ハイニックス社とのMRAM技術の共同開発について

2011年07月13日

当社は、本日、韓国ハイニックス社と、MRAM(Magnetoresistive Random Access Memory: 磁気抵抗変化型ランダムアクセスメモリ)技術を共同開発することに合意しました。今回の合意に基づき、韓国・利川(イチョン)にあるハイニックス社の研究施設に両社の技術者を集め、共同開発を行う計画です。

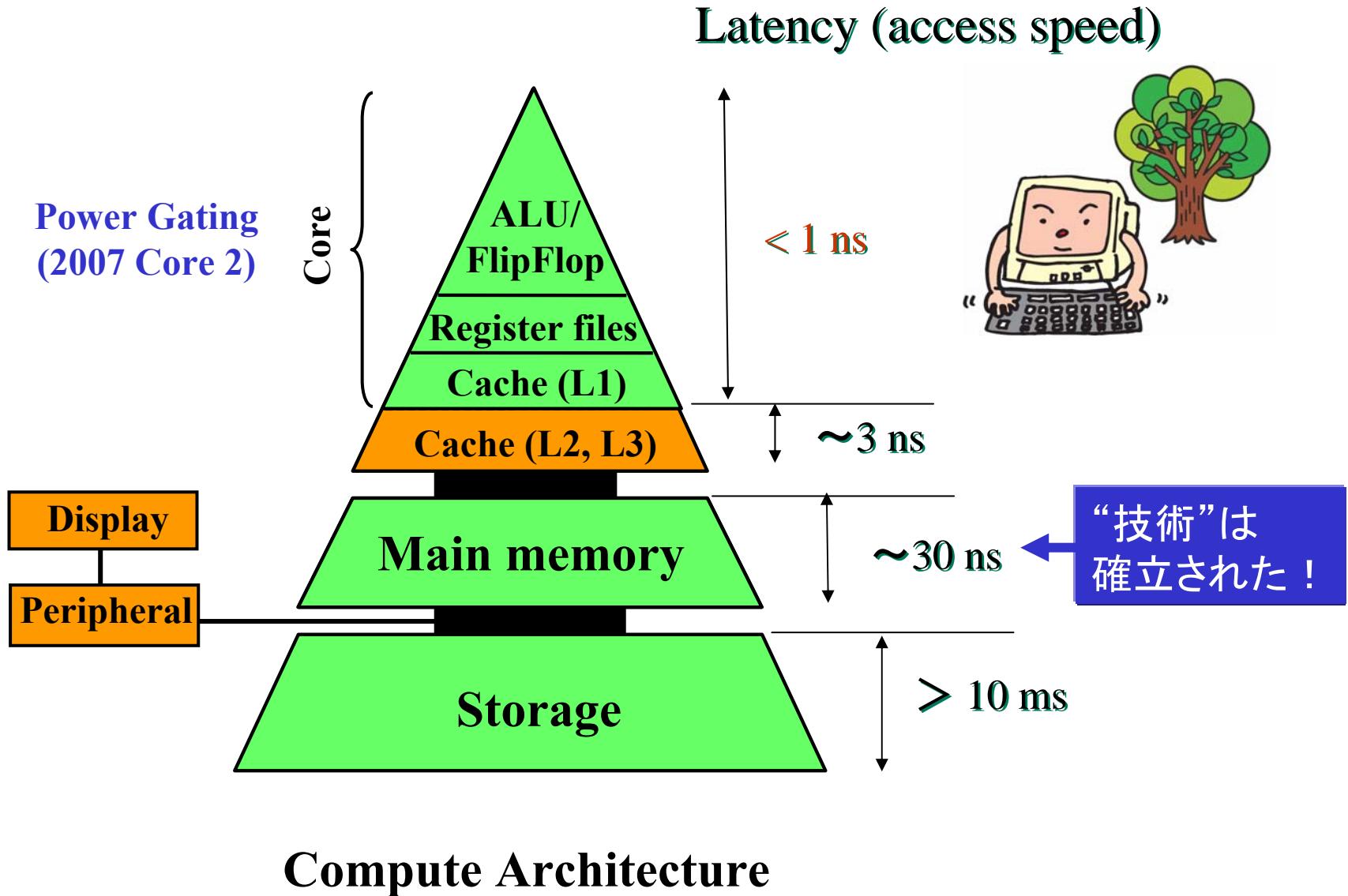
(中略)

今回、MRAM開発に実績のあるハイニックス社との共同開発により、開発コストの負担を抑制しつつ、MRAMの実用化に向けた取り組みを加速するとともに、MRAMの早期実用化によりメモリシステムビジネスを推進していきます。

また、ハイニックス社とは今後の開発動向を確認しながら、将来的な製造での協業についても、今後協議していく予定です。

(後略)

# メインメモリーの不揮発化が可能になった！



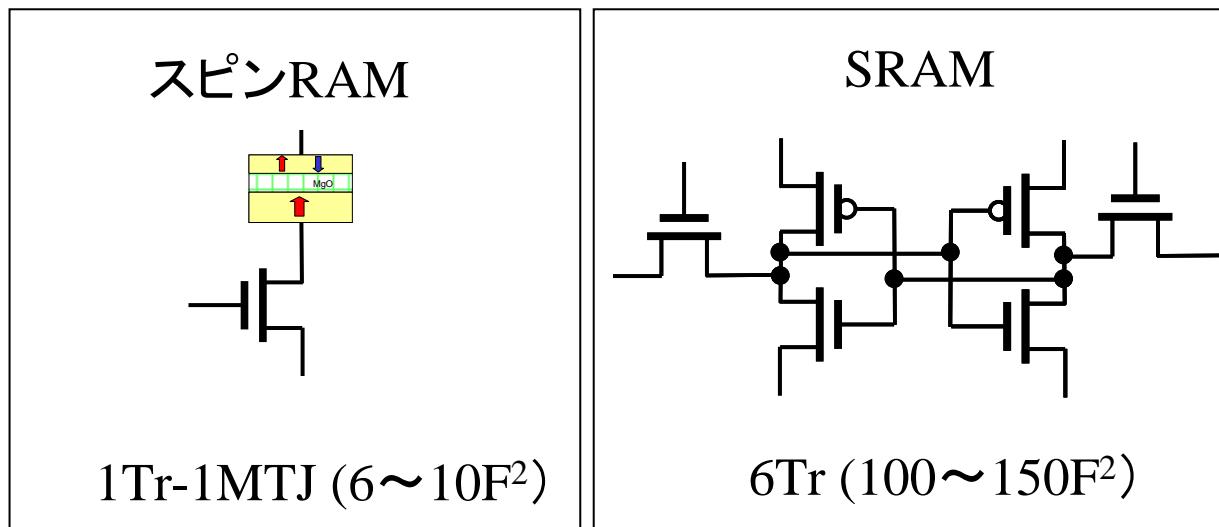
スピニRAMはキャッシュに使えるか？

## スピニRAMはキャッシュに使えるか？

### SRAMに対するスピニRAMの利点

- 不揮発  $\Rightarrow$  リーク電流低減
- 小さなセルサイズ  $\Rightarrow$  高速

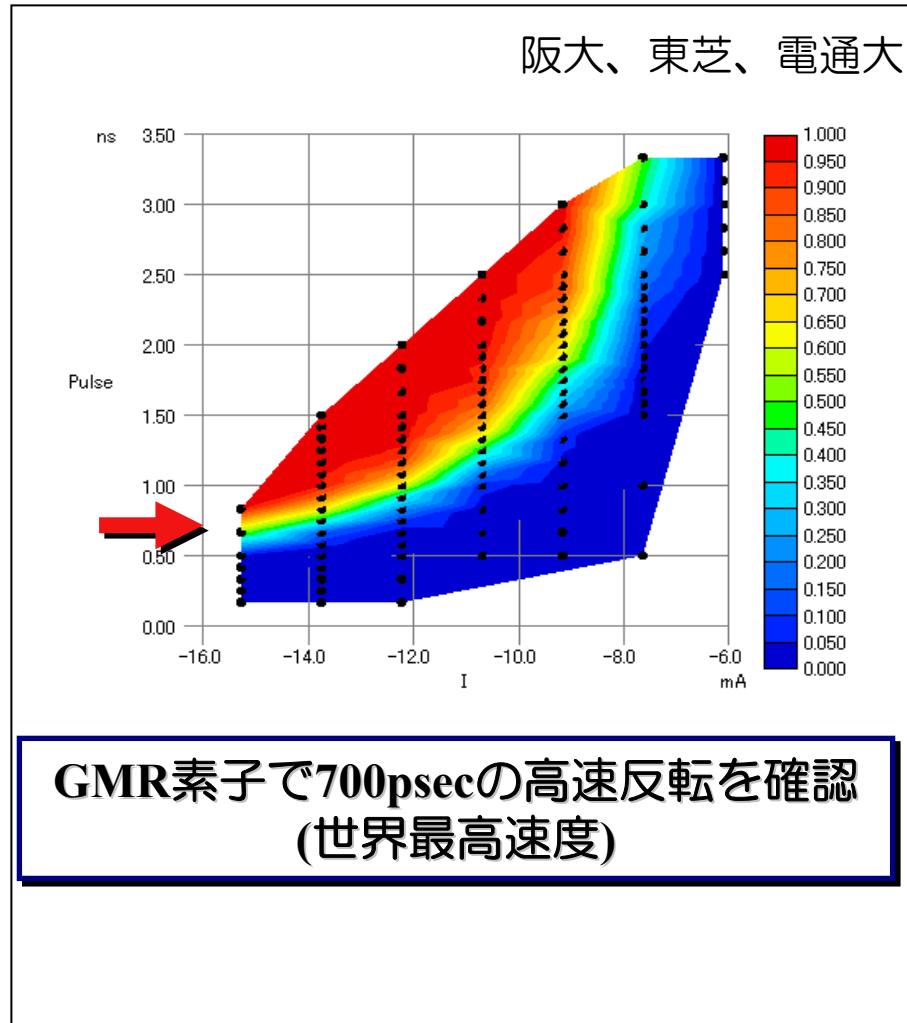
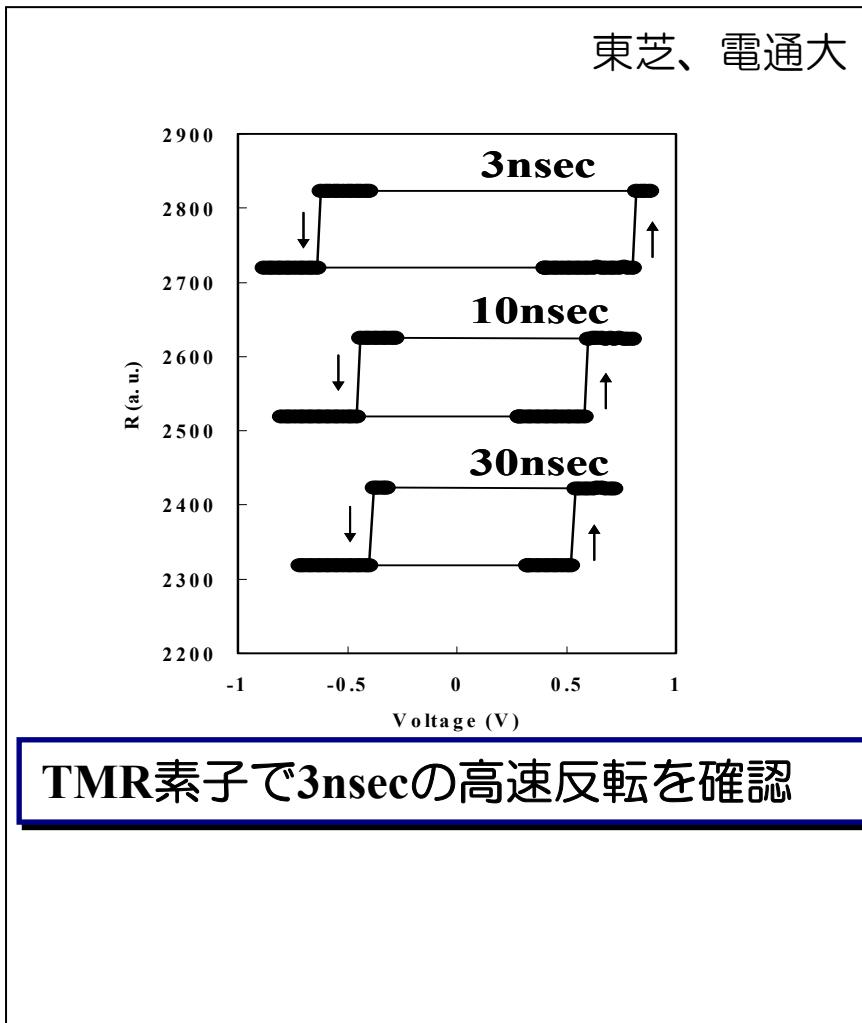
条件：MTJがCMOS並みに  
高速・低電力で動作すれば



配線長減少  $\longrightarrow$  RC減少  
Tr数減少  $\longrightarrow$  ゲートC減少  $\longrightarrow$  RC遅延減少

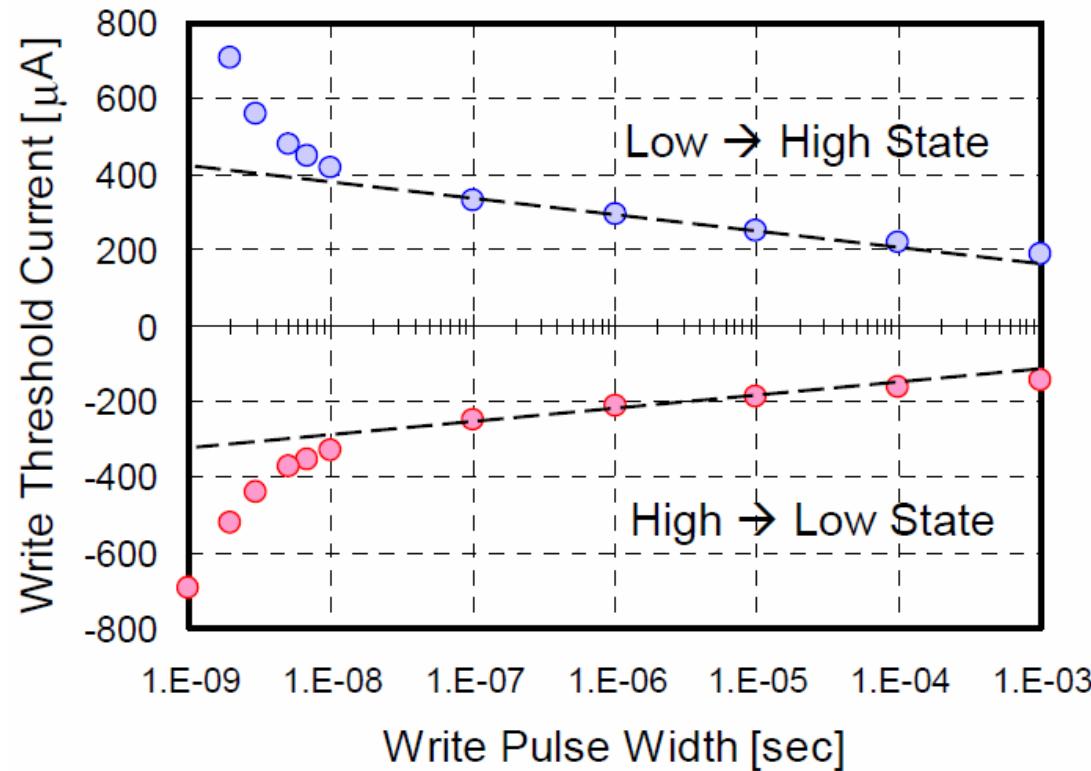
同一面積ならばキャッシュ容量増大  $\longrightarrow$  キャッシュミス減少

# 垂直磁化膜の高速書き込み実証



スピニRAMの書き込み電流は10nsより高速領域では急速に増大する

MTJ素子の書き込みエネルギー( $10^{-13}\sim 10^{-14}$ J)はCMOSより3桁大きい



Hosomi et al. (Sony) IEDM 2005

(CoFeB/MgO/CoFeB面内MTJ素子)

“不揮発性メモリのジレンマ”（東芝藤田）

1. 電力オーバーヘッド

書き込み電力増加分 > リーク電力減少分

2. 動作速度のオーバーヘッド

書き込み速度がSRAMより遅い

## 解決策

1. MTJ素子自体を低電力化、高速化

新材料

開発中

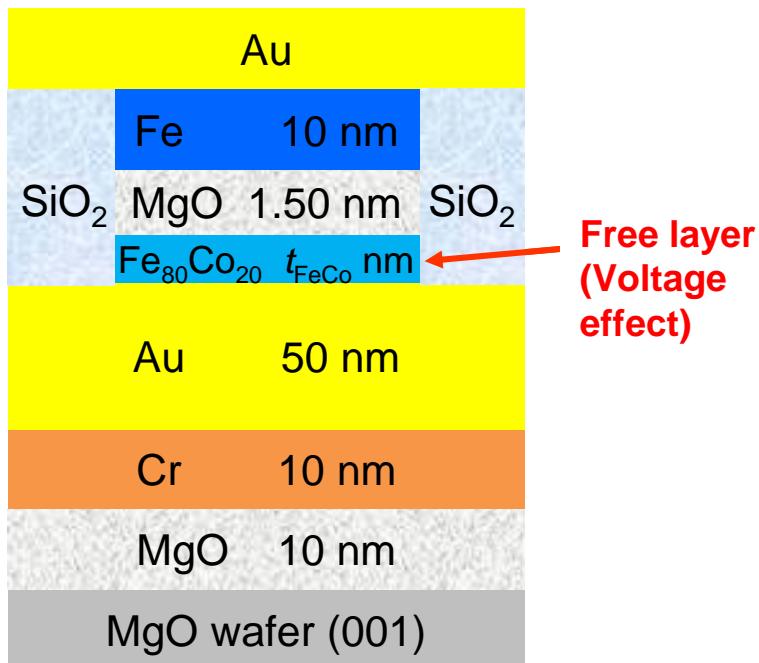
新物理効果

探索中

# 電圧印加だけで磁化反転ができるようになった！

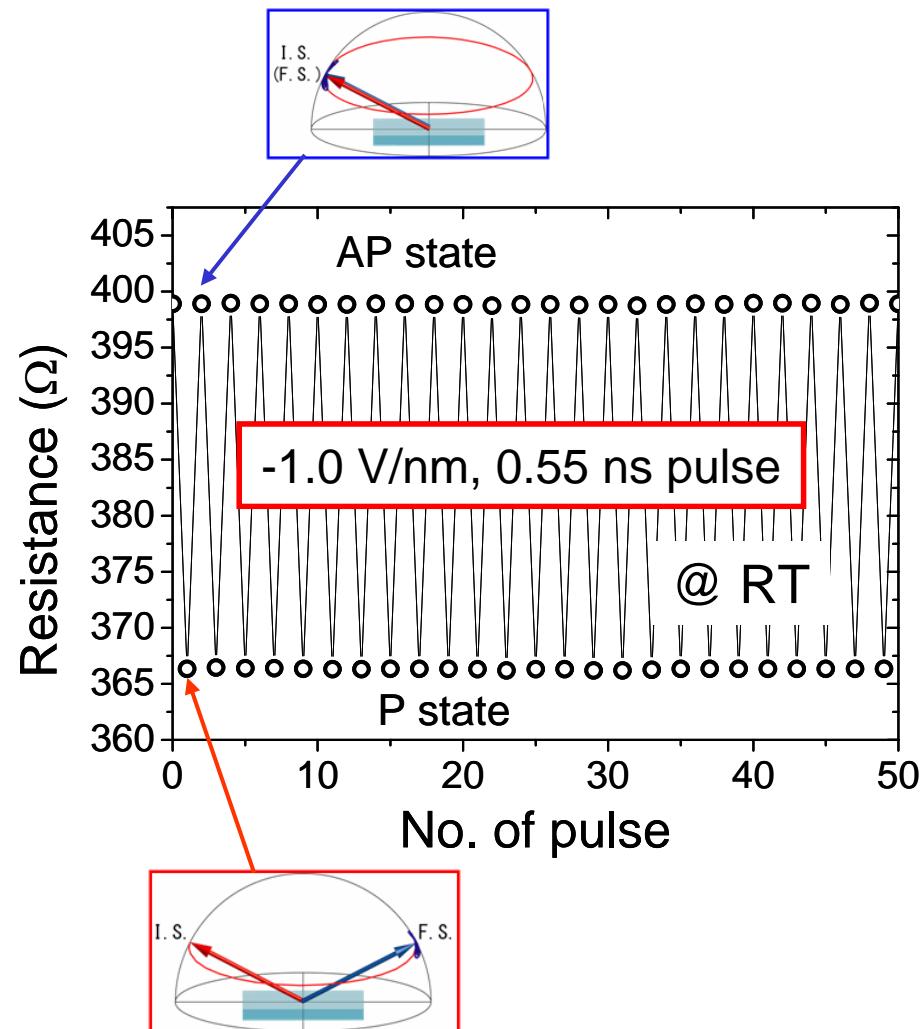
書き込みエネルギーは $10^{-17}$ J台と  
CMOS並みに小さい！

Junction size :  $0.2 \times 0.8 \mu\text{m}^2$



ただし、すぐ実用化が  
可能な技術ではない！  
(今後に期待)

Prof. Suzuki (Osaka Univ.)  
Nature Materials 2012



“不揮発性メモリのジレンマ”（東芝藤田）

1. 電力オーバーヘッド

書き込み電力増加分 > リーク電力減少分

2. 動作速度のオーバーヘッド

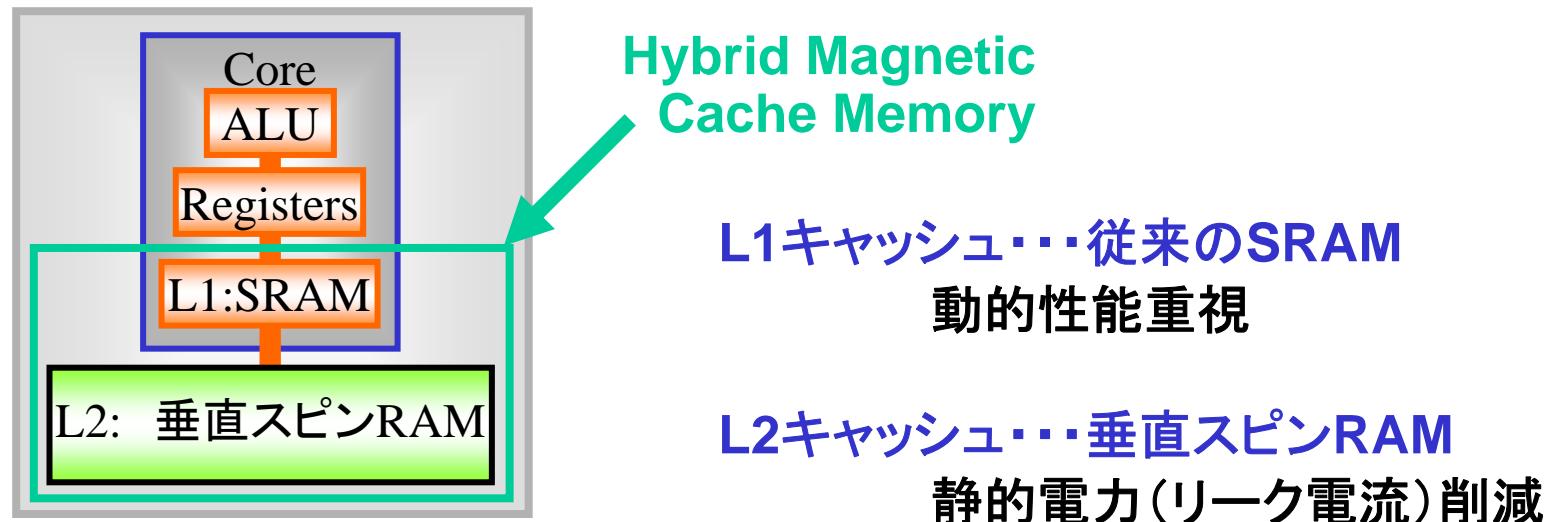
書き込み速度がSRAMより遅い

現状のMTJ素子技術で、キャッシュの不揮発化の効果は？

# ハイブリッドMagneticキャッシュメモリの提案

安部他(東芝) 応用物理学会 2012年3月

パワーゲーティング込みの性能と電力消費のシミュレーション

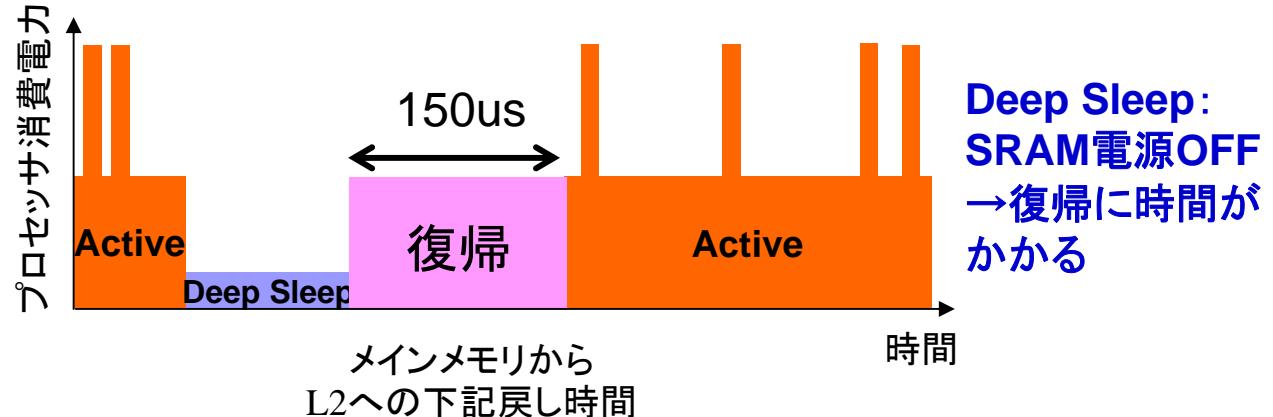
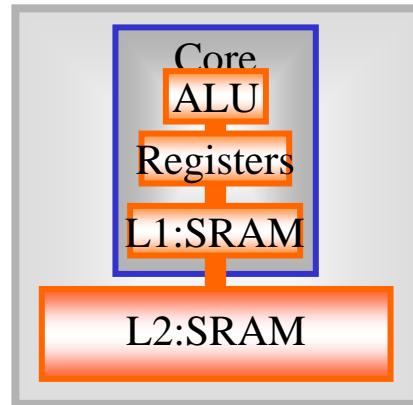


アプリケーション動作中の短い時間も電源を遮断することにより、  
消費電力削減幅を増やす。

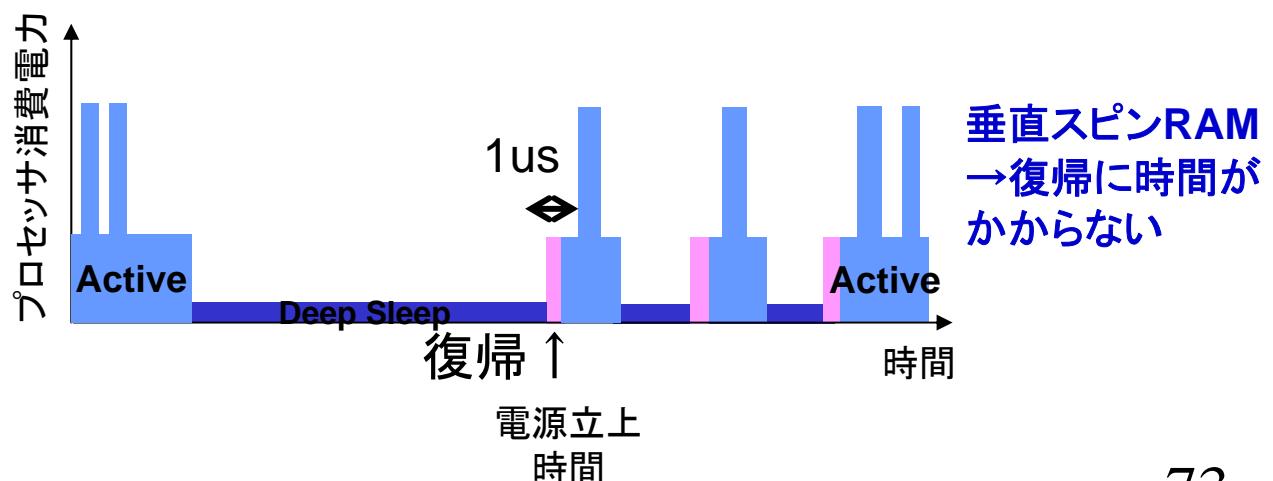
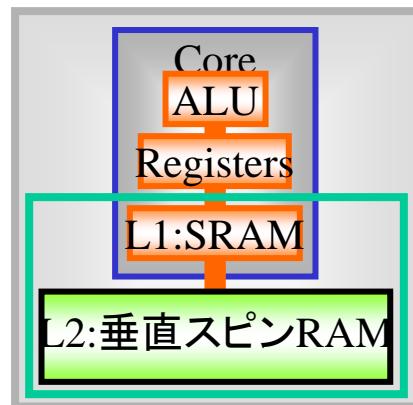
# 垂直スピinnRAMを用いたハイブリッドMagneticキャッシュの利点

パワーゲーティングを考慮したプロセッサ特性の評価シミュレーション

## ■Conventional Cache Memory

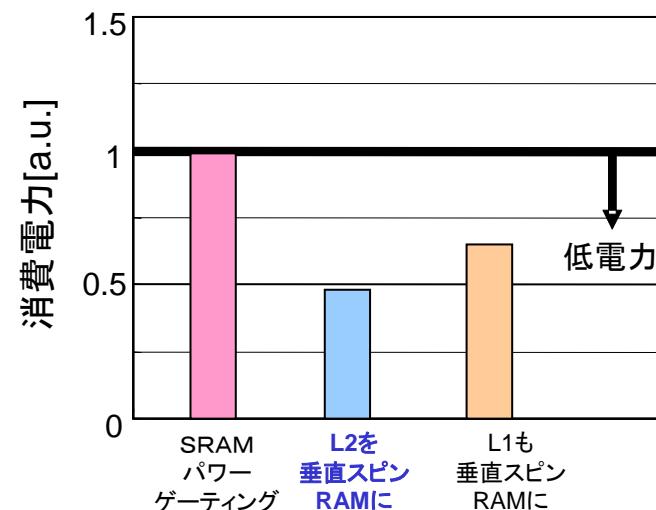
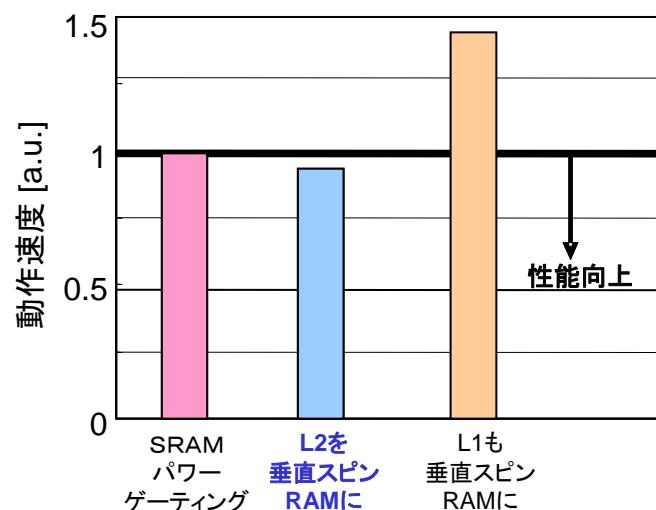
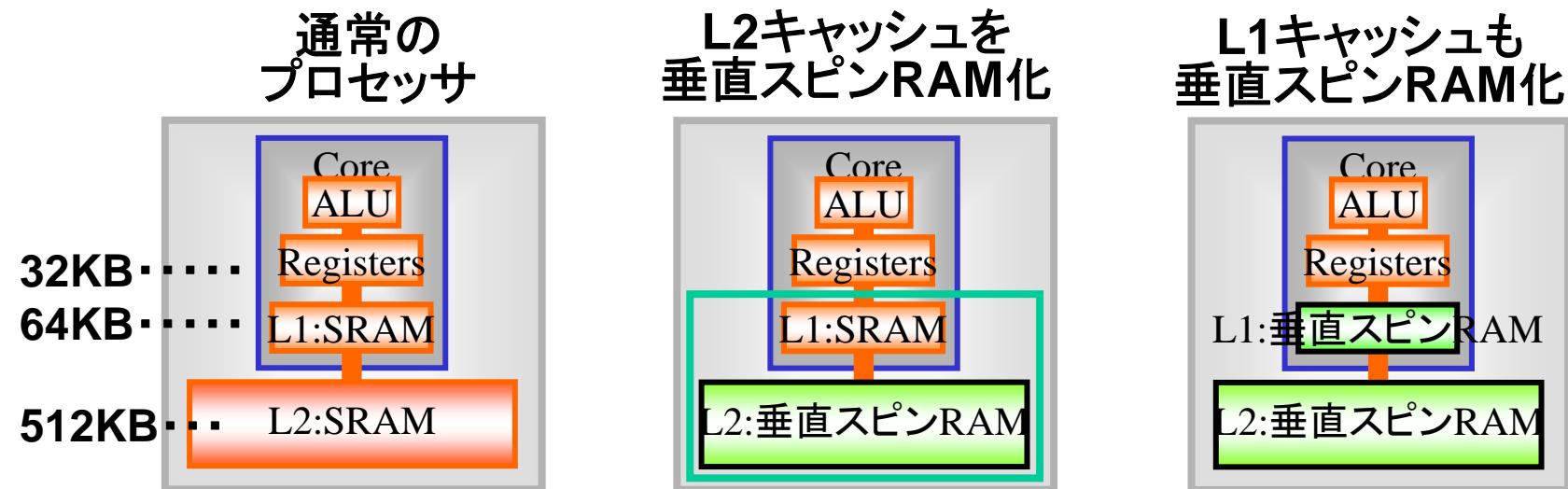


## ■Hybrid Magnetic Cache Memory



## シミュレーション

L2キャッシュメモリパラメーター: 65nm CMOS Technology、CACTI 5.3



“不揮発性メモリのジレンマ”

1. 消費電力オーバーヘッド

書き込み電力増加分 > リーク電力減少分

2. 動作速度オーバーヘッド

書き込み速度がSRAMより遅い

## 解決策

1. MTJ素子自体を低電力化、高速化

新材料、新物理効果

2. 回路の工夫

SRAMとMTJの組み合わせ

3. システムの工夫

SRAM(書き込み志向), スピンRAM(読み出し志向)  
の適材適所的利用

# ハイブリッドMagneticキャッシュメモリ

“不揮発性メモリのジレンマ”

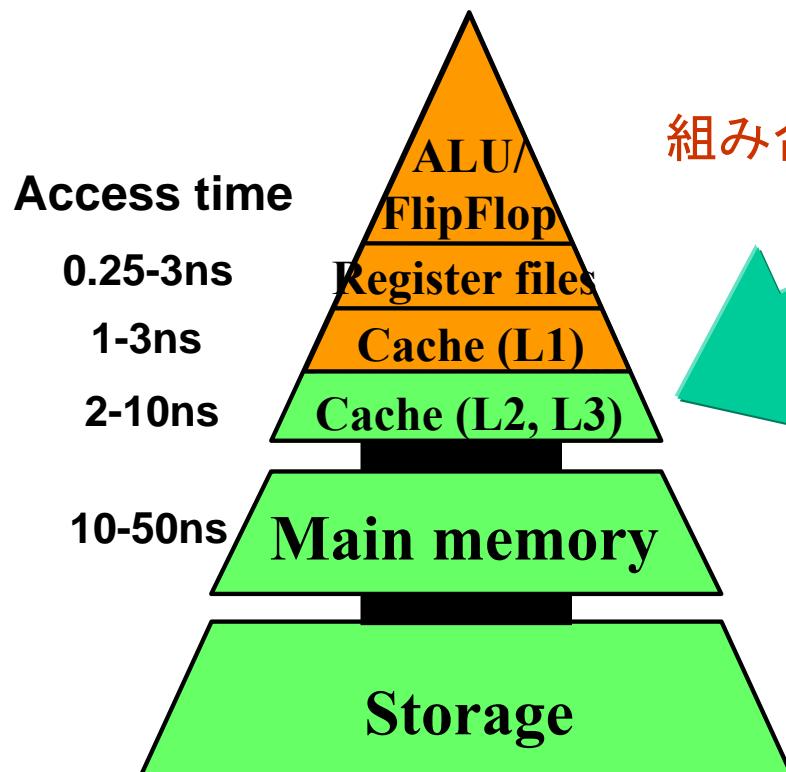
## 1. 電力オーバーヘッド

書き込み電力の増加分 > リーク電流の減少分 → 垂直スピinn RAM

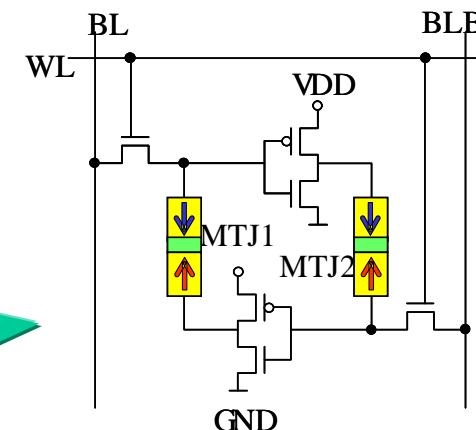
## 2. 動作速度オーバーヘッド

書き込み速度がSRAMより遅い

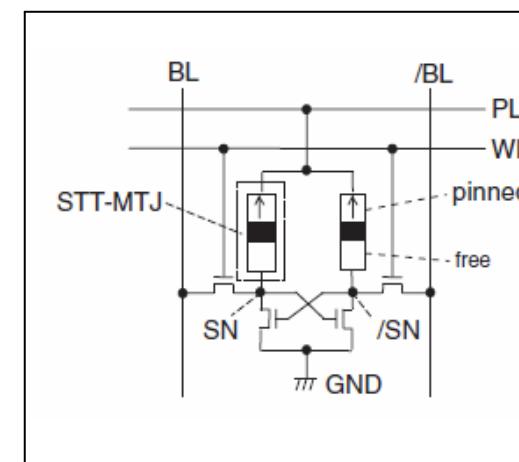
→ 6T-不揮発SRAM



組み合わせて使う



東芝  
SSDM  
2010

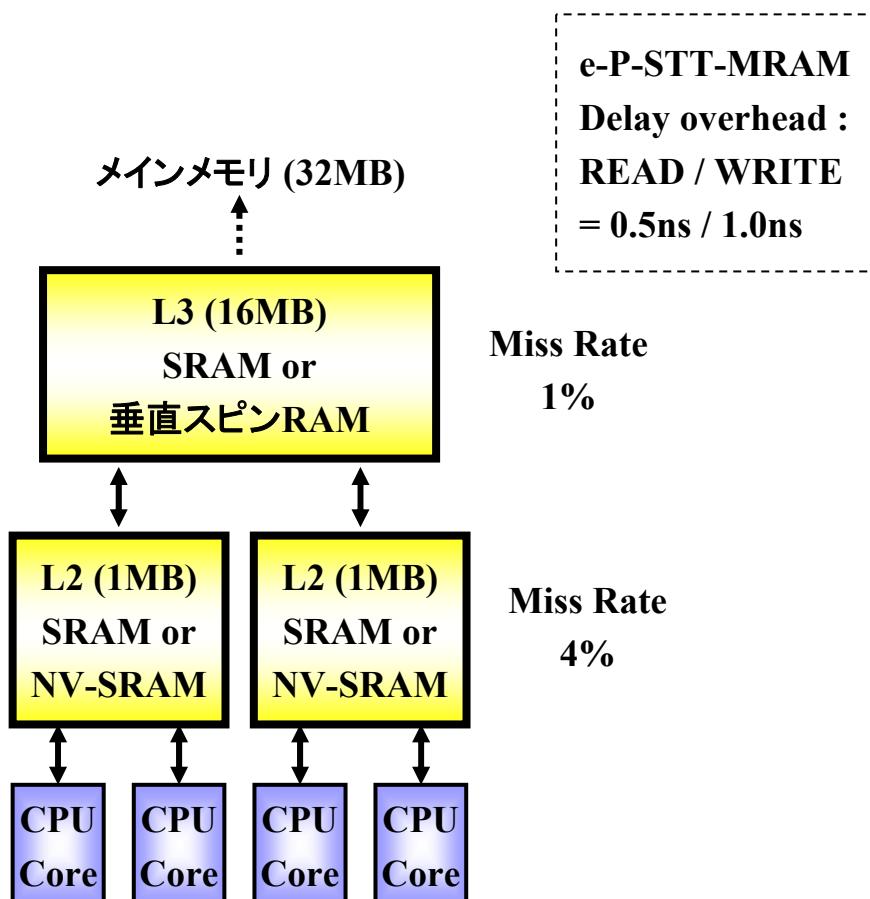
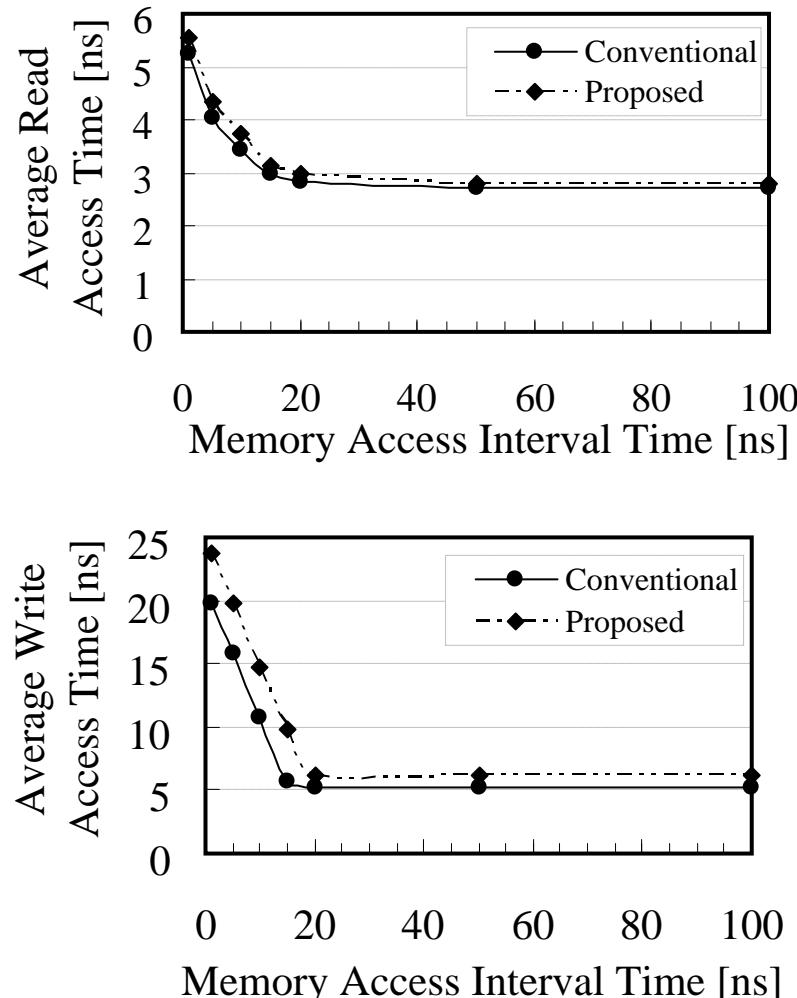


4T-不揮発SRAM

東北大遠藤G  
JJAP (2012)  
VLSI-2012

# アクセス速度のシミュレーション

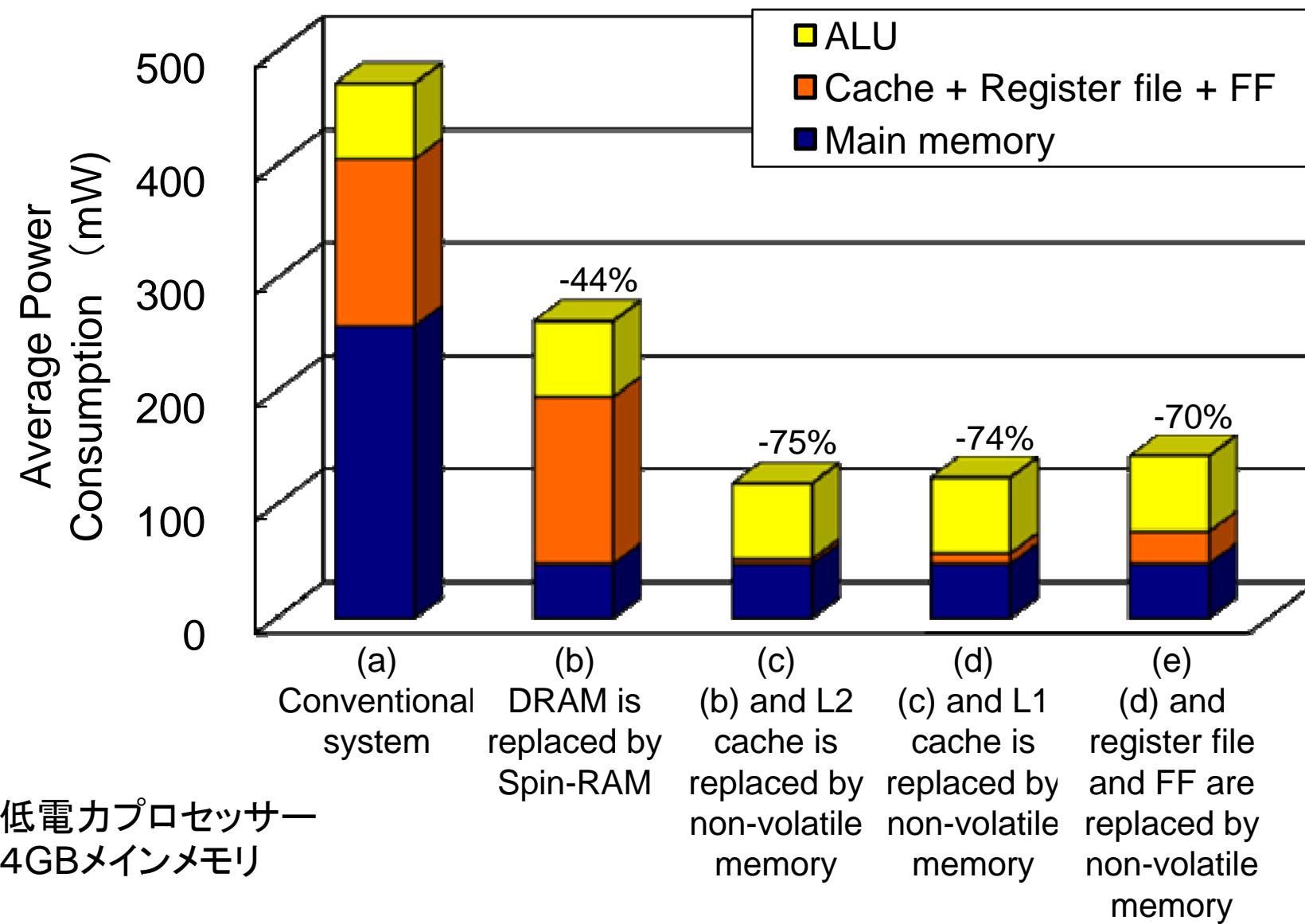
## Read/Write access time



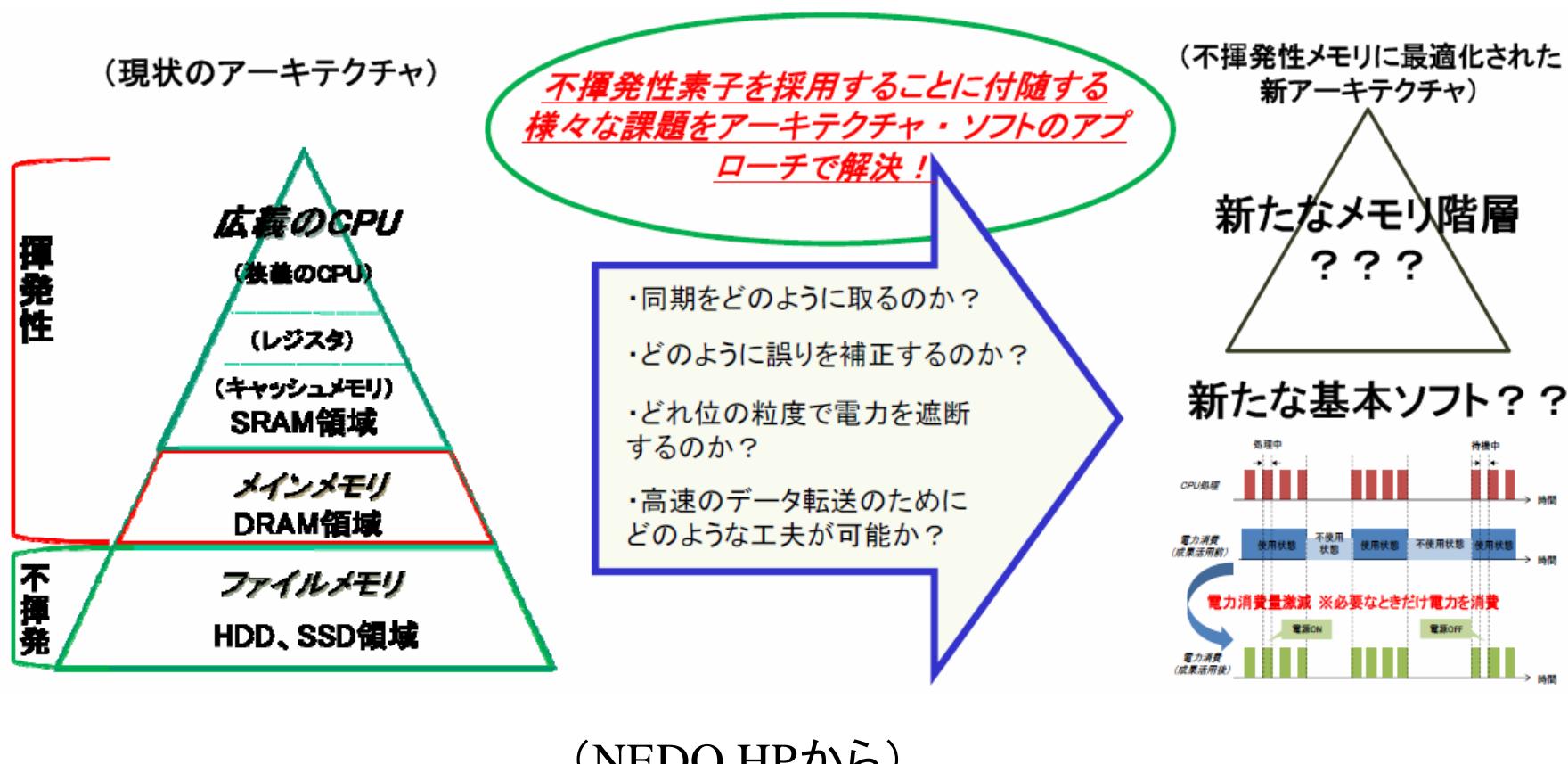
K. Abe et. al., SSDM2010

- L2キャッシュ:6T-不揮発性SRAM
- システムレベル評価:処理速度まで

# プロセッサーとメモリが消費する平均電力

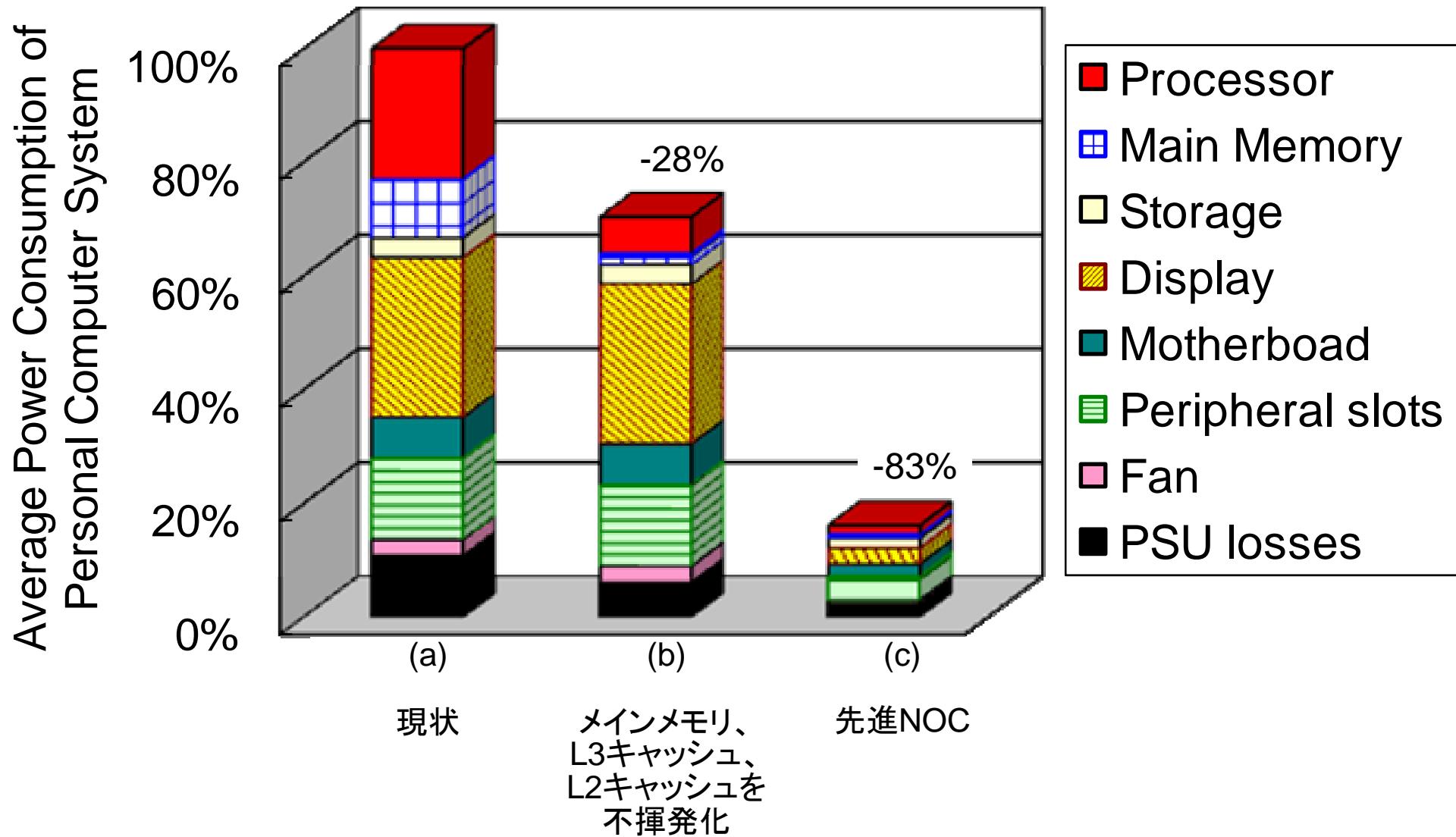


# NEDO ノーマリーオフコンピューティング基盤技術開発プロジェクト (H.23～H.27)



不揮発性メモリのジレンマ(消費電力と動作速度のオーバーヘッド)のマネージメント

# パソコンの平均消費電力



# 不揮発性ディスプレー



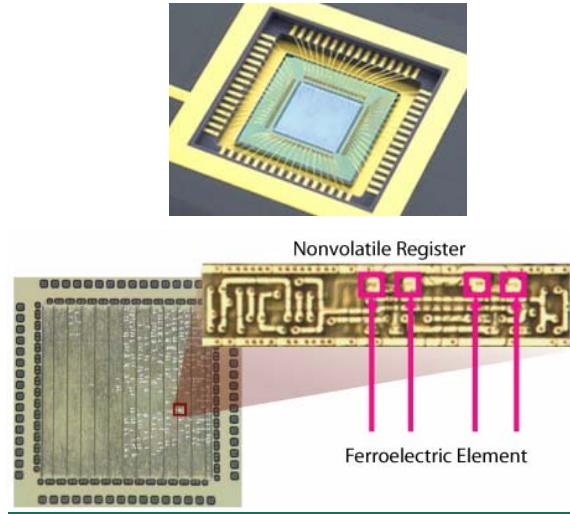
(各HPから)

ここまで話は、メモリ + ロジック

不揮発性ロジック？

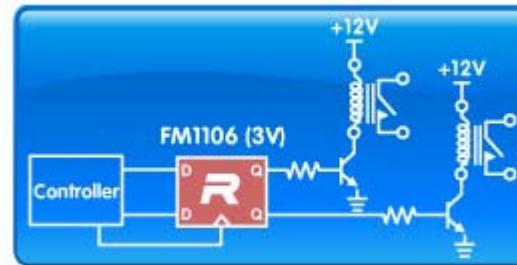
メモリ \* ロジック の可能性は？

## 不揮発性ロジック (FeRAMベース)

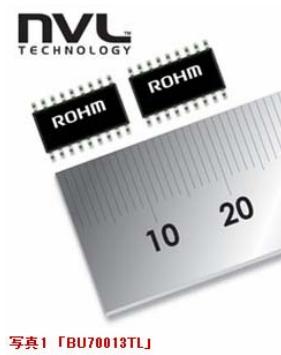


Z80-base non-volatile CPU  
14 ms cycle,  
10ms CPU power-off  
(Rohm)

Rohm Press Release 2008から



Nonvolatile State Saver  
(RAMTRON)



4bit 不揮発性カウンター  
電力計、ガスマータ、電子ボリューム  
(Rohm)



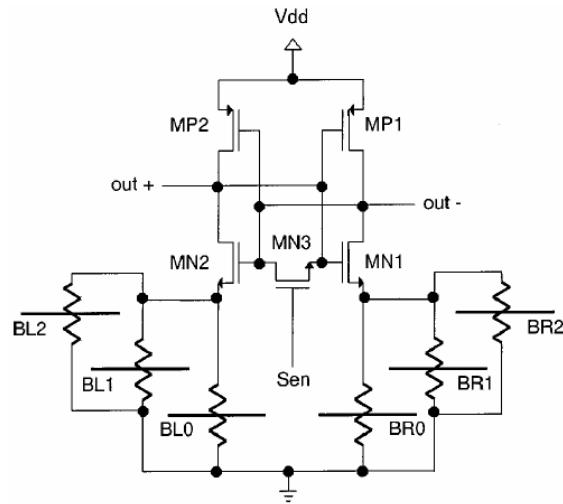
FeRAM搭載マイコン  
(TI、富士通)



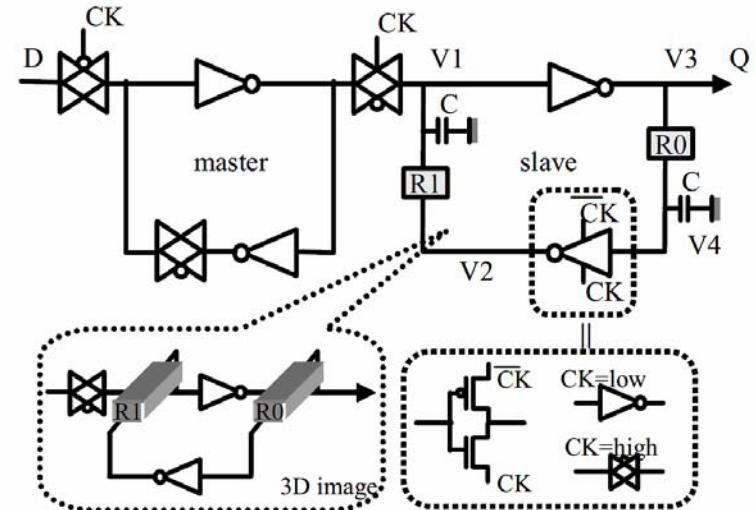
フラッシュFPGA  
(Lattice)

そんなに高速でなくて良い応用  
↓  
多様な不揮発性メモリが使用可能

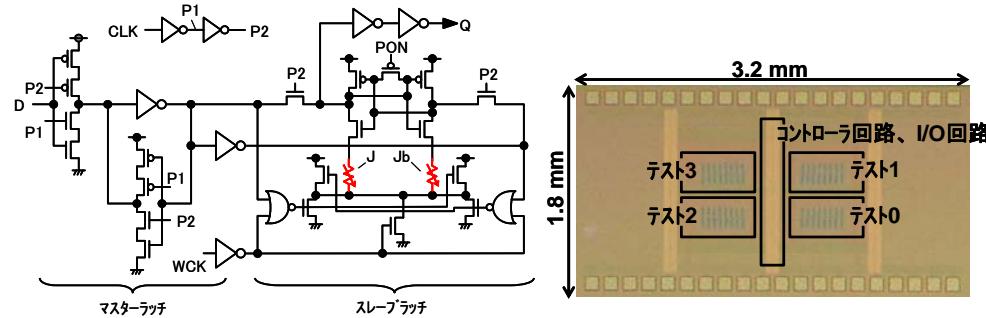
# 不揮発性ロジック (MTJ素子でどこまで性能上がる？)



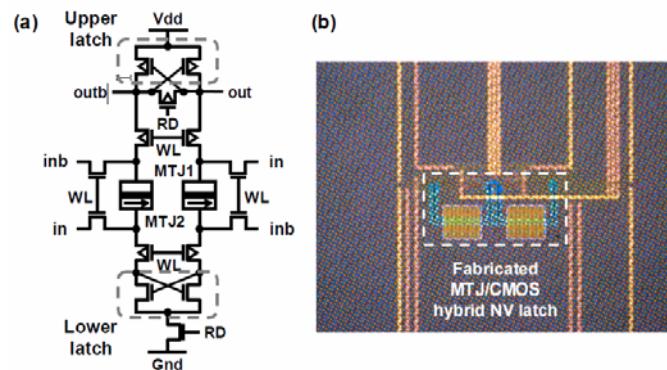
リコンフィギュラブル・ラッチセル(設計)  
(Iowa州立大、JAP 2000)



不揮発性D-F/F(設計)  
(東芝、NSTI-Nanotech 2005)

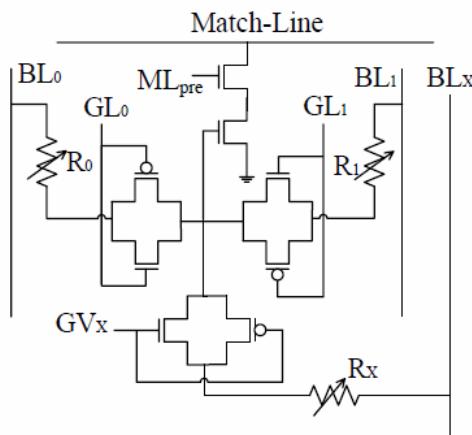


不揮発性D-F/F (試作)  
(NECプレスリリース2009年)

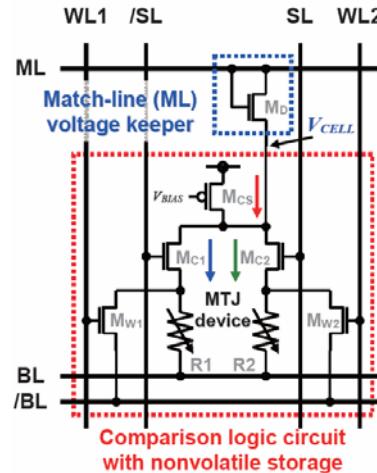


不揮発性ラッチ (試作)  
(T. Endoh et al, IEDM2011) 84

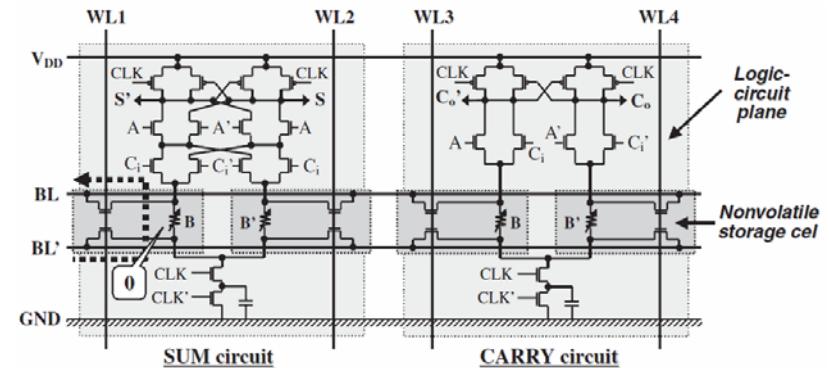
# 不揮発性ロジック(MTJ素子でどこまで性能上がる？)



不揮発性TCAM（設計）  
(レンセラーエンジニアリング、ISCAS2008)



不揮発性TCAM（試作）  
(東北大 VLSI 2011)



不揮発性全加算器（試作）  
(東北大 APEX 2008)

## 東北大「スピニ論理集積回路」（最先端研究開発支援PG）

Crocus(米)のMagnetic Logic Unit ⇒ Morpho社のSecure MCへ（報道）

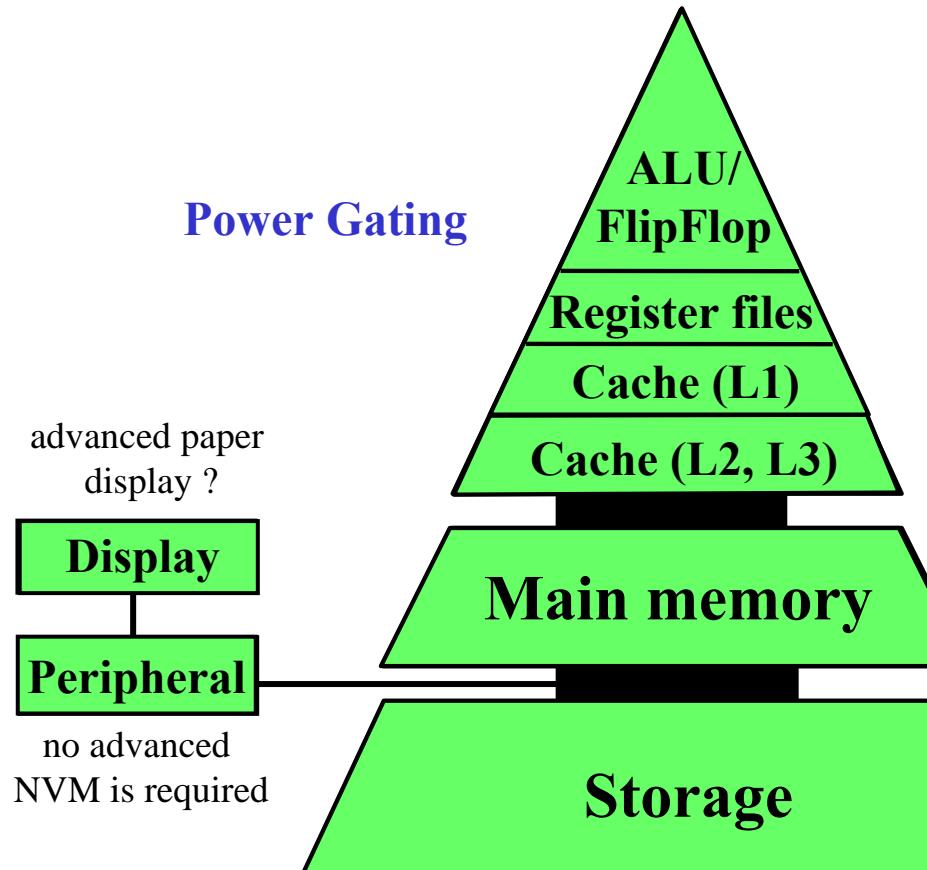
Resistive Computation = STT-MRAMベースLUTを使ったコンピュータ（設計）  
(Rochester大、ISCA 2010)

設計に使用しているスピニRAMの特性パラメータの妥当性は？

「不揮発性メモリのジレンマ」制約 ⇒  
システムレベルで消費電力・特性を評価しないと意味が無い  
キラーアプリは？

まとめ

*In these 10 years, toward Normally-Off Computer*



**Compute Architecture**

## NEDO Spintronics Nonvolatile Devices Project ( 2006 – 2010 )

Project Leader : K. Ando



Spin-RAM  
Working Group

**AIST** : Ando, Yuasa, Kubota, Fukushima, Yakushiji

**TOSHIBA** : Yoda, Kishi, Kai, Nagase, Kitagawa, Yoshikawa, Nishiyama, Daibou, Nagamine, Amano, Takahashi, Nakayama, Shimomura, Aikawa, Ozeki, Wanatabe, Ikegawa, Ito

Tohoku U. : Miyazaki, Ando, Ogane, Mizukami, Naganuma

Osaka U. : Suzuki, Nozaki, Seki, Tomita, Konishi

U. Electro-Commun. : Nakatani

## NEDO Normally-Off Computing Project ( 2011 – 2015 )

Project Leader : H. Nakamura

**TOSHIBA** Fujita, Abe, Nomura



**Thank you for your attention!**

# 概要

高速で動作する大容量の不揮発性メモリが実現できれば、ワーキングメモリや論理回路が不揮発化され、計算能力が必要な瞬間以外は常に電源が切れている新構造のコンピュータ(ノーマリーオフコンピュータ)ができるのではないかとの”妄想“に魅せられた講演者は、この10年間ほど、磁性メモリMRAMの開発を通じて、その実現を目指してきた。その間、論理演算素子に求められる驚異的な動作速度や、パワーゲーティング技術の出現などに驚かされ続きではあったものの、最近の不揮発性メモリ技術の進展は、ノーマリーオフコンピュータの実現可能性を大きく高めつつあると感じている。講演では、MRAMを中心とする不揮発性メモリ開発の現状を紹介するとともに、そのコンピュータアーキテクチャへの応用可能性に関する素人的な期待を述べ、コンピュータの専門家の皆さんとの議論の糸口としたい。

## (参考文献)

- (1) K. Ando, S. Ikegawa, K. Abe, S. Fujita, and H. Yoda : “*Roles of Non-Volatile Devices in Future Computer System: Normally-off Computer*” in Energy-Aware Systems and Networking for Sustainable Initiatives, W.-C. Hu and N. Kaabouch, Eds., IGI Global, (2012年6月出版予定).
- (2) 安藤功兒：“スピンドエレクトロニクスはどう変わる？”、応用物理 81, 239 (2012).
- (3) K. Ando *et al.* : “*Spin-RAM for Normally-Off Computer*”, Proc. 11th Non-Volatile Memory Technology Symposium (NVMTS 2011), Shanghai, November 2011 (IEEE Xplore).
- (4) 安藤功兒：“不揮発性デバイス—ノーマリーオフコンピュータは実現できるか—”、電子情報通信学会誌、93, 913 (2010).