

低消費電力プロセッサ・ 回路技術とその動向

(株)ルネサステクノロジ

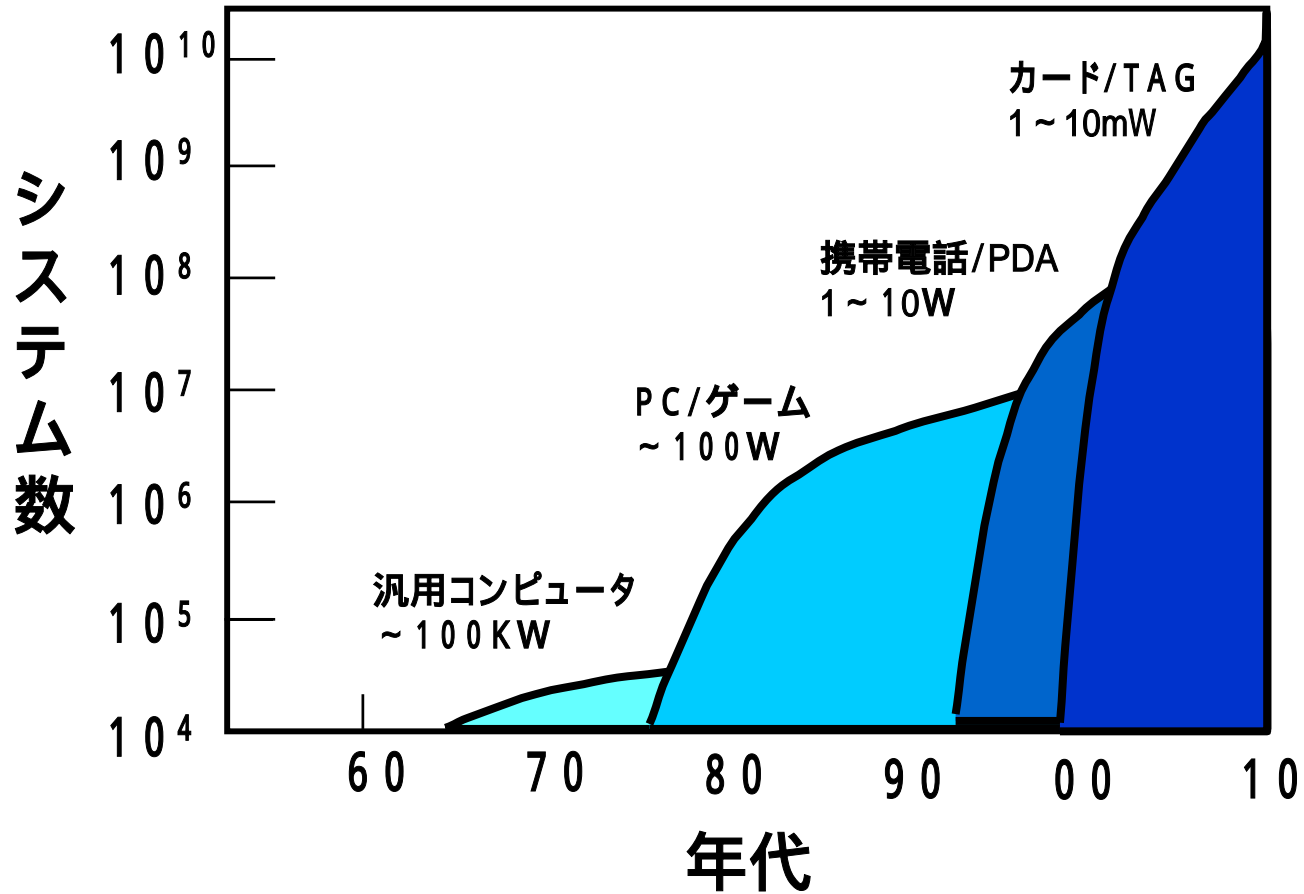
石橋 孝一郎

ishibashi.koichiro@renesas.com

内 容

- ➡ SoCの低電力化の必要性
- ➡ 論理回路の消費電力の要因
- ➡ ITRSによるデバイスの定義とSoCの消費電力の見積
- ➡ 論理回路の低電力化技術実例

半導体アプリケーションの変遷

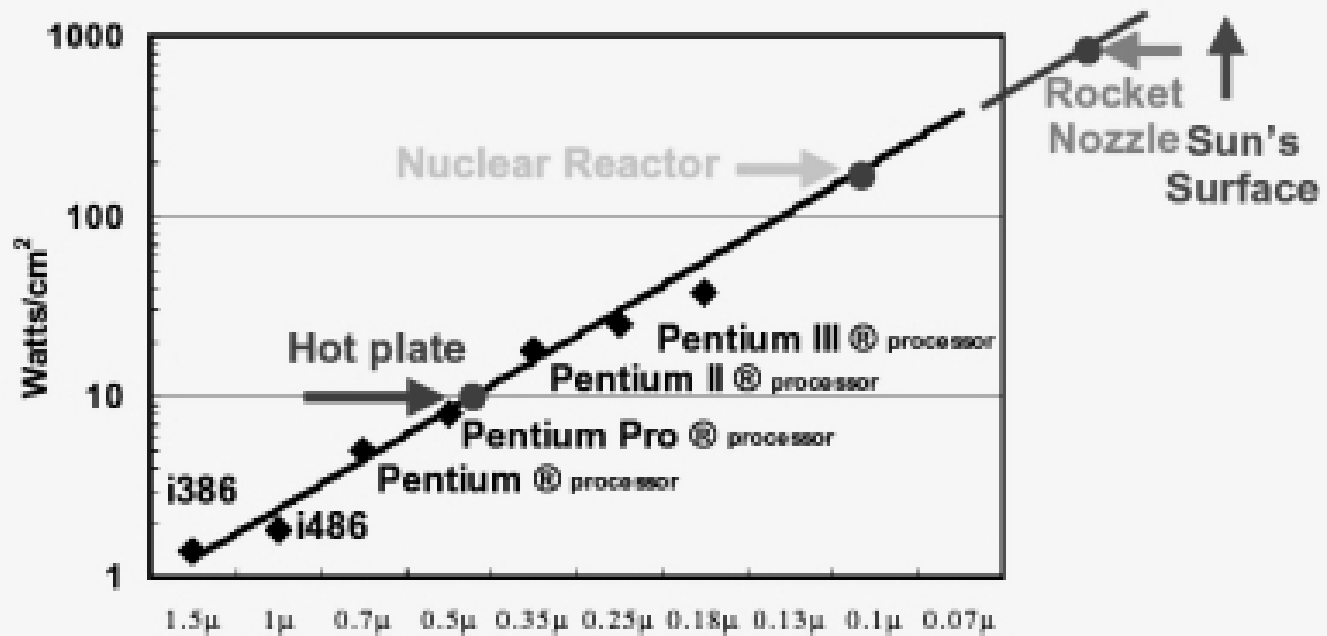


SoCの低電力化の必要性(その1)

- ➡ **高性能分野(デスクトップPC, ゲーム機等)**
 - ➡ 発熱の低減 実装コストの低減
 - ➡ 電源IRドロップの低減、クロックスキュー低減
 - ➡ エコロジカルの観点
- ➡ **携帯分野(携帯電話、PDA等)**
 - ➡ 機器の小型化、長時間動作
- ➡ **新アプリケーション(カード、TAG、センサーネットワーク等)**
 - ➡ 微弱電源による動作(が前提)

SoCの低電力化の必要性(その2)

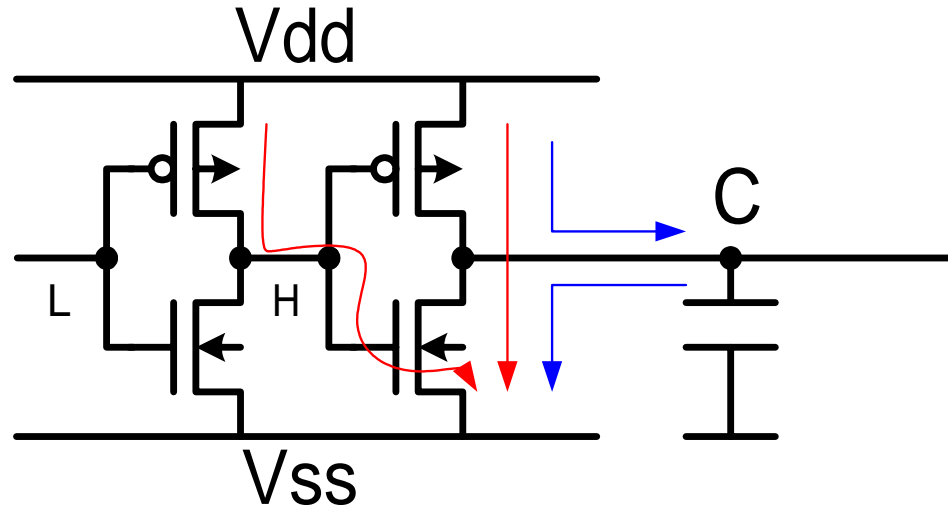
Power density continues to get worse



Source: Intel Corp.

消費電力は、プロセッサの高性能化を妨げる要因

CMOSゲートの消費電力の要因



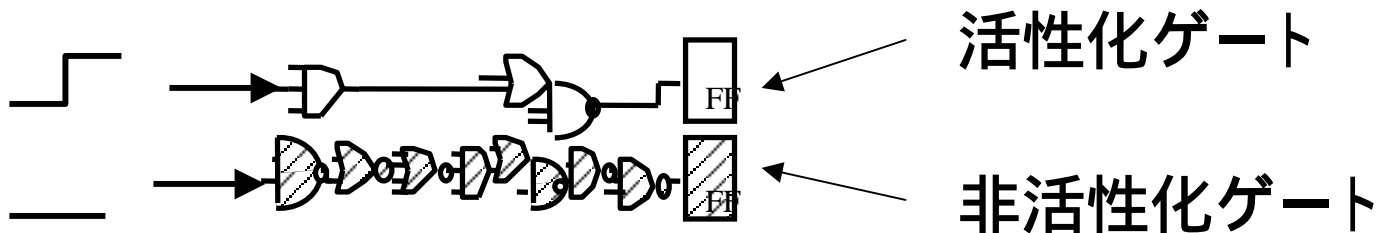
$$P = \underbrace{C V^2 f}_{\text{AC成分}} + \underbrace{I_L V}_{\text{DC成分}} \quad I_L : \text{リーク電流}$$

論理回路の消費電力

$$P = A N_t C V^2 f + N_t I_L V$$

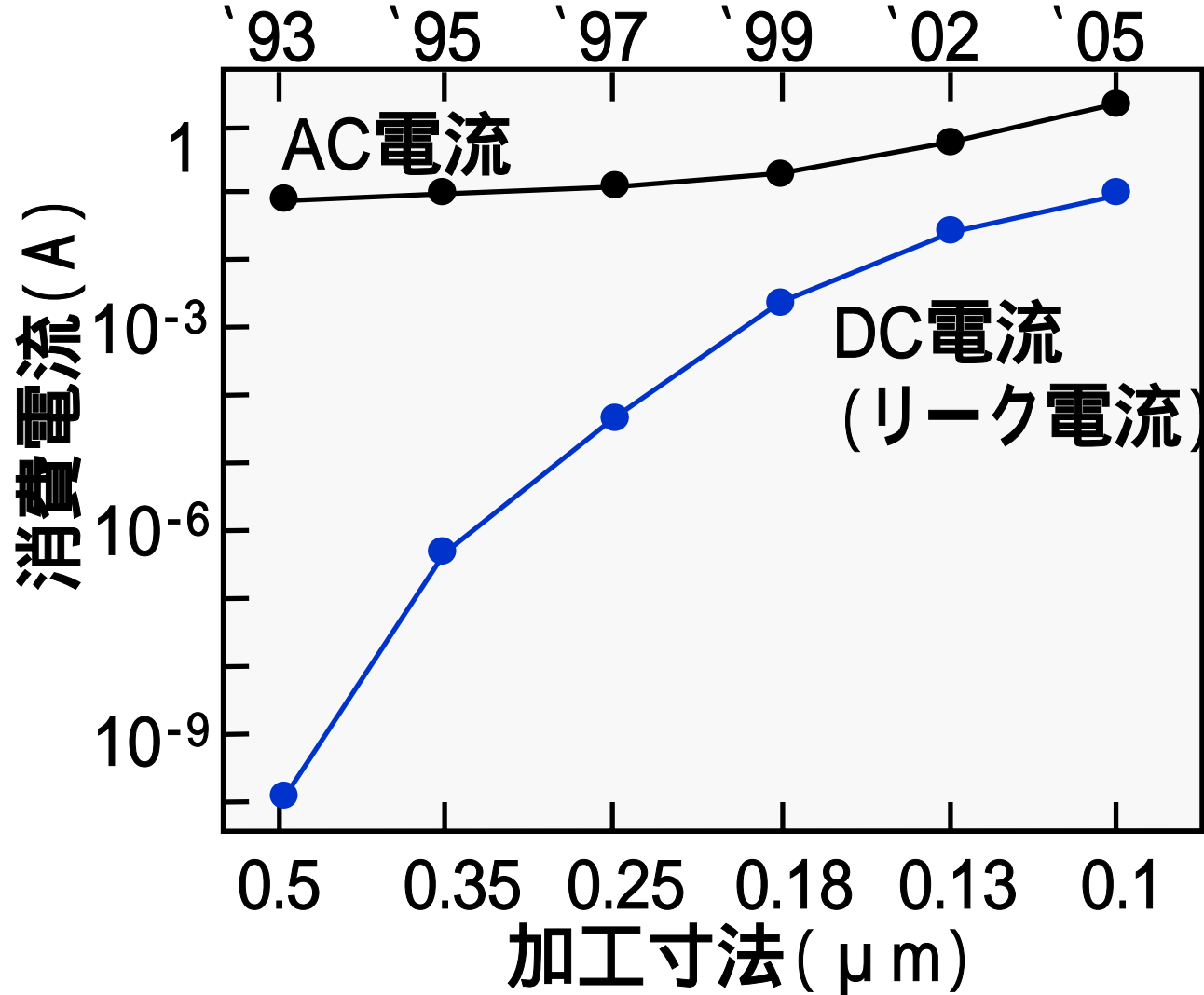
A: 活性化率

N_t : 全ゲート数



- ◆ AC電流は動作したゲートだけ流れる
- ◆ DC電流(リーク電流)は回路が動作しなくても全ゲートに流れる

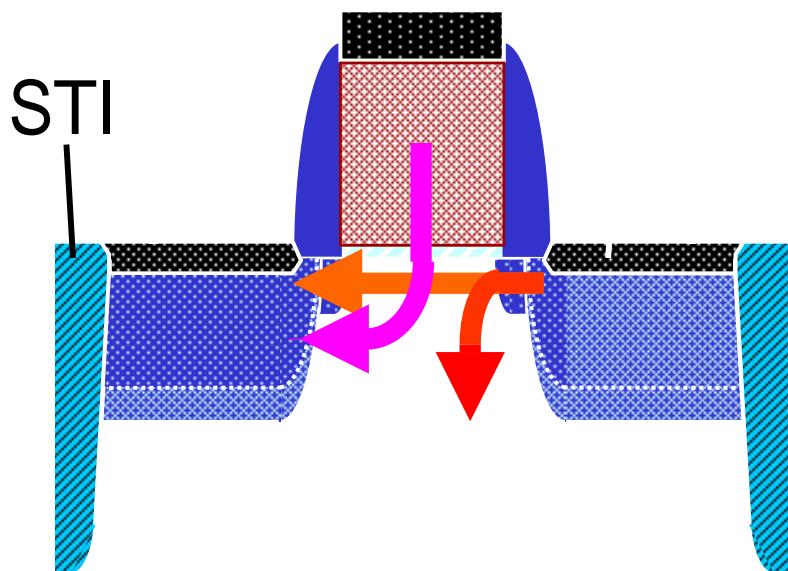
LSIの動作電流



◆ AC電流だけでなくDC電流が問題になりつつある

トランジスタのリーク電流経路

[MOS断面図]



サブスレッショルド電流

ゲートトンネル電流

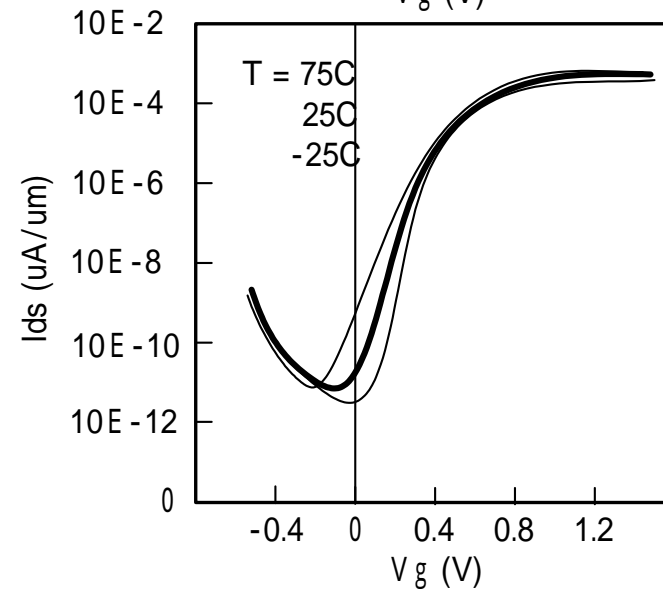
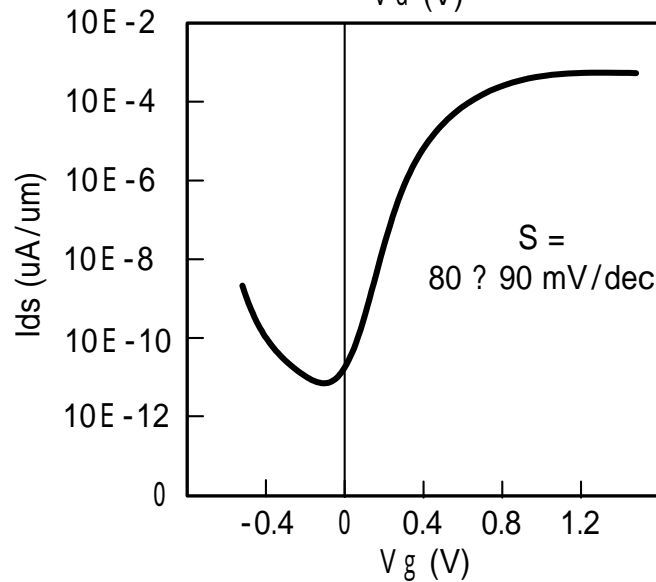
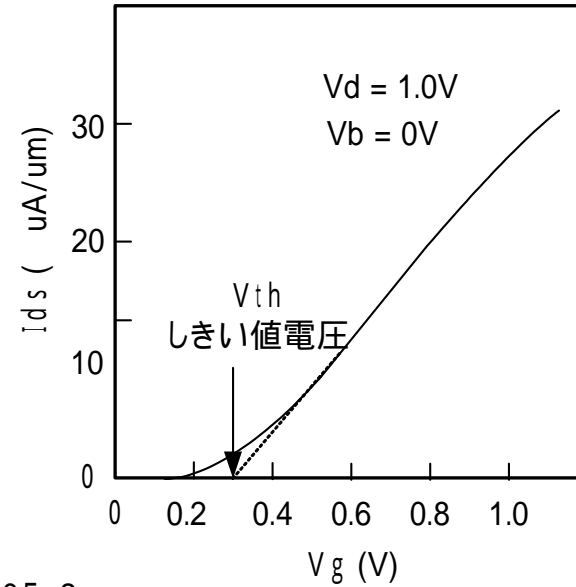
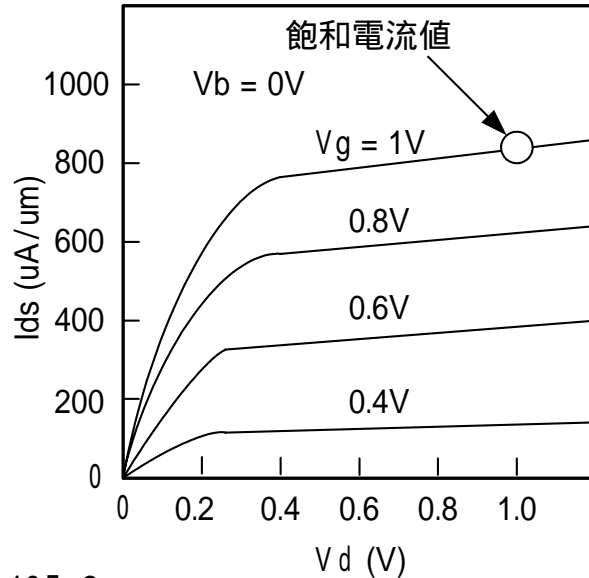
GIDL (接合リーク電流)

* Gate Induced Drain Leakage

** Drain Induced Barrier Lowering

◆ リーク電流の種類により電源電圧依存性、温度依存性が異なる

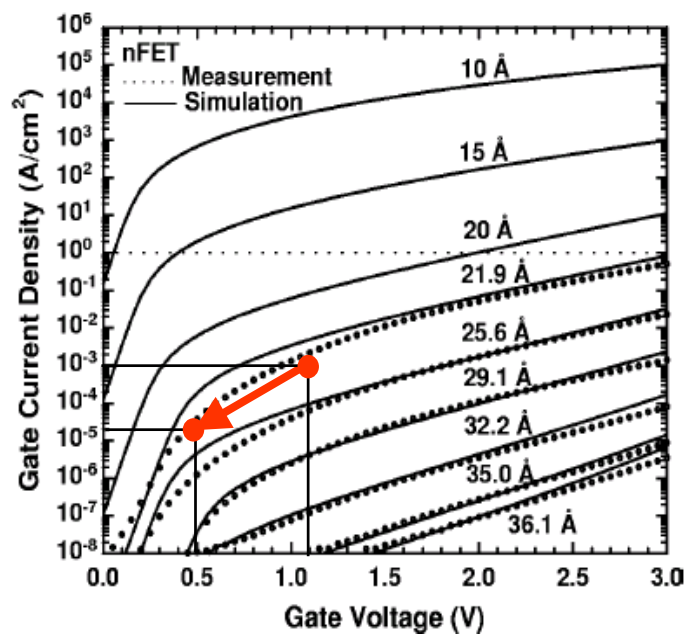
トランジスタの特性



◆ サブスレッショルド電流は温度依存性が大きい

ゲートトンネル電流

- ◆ 酸化膜厚に対して大きく変動
- ◆ 電圧依存性大
- ◆ 温度依存性小

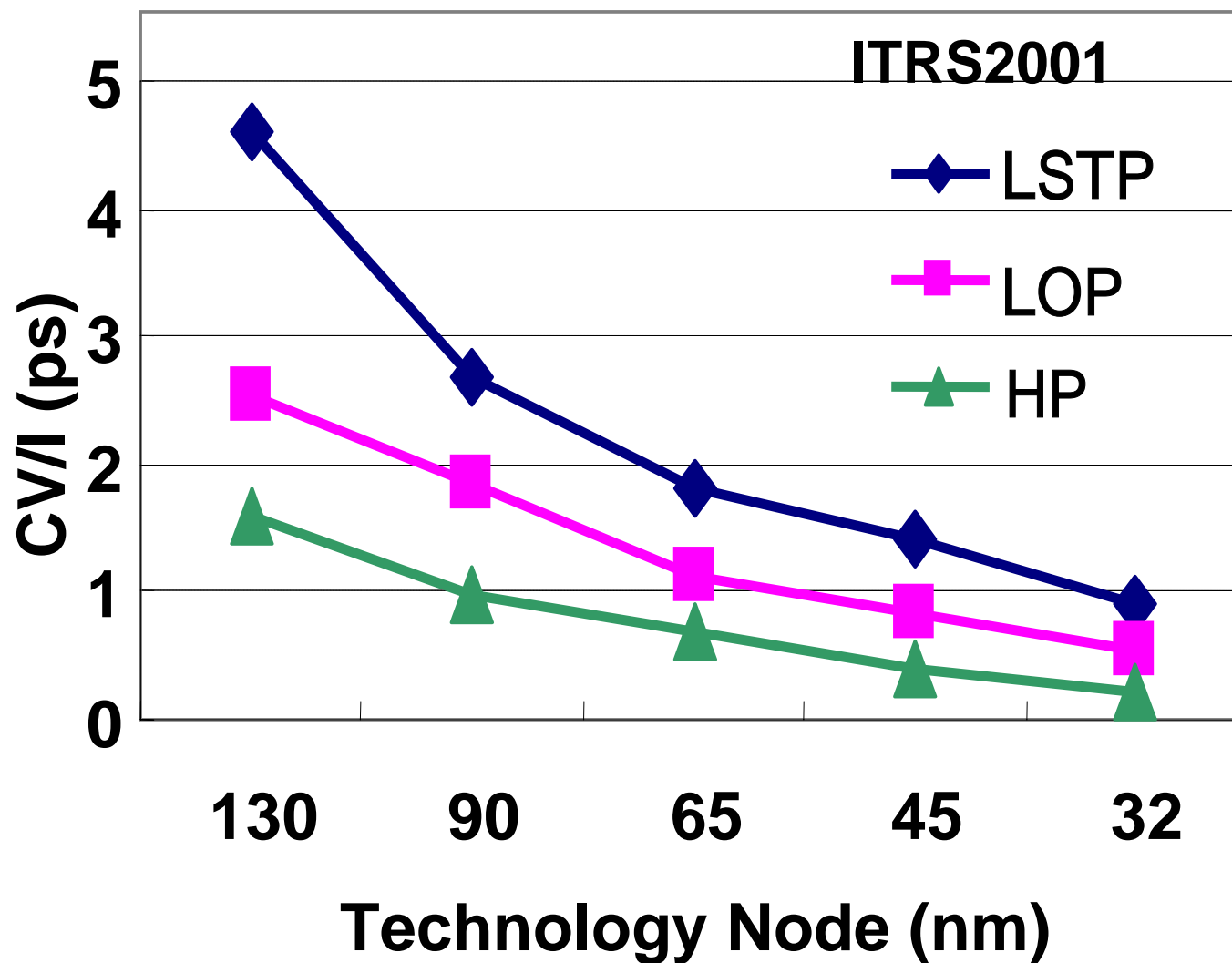


Ref.S.H.Lo et al.,

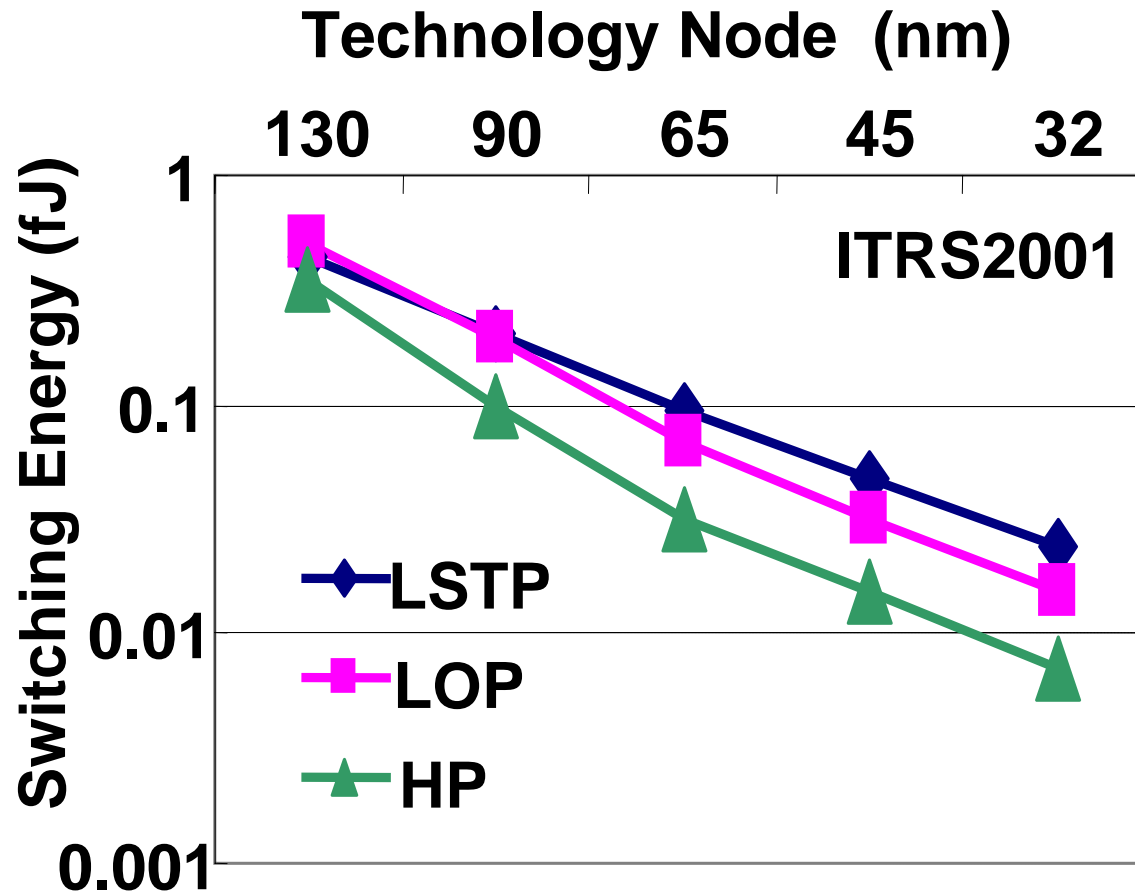
ITRSによるデバイス定義

- ➡ HP (High Performance)
- ➡ LOP (Low Operating Power)
- ➡ HSTP (Low Standby Power)

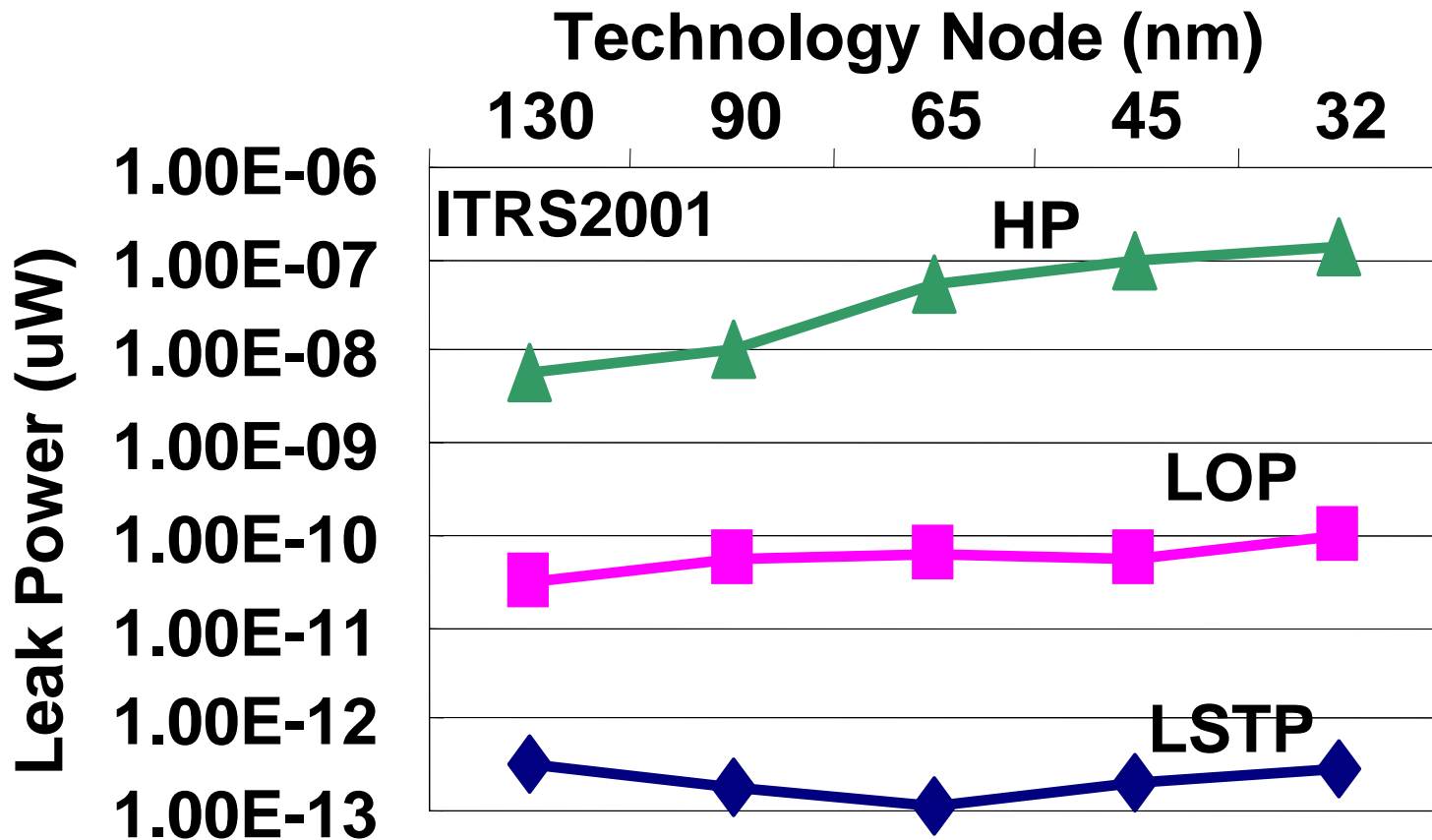
トランジスタの性能



ゲートのスイッチングエネルギー



リークによる電力

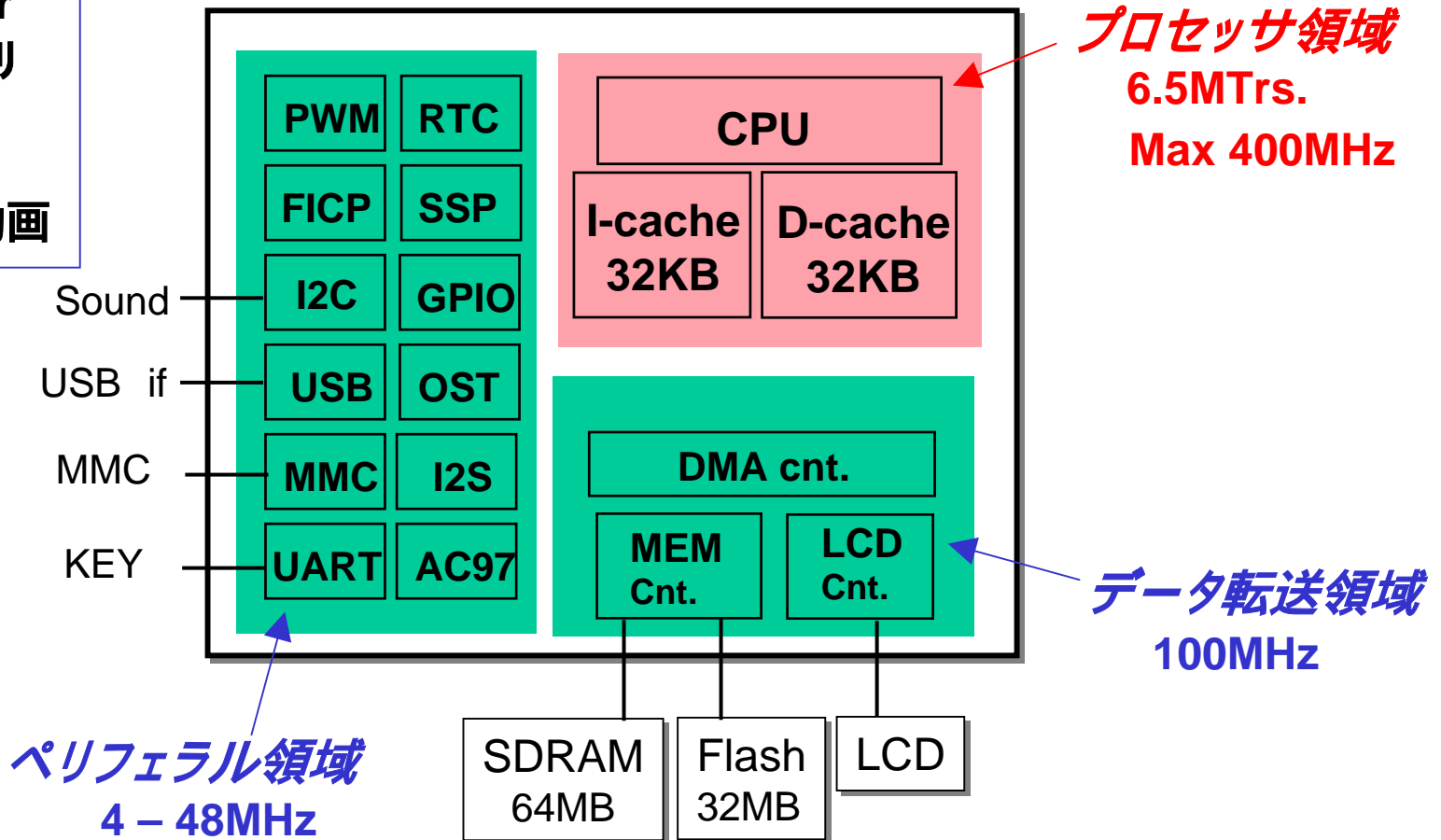


PDA用SoC(ベンチマーク)

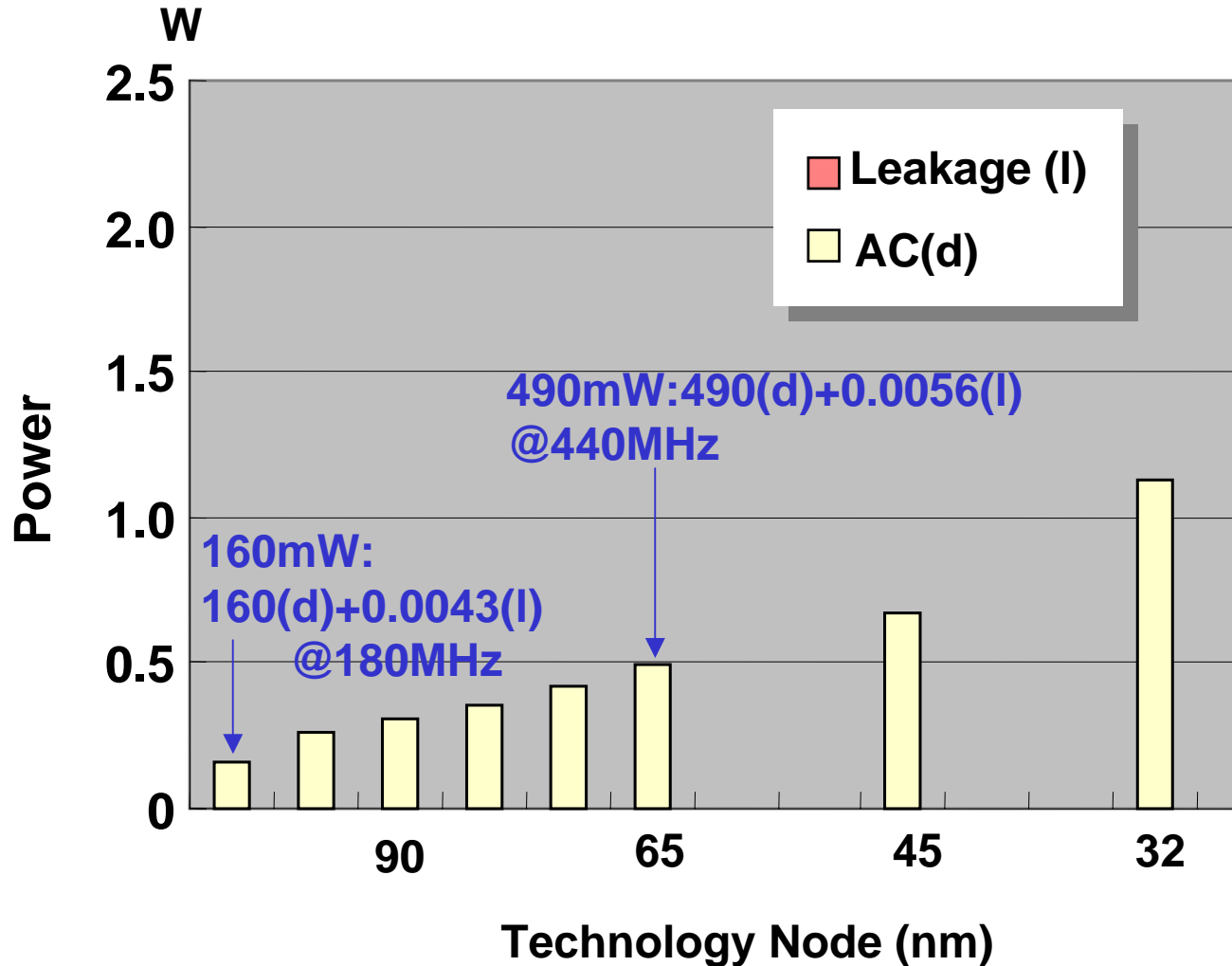
機器仕様

- ・使用時間
6-10Hr
- ・MMアプリ
MP3
JPEG
簡易動画

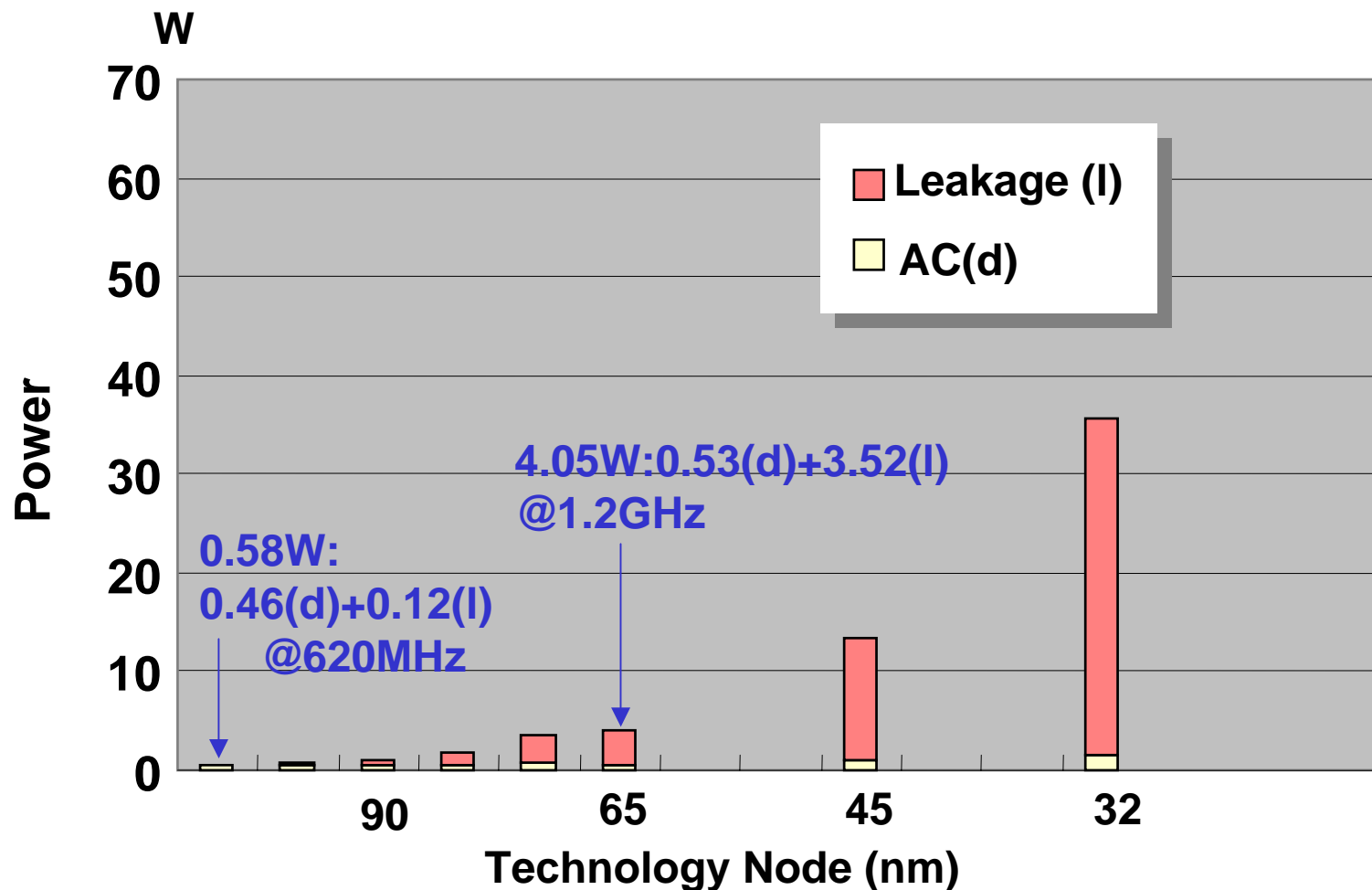
0.18um / 400MHz / 470mW (typ.)



PDA 用SoCの消費電力(LSTP)



PDA 用SoCの消費電力(HP)



SoCの電力効率

➡ HSTP

➡ $490\text{mW}/440\text{MHz} = 1.1 \text{ mW/MHz (Total)}$

➡ HP

➡ $4050 \text{ mW}/1200 \text{ MHz} = 3.4 \text{ mW/MHz (Total)}$

➡ $530 \text{ mW}/1200 \text{ MHz} = 0.4 \text{ mW/MHz (AC)}$

➡ $3520 \text{ mW}/1200 \text{ MHz} = 2.9 \text{ mW/MHz (DC)}$

◆ HPの方がACの効率は高いが、DC成分のためにHSTPの方がトータルの効率が高い

デバイスの特性ばらつき

- MOSFETの V_{th} ばらつき, 温度変化の影響を表す式

$$\Delta V_{th} = \Delta V_{th}(L_g) + \Delta V_{th}(N_A) + V_{th}(Temp.) \dots\dots V_{th}(LER)$$

ゲート長の変動

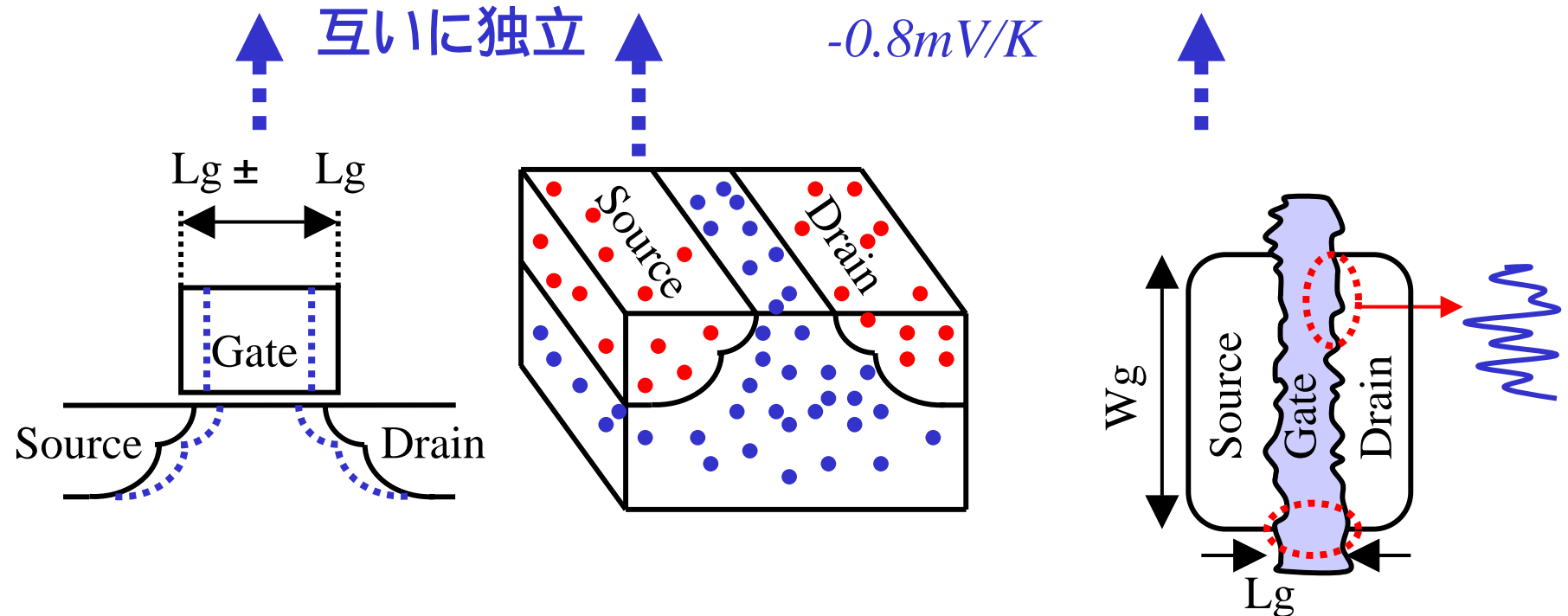
不純物の揺らぎ

温度の影響
 $-0.7 \sim -1.0 \text{ mV/K}$

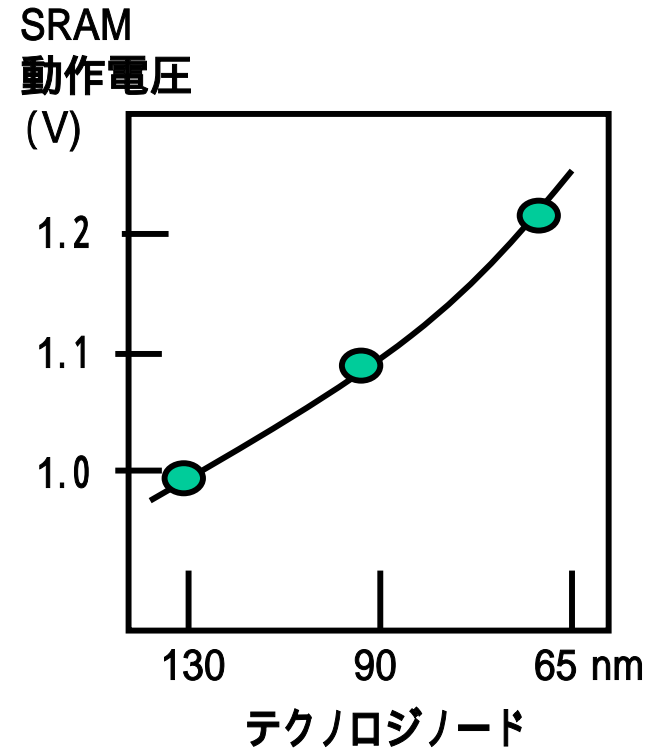
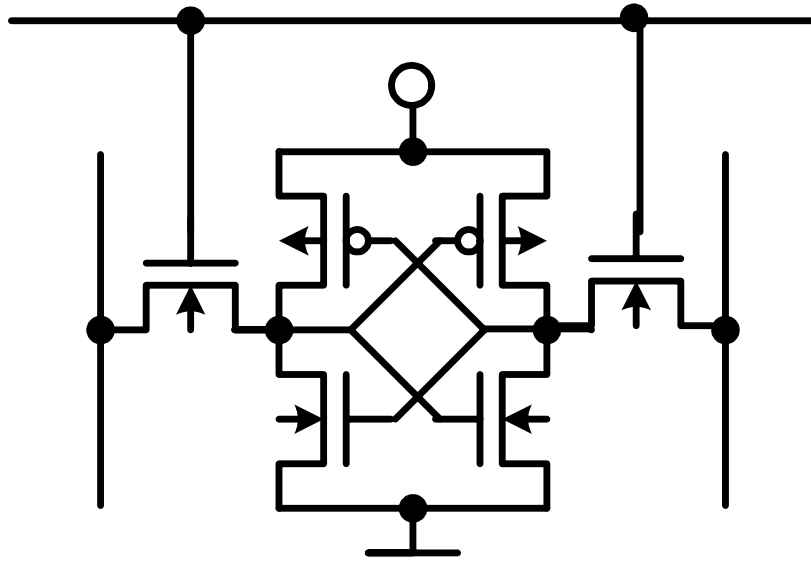
LER (Line Edge Roughness)の影響

互いに独立

-0.8 mV/K



ばらつきの低電力化に対する影響



◆ オンチップSRAMの低電圧動作が困難

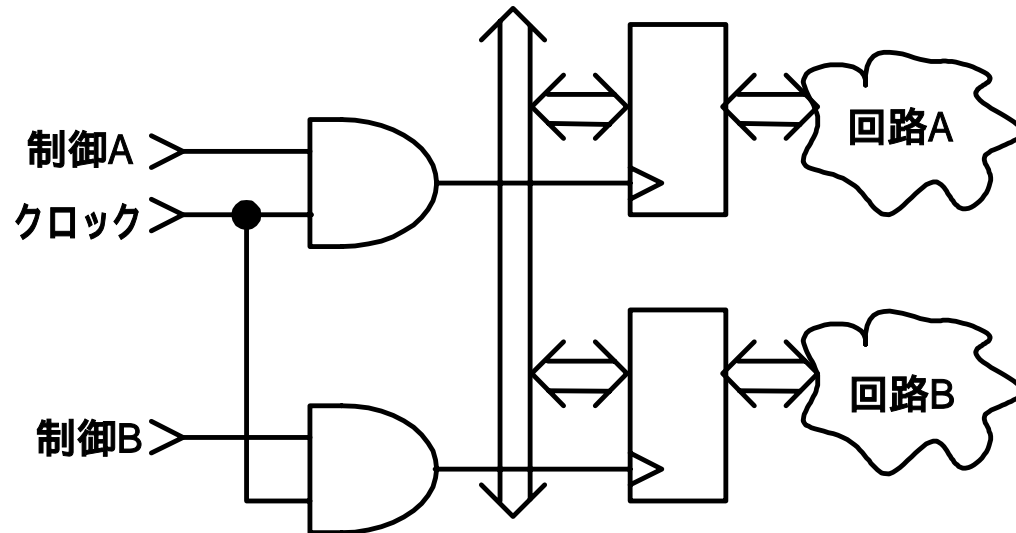
LSIの低電圧動作の阻害要因

論理回路の低電力技術の実例

- ➡ 先端テクノロジーによる低電力化
- ➡ クロックゲーティング
- ➡ Dual VT 技術（リーク低減技術）
- ➡ 並列動作
- ➡ 動的電圧制御技術

クロックゲーティング

動作電力: $P = N_a C V^2 f$



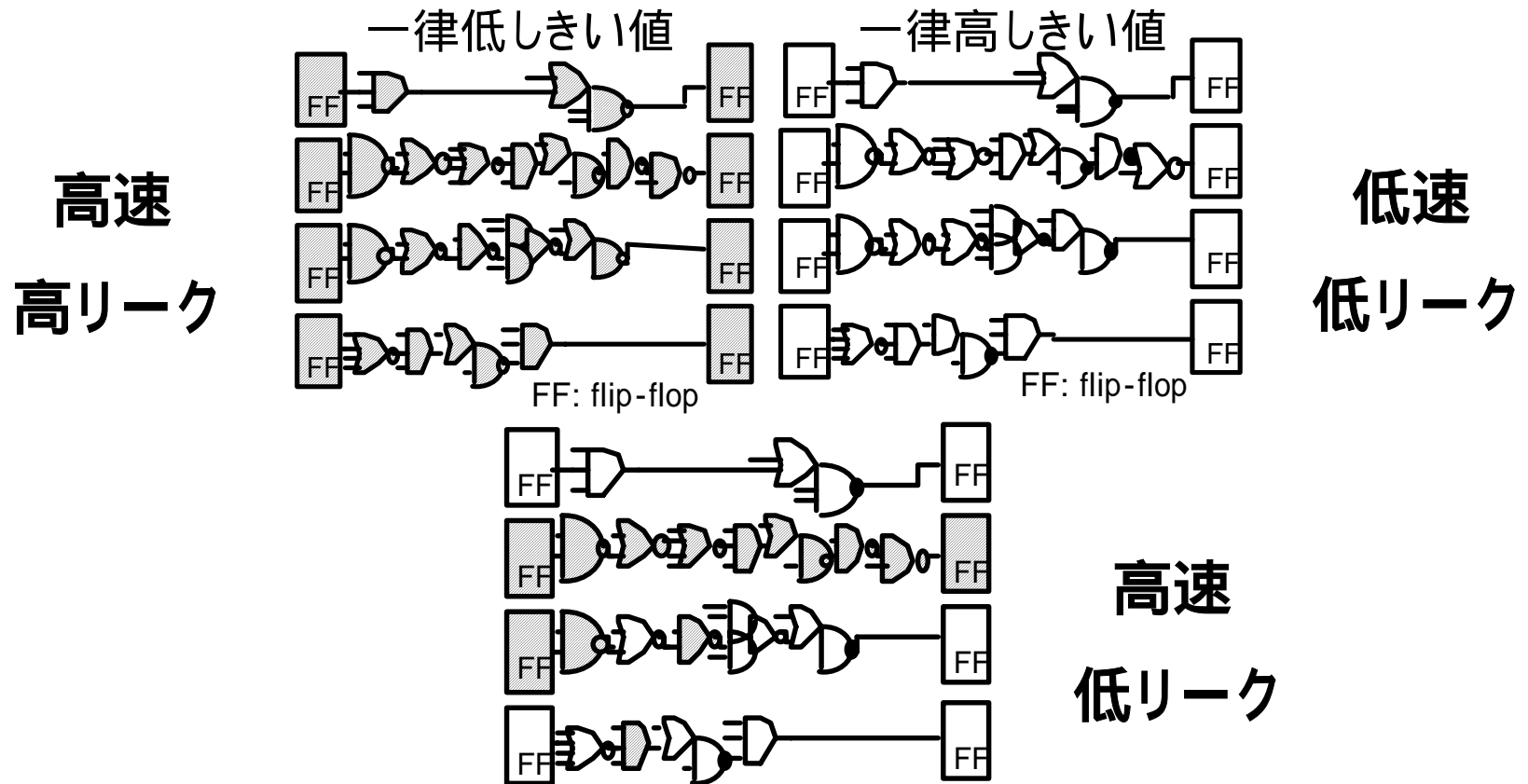
特徴: 動作しない回路ブロックのクロックを遮断

効果: AC電力低減 (N_a の低減)

現状: 代表的なEDAツールでもインプリ可能、広く使われている

問題点: DC電流は低減できない

Dual VT 技術



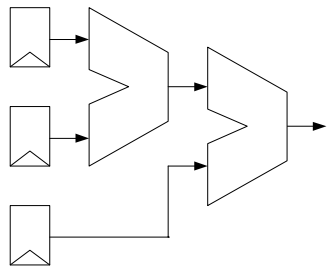
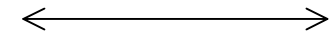
方式: 高しきい値と低しきい値を混ぜて高速と低リークを両立させ
効果: 動作時、待機時ともにリーク電流を低減

問題点: デバイスばらつきの大きい低電圧においては設計が困難

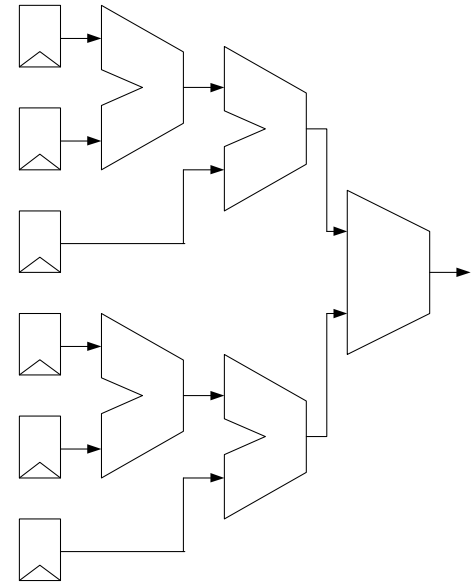
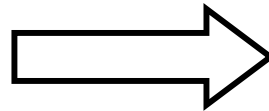
並列動作による低電力化

動作電力: $P = N a C V^2 f$ $\xleftarrow{10\text{ ns}(100\text{MHz})}$

5 ns (200MHz)



並列化



事例: Super Scaler, SIMD, VIEW などの
アーキテクチャによる並列動作と
低電圧動作の組み合わせ

効果: N が2倍必要だが、 f は1/2でよい
 V を1/2にできれば電力は1/4

問題点: テクノロジで定義されるより低い電圧動作必要

マルチプロセッサによる低電力化

事例: Intel Mendocino, Sony/IBM/東芝 Cell

- ・シングルプロセッサは高性能化することにより、基礎代謝が増大する。
- ・マルチプロセッサはタスクごとにプロセッサを割り当てる。タスクが割り当てられないプロセッサは休ませることができる。
- ・電力管理による低電力化の可能性

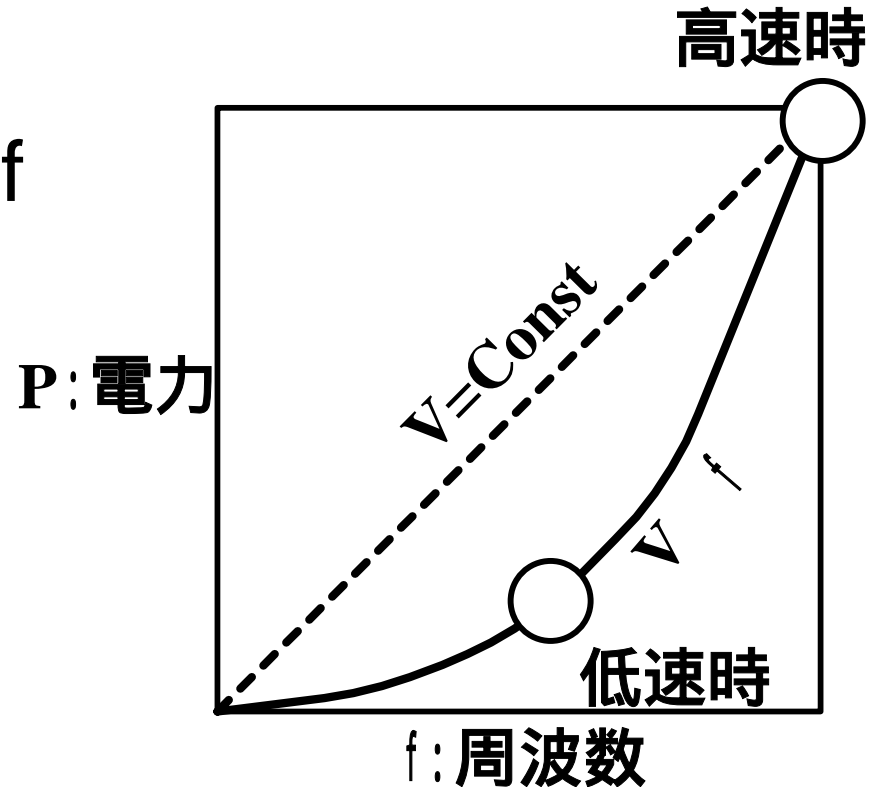
DVS方式

- Dynamic Voltage Scaling -

動作電力: $P = N a C V^2 f$

効果: f を $1/2$ の時、 V を $1/2$ に
できれば電力は $1/8$

課題: 電源電圧の範囲を広く
する必要がある。



まとめ

- ➡ 微細化による低電力化はリーク電流や、デバイスのばらつきにより限界を迎えている。
- ➡ リーク電流を考慮しながら、低電力プロセッサの高性能化、低電力化が進められている。