МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное учреждение высшего образования

«Севастопольский государственный университет»

Институт информационных технологий и управления в технических системах

кафедра Информационные системы

09.03.02 Информационные системы и технологии (уровень бакалавриата)

Лабораторная работа №2

по дисциплине: «Инструментальные средства информационных систем»

на тему: «Исследование архитектуры универсального 8-разрядного

микропроцессора»

Выполнил

студент 3 курса группы ИС/б-33-о

Генералов Николай Николаевич

Отметка о зачете\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_

(дата)

Проверил

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(должность) (подпись) (фамилия, инициалы)

г. Севастополь

2018 г.

# ЦЕЛЬ РАБОТЫ

Исследовать архитектуру и основные блоки 8-разрядного процессора. Исследовать взаимодействие основных блоков процессора при выполнении команд разных типов. Приобрести навыки написания и отладки ассемблерных программ в эмуляторе KP580 Emulator.

# ПОСТАНОВКА ЗАДАЧИ

* Изучить архитектуру МП КР580ВМ80;
* изучить основные команды МП КР580ВМ80;
* задавая различные команды (запись в регистр и в пару регистров, пересылки данных, суммирования при наличии переноса, чтения и записи в память и др.), исследовать наличие и вид сигналов и данных на шинах процессора, содержимое регистров, значение флагов и взаимодействие блоков МП КР580ВМ80 в оде выполнения команд.

# ХОД РАБОТЫ

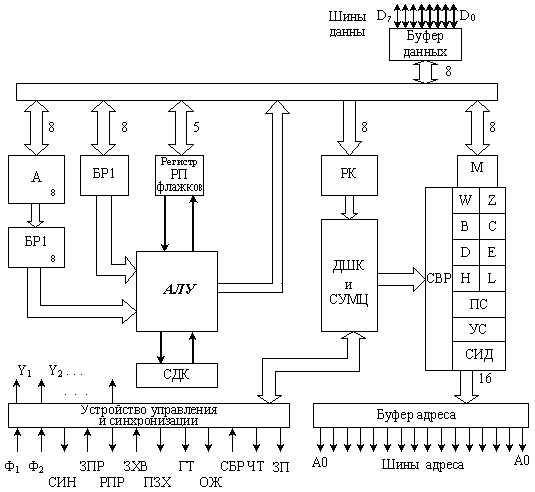


Рисунок 1 – Структурная схема МПС KP580BM80

Изучаемая МПС содержит шесть 8-разрядных регистров общего назначения РОН (B,C,D,E,H и L) с мультиплексором регистров М, восьмиразрядный аккумулятор A, четыре 8-разрядных буферных регистра БР1, БР2, W и Z, а также 5-разрядный регистр признаков РП. В состав МПС входят также регистр команд РК, дешифратор команд ДШК, схема управления машинным циклом СУМЦ, схема десятичной коррекции СДК, схема выборки регистров СВР, программный счетчик ПС, указатель стека УС (в качестве стека используется часть ОЗУ), схема инкрементации-декрементации СИД, устройство управления, а также буферные регистры данных и адреса.

Время выполнения команды определяется процессом получения, декодирования и ее выполнения. В зависимости от вида команды это время может состоять от 1 до 5 М (машинных циклов).

Для микропроцессора KP580ВМ80 существует десять различных типов циклов, каждый из которых включает от трех до пяти тактов:

* М1 – извлечение кода команды;
* М2 – чтение данных из памяти;
* М3 – запись данных в память;
* М4 – извлечение из стека;
* М5 – запись данных в стек;
* М6 – ввод данных из внешних устройств;
* М7 – запись данных во внешние устройства;
* М8 – цикл обслуживания прерывания;
* М9 – останов;
* М10 – обслуживание прерывания при работе МП в режиме “Останов”.

Самые простые команды, не требующие обращения к памяти, выполняются в течении одного машинного цикла за четыре такта, самые длинные – на протяжении 5 машинных циклов – за 18 тактов.

Выборка команд длиной 2 и 3 байта производится соответственно за два или три машинных цикла, при этом первый байт команды заносится в регистр команд РК, второй в программно-недоступный регистр W , а третий – в регистр Z.

Для анализа времени выполнения команд МП, в программной среде KP580BM80 Emulator, была написана программа, осуществляющая обход цикла и выводящая количество выполненных обходов на порт принтера. Последовательность команд находится в таблице 1.

Таблица 1. Список команд программы.

|  |  |  |
| --- | --- | --- |
| № Ячейки | Значение | Команда |
| 0000 | 06 | MVI B, d8 |
| 0001 | 05 | DCR B |
| 0002 | 0E | MVI C, d8 |
| 0003 | 00 | NOP |
| 0004 | 3E | MVI A, d8 |
| 0005 | 00 | NOP |
| 0006 | 81 | ADD C |
| 0007 | B8 | CMP B |
| 0008 | CA | JZ adr |
| 0009 | 0E | MVI C, d8 |
| 000A | 00 | NOP |
| 000B | 0C | INR C |
| 000C | C3 | JMP adr |
| 000D | 04 | INR B |
| 000E | 00 | NOP |
| 000F | 4F | MOV C, A |
| 0010 | D3 | OUT N |
| 0011 | 04 | INR B |
| 0012 | 76 | HLT |

В первом и втором машинном цикле, в РОН B помещаются данные извлекаемые из ячейки с адресом 0001, эта команда выполняется за 7 тактов.

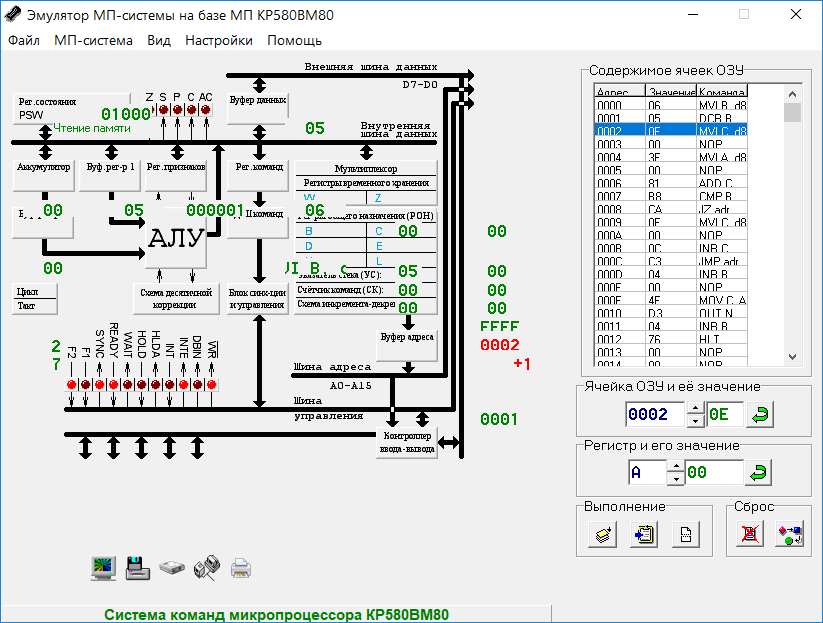


Рисунок 2 – Результат выполнение команды MVI B, 05

Время выполнения следующих двух команд совпадает с командой MVI B, 05, так как они выполняют аналогичные действия.

Время выполнения команды сложения данных из регистра C и аккумулятора, составляет 5 тактов.

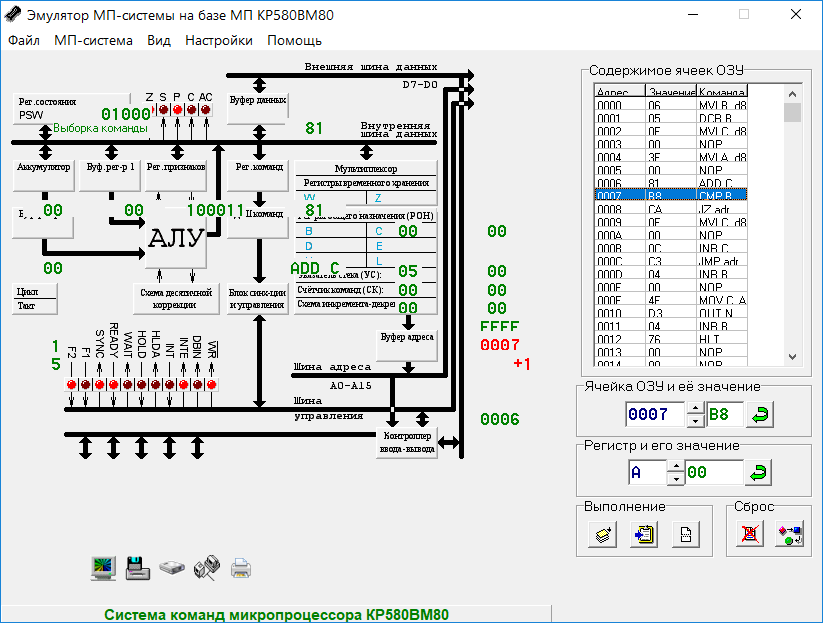


Рисунок 3 – Результат выполнения команды ADD C

Время выполнения команды сравнения, составляет так же – 5 тактов.

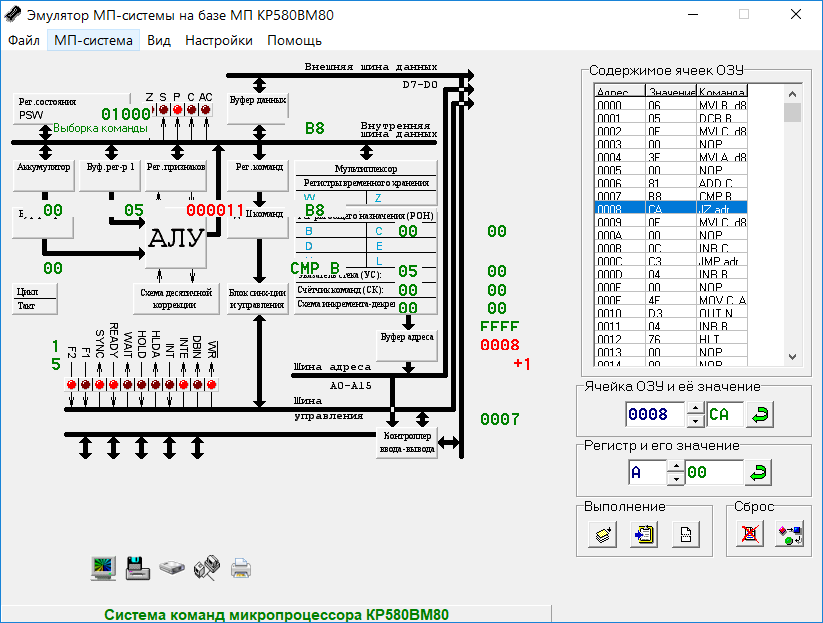


Рисунок 4 – Результат выполнения команды CMP B

Следующая команда осуществляет условный переход по адресу, который указан в следующих за ней 2 байтах памяти. Время выполнения 10 тактов.

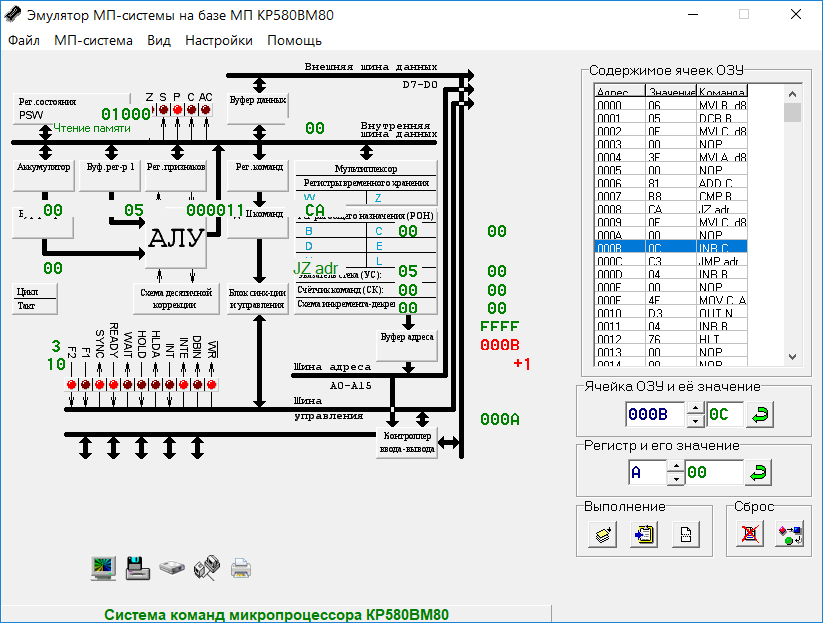


Рисунок 5 – Результат выполнения команды JZ, 000E

Можно отметить, что выполнение команды отправки данных на УВВ, в данном случае – принтер, составляет 8 тактов.

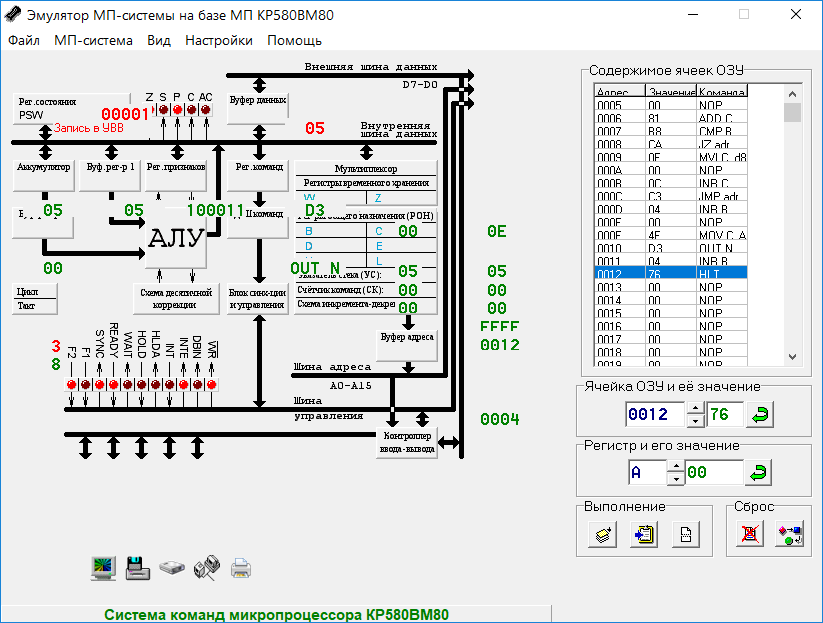


Рисунок 6 – Результат выполнения команды OUT 04

ВЫВОД

В ходе выполнения лабораторной работы на базе эмулятора KP580BM80, была исследована архитектура универсального 8-разрядного процессора. При исследовании данной микропроцессорной системы, были подробно рассмотрены составляющие её основные блоки и их поведение при выполнении команд различных типов. Так же были получены знания об основных командах ассемблера. Данные знания были закреплены на практике, при написании и отладке программы, выполняющей обход цикла и вывода данных на порт принтера.