МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное учреждение высшего образования

«Севастопольский государственный университет»

Институт информационных технологий и управления в технических системах

кафедра Информационные системы

09.03.02 Информационные системы и технологии (уровень бакалавриата)

Лабораторная работа №3

по дисциплине: «Инструментальные средства информационных систем»

на тему: «Исследование архитектуры 16-разрядных микропроцессоров и способов отладки ассемблерных программ в эмуляторе»

Выполнил

студент 3 курса группы ИС/б-33-о

Генералов Николай Николаевич

Отметка о зачете\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_

(дата)

Проверил

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(должность) (подпись) (фамилия, инициалы)

г. Севастополь

2018 г.

# ЦЕЛЬ РАБОТЫ

Исследовать архитектуру и основные блоки процессора Intel 8086 и взаимодействие основных блоков процессора при выполнении команд разных типов. Приобрести практические навыки написания ассемблерных программ и отладки их в эмуляторе микропроцессора — экранным отладчиком типа emu8086.

# ПОСТАНОВКА ЗАДАЧИ

* Изучить основные команды МП 8086.
* Составить исследуемую программу на языке ассемблера в соответствии с заданным вариантом.
* Запустить разработанную программу в среде отладчика и исследовать взаимодействие блоков процессора в ходе выполнения команд различных типов (команды пересылки данных, арифметические и логические команды, команды управления и другие).

# ХОД РАБОТЫ

|  |
| --- |
|  |
| Рисунок 1 – Структурная схема 16-разрядного микропроцессора 8086 |

Однокристальный 16-разрядный МП Intel 8086 (К1810ВМ86) имеет мультиплексную 20-разрядную ША и 16-разрядную ШД.

В 16-разрядных МП длина слова равна 16 бит, адресуемое пространство памяти составляет 1-16 Мбайт, оперативный блок состоит из 16 регистров общего назначения.

В данных процессорах используется два способа адресации: линейная и сегментная.

При линейной адресации адрес представляет собой отдельное целочисленное значение. Вычисление адреса осуществляется с помощью операций сложения, приращения 16-ти разрядов слова двойной длины.

При сегментной адресации все пространство адресов делится на множество сегментов, т.е. пространство является сегментированным. Начальный адрес сегмента называют базовым.

Физический адрес сегмента памяти представляет 20-битовое число в диапазоне 00000-FFFFF, которое однозначно определяет положение каждого байта. Логический адрес ячейки памяти состоит из двух 16-битовых беззнаковых значений: начального адреса сегмента, который называют базой или сегментом, и внутрисегментного смещения, определяющего расстояние от начала сегмента до этой ячейки. Для вычисления физического адреса база сегмента сдвигается на 4 бита влево и суммируется со смещением.

В любой момент времени программа может осуществлять доступ к одному из четырех сегментов:

сегменту текущего кода (*Current Code Segment* – CS);

сегменту текущих данных (*Current Date Segment* - DS);

сегмент текущего значения стека (*Current Stack Segment* – ES);

дополнительный сегмент текущих значений (*Current Extra Segment* – ES).

МП 8086 содержит три группы регистров. К *первой группе* относятся РОН, используемые для хранения промежуточных результатов. Ко *второй* группе относятся *указатели и индексные регистры*, предназначенные для размещения или извлечения данных из выбранного сегмента памяти. К *третьей* группе относятся *регистры сегментов*, задающие начальные адреса (базы) самих сегментов памяти.

Регистр состояния (Флаговый регистр) содержит шестнадцать триггеров, из которых используется только 9. Эти триггеры отображают состояние процессора при выполнении последней арифметической или логической команды.

Эффективность работы МП существенно повышена за счет реализации *конвейерного* типа выполнения команд.

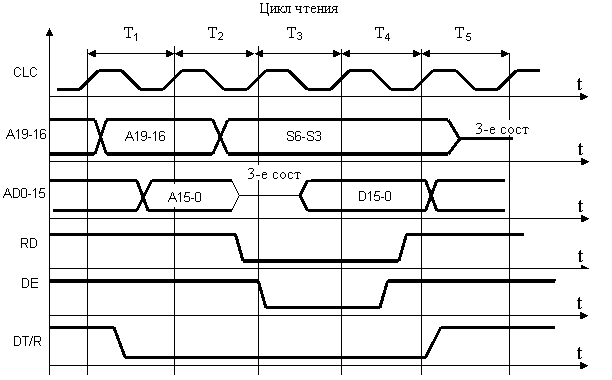


Рисунок 2 - Временная диаграмма функционирования 16-разрядной ЭВМ

Цикл начинается с формированием на такте Т1 сигнала M/IO, определяющего тип устройства (ОЗУ или ВнУ), к которому производится обращение для пересылки данных. Длительность сигнала M/IO равна длительности цикла шины, и он используется для селекции адресуемого устройства. В такте Т1 и в начале такта Т2 микропроцессор выставляет адрес ОЗУ на линии А19-16 и АД15-0, либо адрес ВнУ, а также вырабатывает сигнал ВНЕ, который вместе с А0 определяет передачу слова или одного из байтов. В такте Т2 происходит переключение шин: на линии A19/S6 – A16/S3 поступают сигналы состояния S6-3, которые сохраняются до конца такта Т4. Значения этих сигналов зависят от вида выполняемого действия процессора. В минимальном режиме работы процессора эти сигналы практически не используются. В тактах Т2-Т4 вырабатывается сигнал чтения RD=0, который указывает адресуемому устройству на необходимость выдачи слова. Для управления формирователем шины данных (ФШД), который подключается к линиям АД15-0, в тактах Т2-Т4 формируется сигнал DE (Data Enable), разрешающий прием данных, действующий в течение всего цикла.

Система команд 16-разрядного процессора первого поколения

Система команд ВМ86 состоит из 91 мнемокоманд и позволяет совершать операции над байтами, двухбайтовыми символами, отдельными битами, а также цепочками байтов и слов.

По функциональному признаку система команд МП 8086 разбивается на 6 групп:

1. Пересылка данных;
2. Арифметические операции;
3. Логические операции и сдвиги;
4. Передача управления;
5. Обработка цепочек;
6. Управление процессором.

Команды пересылки данных составляют 4 подгруппы:

1. общие;
2. обращение к стеку;
3. ввода-вывода;
4. пересылка цепочек.

Команда MOV dst, src – осуществляет пересылку содержимого источника src в получатель dst. Например, в регистр DS необходимо загрузить число 8000, то используют две команды:

MOV АХ, 8000Н

MOV DS, АХ

Команда XCHG dst, src – осуществляет обмен данными между источником и получателем и имеет два формата. Общий формат позволяет произвести обмен содержимым любой пары общих регистров, а также между общим регистром и ячейкой памяти при любом допустимом способе адресации.

Ввод-вывод данных может осуществляться двумя способами: с использованием адресного пространства ввода-вывода и с использованием общего с памятью адресного пространства. При первом способе применяются команды IN, OUT, которые обеспечивают передачу данных между аккумуляторами AL или АХ и адресуемыми портами.

При выполнении этих команд вырабатывается сигнал M/IО=0, который вместе с сигналами WR и RD позволяет сформировать системные сигналы IWO и IOR для управления операциями записи данных в порт или чтения из порта.

Ассемблер поддерживает большое число команд условного перехода, которые осуществляют переход в зависимости от состояния флагового регистра.

Команды безусловных переходов JMP производят модификацию регистра IP или регистров IP и CS без сохранения прежних значений этих регистров.

Команды возвратов RET из подпрограмм возвращают управление программе, осуществившей вызов. Такая передача управления осуществляется путем извлечения из стека адреса возврата.

Текст программы для обхода массива в цикле и сложения его элементов.

org 100h

mov cx, 5

mov al, 0

mov bx, 0

next: add al, vector[bx]

inc bx

loop next

mov AX, BX

mov m, al

; vars:

vector db 5, 4, 5, 2, 1

m db 0

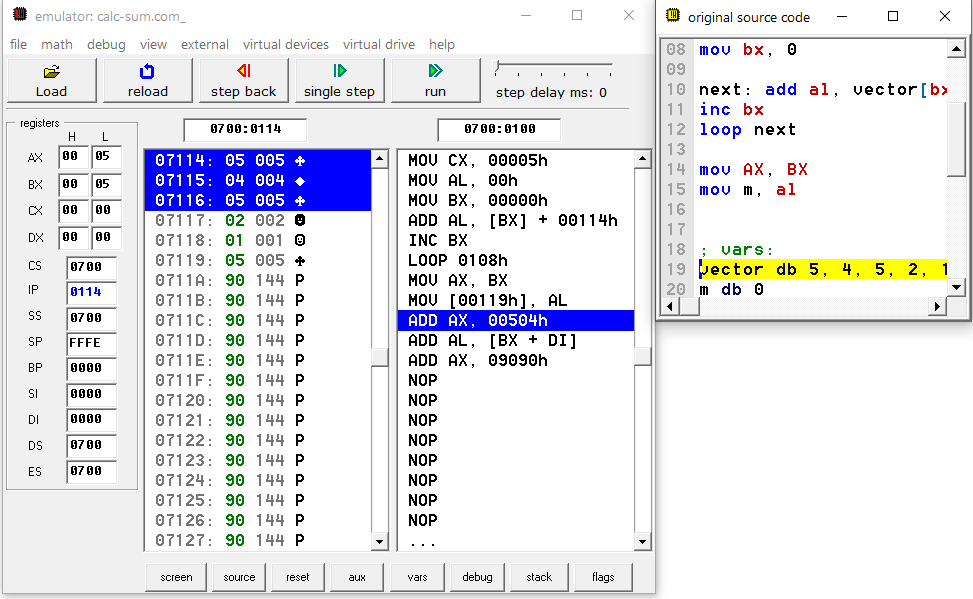


Рисунок 3 – Состояние регистров после выполнения программы обхода массива в цикле и суммирования его элементов

ВЫВОД

В ходе выполнения лабораторной работы на базе эмулятора emu8086, была исследована архитектура 16-разрядного процессора. При исследовании данной микропроцессорной системы, были подробно рассмотрены составляющие её основные блоки и их поведение при выполнении команд различных типов. Так же были получены знания об основных командах ассемблера. Данные знания были закреплены на практике, при написании программы, выполняющей обход элементов массива в цикле и их сложения.