

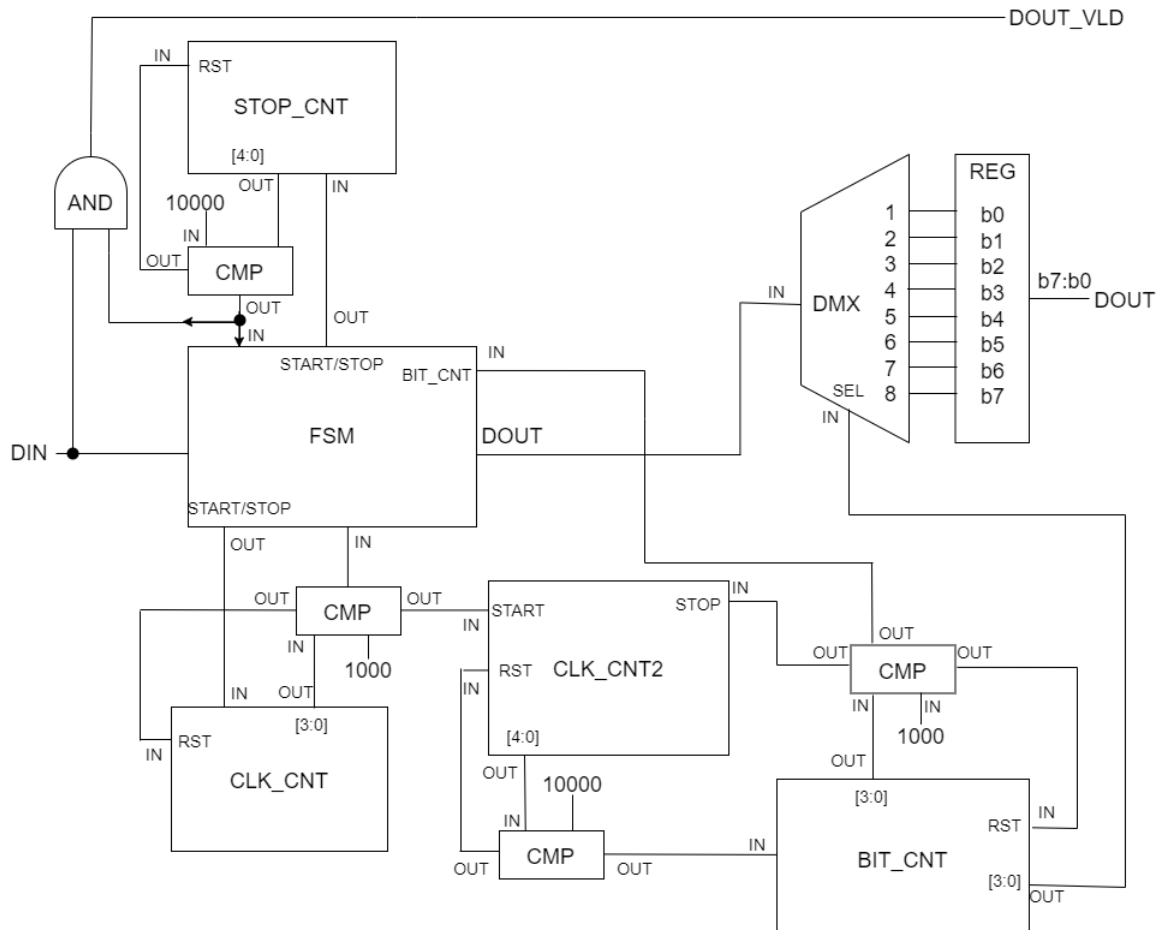
Výstupní zpráva

Jméno: Jaroslav Streit

Login: xstreio6

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



- Stavový automat **FSM** (Finite State Machine) - základ obvodu
- Počítadlo **CLK_CNT** – počítá dobu od začátku **START_BITu** do jeho poloviny, tedy 8 hodinových cyklů
- Počítadlo **CLK_CNT2** – počítá dobu 16 hodinových cyklů mezi středy po sobě jdoucích bitů
- Počítadlo **BIT_CNT** – počítá počet datových bitů prostřednictvím počítadla **CLK_CNT2**
- Počítadlo **STOP_CNT** – počítá dobu 16 hodinových cyklů od poloviny posledního datového bitu do poloviny **STOP_BITu**
- **DMX** – demultiplexor, rozmísťuje přijaté bity do registrů, které se následně vypíší od MSB

Popis funkce

Obvod nejdříve čeká na nulový **START_BIT**, potom počítadlo **CLK_CNT** spočítá 8 hodinových cyklů do jeho poloviny a hodnota 1 z komparátoru dá signál **FSM** na zastavení počítadla. Po dalších 16ti hodinových cyklech se začnou přijímat a počítat bity a posílají se na **DOUT** skrze **DMX**. Po 8 datových bitech se zastaví počítadlo **CLK_CNT2** signálem log. 1 z komparátoru a

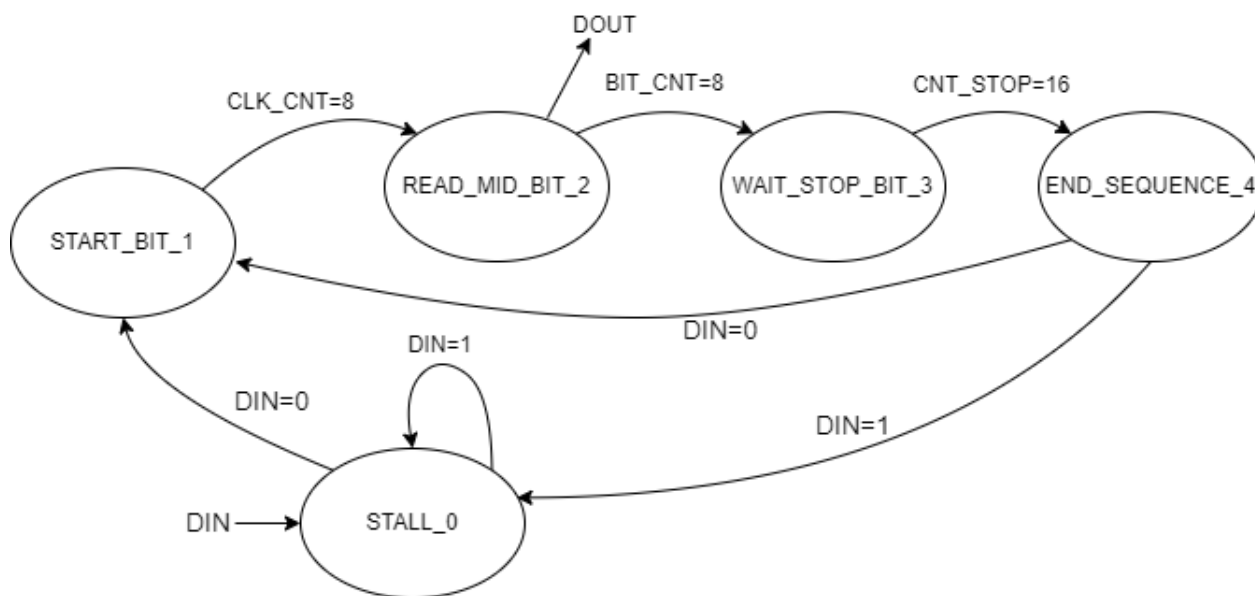
tím se zároveň zastaví počítadlo BIT_CNT a spustí se počítadlo STOP_CNT, počítající dalších 16 hodinových cyklů, po kterých by měl následovat jeden STOP_BIT s hodnotou log. 1. Signál log. 1 z komparátoru jde následně do log. brány AND spolu s aktuální hodnotou DIN a odešle se signál validity dat na DOUT_VLD po dobu jednoho hodinového cyklu. Zároveň FSM po obdržení signálu z komparátoru zastaví počítadlo STOP_CNT. Pokud by na místě STOP_BITu byla hodnota log. 0, DOUT_VLD by zůstalo na nule. Následně může začít příjem dalších dat. Všechna počítadla se resetují signálem z některého z komparátorů.

Návrh automatu (Finite State Machine)

Schéma automatu

Stavy automatu:

- **STALL_0** – počáteční stav, automat čeká, dokud nedostane na DIN log. 0
- **START_BIT_1** – automat obdržel log. 0 na DIN
- **READ_MID_BIT_2** – v tomto stavu začíná čtení a počítání datových bitů z DIN
- **WAIT_STOP_BIT_3** – čekání 16 hodinových cyklů na STOP_BIT
- **END_SEQUENCE_4** – finální stav, dochází k validaci dat a odeslání signálu na DOUT_VLD a návrat do prvního stavu (odeslání DOUT_VLD řízeno mimo FSM pomocí log. AND)



Popis funkce

Automat začíná ve stavu STALL_0, kde zůstává, dokud neobdrží log. 0 na DIN. Následně ve stavu START_BIT_1 čeká na signál počítadla CLK_CNT po 8 hodinových cyklech a přejde do stavu READ_MID_BIT_2, kde začíná číst jednotlivé datové bity a posílá je na DOUT. Jakmile počítadlo BIT_CNT napočítá 8 bitů, automat přejde do předposledního stavu WAIT_STOP_BIT_3, kdy čeká 16 hodinových taktů na STOP_BIT a přesune se do posledního stavu END_SEQUENCE_4, ve kterém je odeslán vyhodnocovací signál validity dat na DOUT_VLD a podle aktuální log. hodnoty na vstupu se automat vrátí do počátečního stavu STALL_0 nebo do stavu START_BIT_1.