

8.0 时序电路的特点

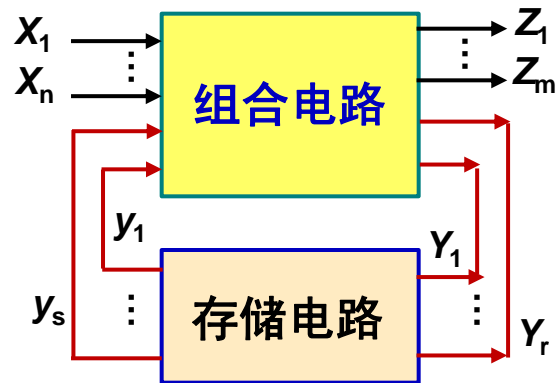
- 时序电路的特点
- 双稳态触发器的特点

1. 时序电路的特点

组合逻辑电路的特点


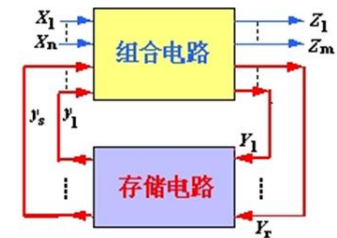
- ❑ 它是一种无记忆电路——输入信号消失，则输出信号也会立即消失
- ❑ 电路输出端的状态完全由输入端的状态决定

- ❖ 有时需要将参与运算的数据和运算结果保存起来——在组合逻辑电路的输出端添加具有记忆功能的部件
- ❖ 锁存器和触发器就是构成存储电路的基本单元。



1. 时序电路的特点

数字逻辑电路由两部分组成——

构成		定义	结构	电路框图	逻辑函数表达式
数字逻辑电路	组合逻辑电路	<p>电路的输出——</p> <ul style="list-style-type: none"> ■ 仅与当前时刻的输入有关 $Z_m = f_m(x_1, \dots, x_n)$	不包含存储元件		<p>只有一组:</p> $Z_m = f_m(x_1, \dots, x_n)$
	时序逻辑电路	<p>电路的输出与以下均有关:</p> <ul style="list-style-type: none"> ■ 当前时刻的输入 ■ 电路过去（上一个时刻）的工作状态 $Z_m = f_m(x_1, \dots, x_n, y_1, \dots, y_s)$	包含存储元件		<p>有三组:</p> <p>输出方程, 驱动方程, 状态方程:</p> $Z_m = f_m(x_1, \dots, x_n, y_1, \dots, y_r)$ $Y_r = g_r(x_1, \dots, x_n, y_1, \dots, y_s)$ $Y_s^{n+1} = q_s(x_1, \dots, x_n, Y_1^n, \dots, Y_s^n)$

- 锁存器（*Latche*）和触发器（*flip-flop*）是构成存储电路的基本元件

- 两个重要概念——
 - 现态（原态）：存储电路当前时刻的状态 Q_n
 - 次态（新态）：存储电路下一时刻的状态 Q_{n+1}

2. 双稳态触发器的特点

触发器/锁存器的特性（双稳态）

1. 有两个互补的输出端 Q 和 Q'
2. 有两个稳定的状态：0态, 1态
3. 在外界信号的刺激下, 可以从一个稳定状态转变到另一个稳定状态。
4. 没有(或无效的)外界信号刺激, 维持当前状态不变。

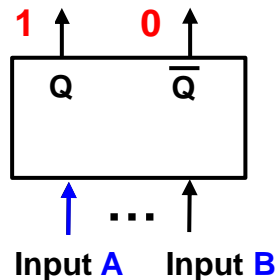
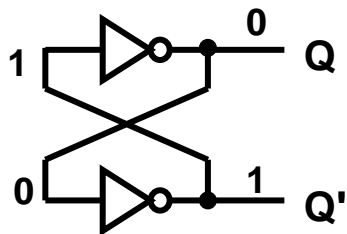
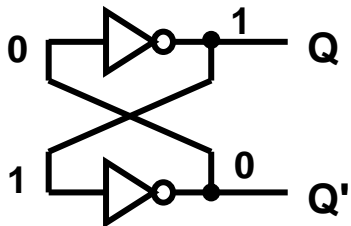
每个锁存器(触发器)可以存放1位二进制数

记忆功能

触发器：有时钟输入端，并且只在时钟信号到来时，才发生状态转换

锁存器：没有时钟输入端

双稳态



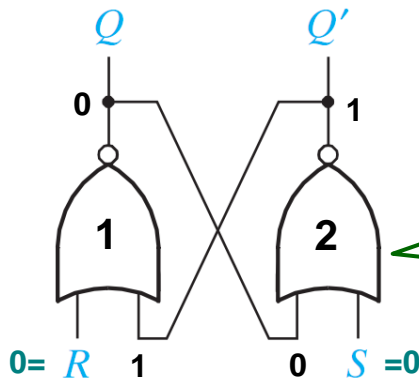
8.1 锁存器

- 基本RS锁存器
 - 或非门构成的基本RS锁存器
 - 与非门构成的基本RS锁存器
- 门控D锁存器

1. 基本RS锁存器

■ 基本RS锁存器（触发器的鼻祖）

(1) 电路构成（或非门）



对输入信号
高电平敏感

$Q(Q_n)$ ——现态

$Q^+(Q_{n+1})$ ——次态

$Q = 0$ ($\bar{Q} = 1$) : state 0

$Q = 1$ ($\bar{Q} = 0$) : state 1

R : 置0端(Reset the output to $Q=0$)

S : 置1端(Set the output to $Q=1$)

时序电路的关注点

- ◆ 时序电路当前时刻的状态是什么？
- ◆ 在输入信号的作用下，下一时刻的状态是什么？

(2) 功能表

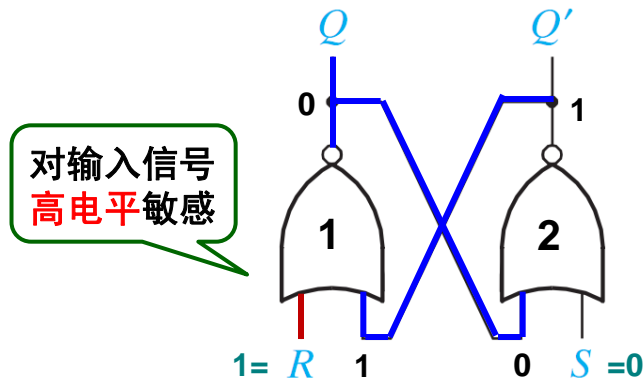
置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

保持

1. 基本RS锁存器

■ 基本RS锁存器（触发器的鼻祖）

(1) 电路构成（或非门）



$Q (Q_n)$ ——现态

$Q^+ (Q_{n+1})$ ——次态

$Q = 0 (\bar{Q} = 1)$: state 0

$Q = 1 (\bar{Q} = 0)$: state 1

R : 置0端(Reset the output to $Q=0$)

S : 置1端(Set the output to $Q=1$)

(2) 功能表

置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

RS 对 同时
取1互斥

保持

置 1

置 0

× 不允许

置0端 R	置1端 S	次态 Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	—

输入 高电平
有效

1. 基本RS锁存器

■ 基本RS锁存器（触发器的鼻祖）

(3) 次态方程

$$Q_{n+1} = S + \bar{R}Q_n$$

$SR = 0$ （约束条件）

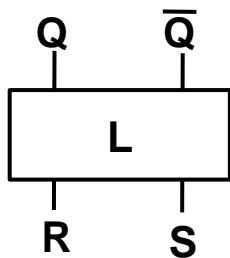
RS对同时
取1互斥

		S	
		0	1
RQ	00	0	1
	01	1	1
	11	0	x
	10	0	x

功能表

置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

(4) 逻辑符号



1. 基本RS锁存器

(5) 驱动表：完成状态转换需要满足的输入条件

用于时序
电路设计

$Q_n \rightarrow Q_{n+1}$	R	S
0 → 0	X	0
0 → 1	0	1
1 → 0	1	0
1 → 1	0	X

置0端 R	置1端 S	次态 Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	—

保持

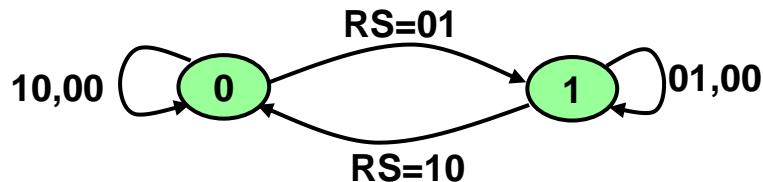
置 0

(6) 状态图

反映时序电路状态转移规律及相应输入、输出取值关系的有向图

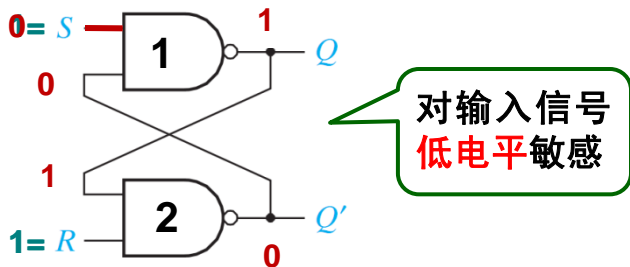
图中元素的含义

- 圆圈：表示电路的状态
- 有向线段：表示状态的转换关系
- 有向线段旁的文字：表示转换条件，即输入信号取值

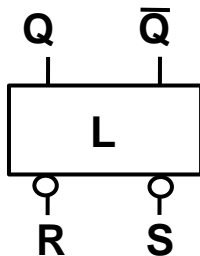


1. 基本RS锁存器

■ 另一种形式的基本RS锁存器（与非门）



逻辑符号:



(2) 功能表

置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
1	1	0	0
1	1	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
0	0	0	—
0	0	1	—

保持

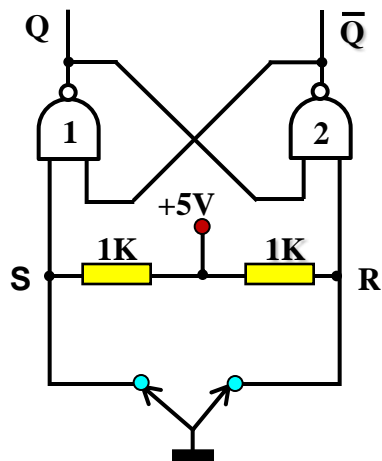
置 1

置 0

× 不允许

1. 基本RS锁存器

(6) 锁存器的应用——开关去颤



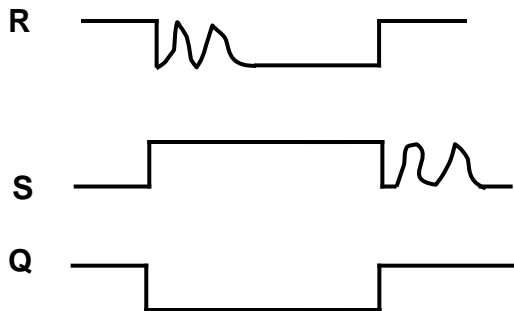
❖ 由于机械弹性作用, 机械式开关在使用中, 通常伴随有一定时间的触点机械抖动。

❖ 触点抖动可能导致判断出错(一次按下或释放被错误地认为是多次操作)

(7) 典型芯片

74LS279: 4 R-S latches

- 基本RS锁存器是众多触发器的鼻祖
- 其余的触发器都是在它的基础上逐步改进和完善后形成的

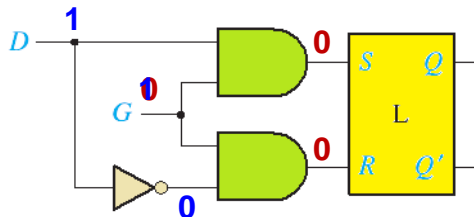


基本RS锁存器总结

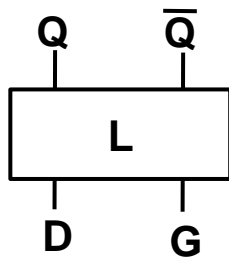
- ◆ 优点: 结构简单
- ◆ 缺点: ① 输入存在约束, 使用不便;
② 状态改变由输入直接控制, 容易引发错误。
- ◆ 用途: 记忆输入状态

2. 门控 D 锁存器

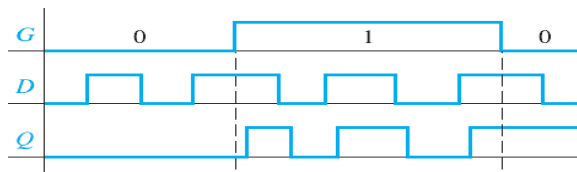
(1) 电路构成



(4) 逻辑符号



(5) 时序分析



(2) 功能表

使能端 G	输入端 D	现态 Q_n	次态 Q_{n+1}
0	X	0	0
0	X	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(3) 次态方程

\overline{GD}	00	01	11	10
0	0	0	1	0
1	1	1	1	0

$$Q_{n+1} = GD + \overline{G}Q_n$$

在 G 为 高 电 平 期
间, Q 端 的 输 出 直
接 拷 贝 D 端 波 形

(6) 典型芯片

74LS373: 8D锁存器

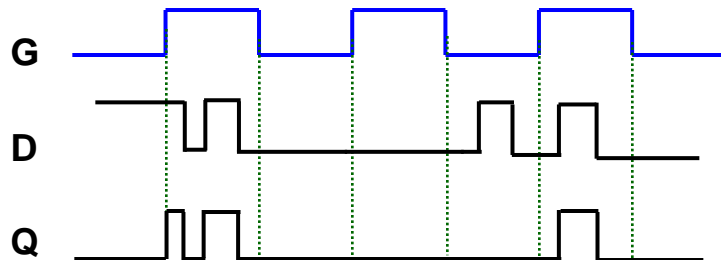
2. 门控 D 锁存器

- ◆ 特点：结构简单，仅一个输入端，不存在输入约束问题。
- ◆ 缺点：使能电位G作用期间，只要输入信号D改变（有时是干扰信号），Q也跟着改变；存在“空翻”现象

违背了构造时钟触发器的初衷：一个时钟内，最多允许触发器状态翻转一次

锁存器的使能端送时钟信号，就是电平触发方式的触发器

一个时钟内，触发器状态发生多次变化



“空翻”现象是锁存器（或电平方式触发器）共有的问题

“空翻”使以上器件不能正确实现计数功能！

☆ 关键问题：电平（电位）触发

☆ 解决方案：改电平触发为边沿触发

时钟信号的上升沿或下降沿，触发器改变状态

8.2 边沿触发器

- D触发器
- RS触发器
- JK锁存器
- T触发器
- T' 触发器

1. 触发器的分类

时钟触发器

- 受时钟脉冲 (用 **CP** 或 **CK** 表示) 控制的触发器称作时钟触发器。
- 时钟也称同步信号。将多个触发器的时钟端相连, 可以控制它们同一时刻动作。
- 触发方式有电平触发和边沿触发两种

时钟触发器分类

按逻辑功能

RS触发器

D触发器

JK触发器

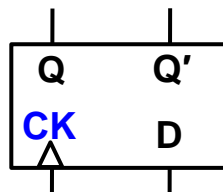
T触发器

T'触发器

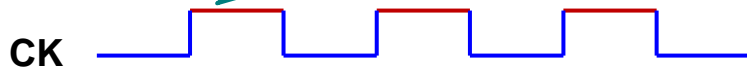
按触发方式

电平触发

边沿触发



电平触发方式: 时钟信号高电平期间, 触发器可以做状态翻转

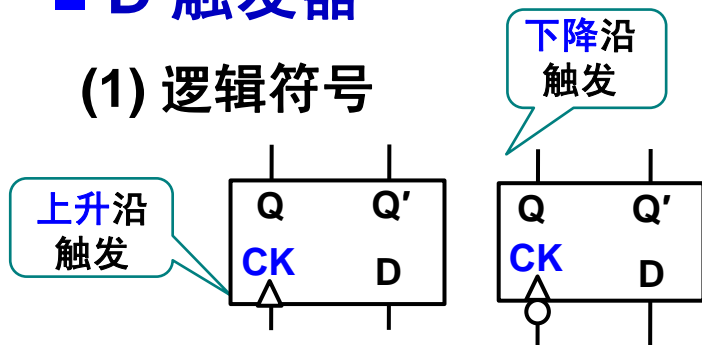


边沿触发方式: 时钟上升沿到来时刻, 触发器可以做状态翻转

2. 边沿触发器——D触发器

■ D 触发器

(1) 逻辑符号



(2) 功能表（上升沿为例）

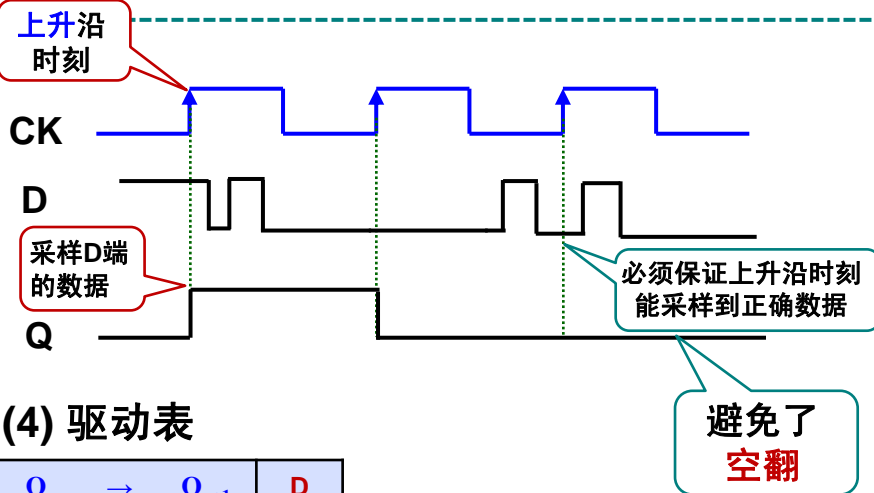
时钟端 CK	输入端 D	现态 Q_n	次态 Q_{n+1}
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

(3) 次态方程

$$Q^{n+1} = D$$

时钟触发器的特点

- ◆由时钟脉冲确定状态转换的时刻（即何时转换？）
- ◆由输入信号确定触发器状态转换的方向（即如何转换？）



(4) 驱动表

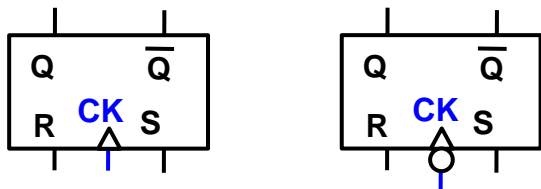
Q_n	\rightarrow	Q_{n+1}	D
0	\rightarrow	0	0
0	\rightarrow	1	1
1	\rightarrow	0	0
1	\rightarrow	1	1

D触发器的特点：
最简单，应用最广

2. 边沿触发器——RS触发器

■ RS 触发器

(1) 逻辑符号



(3) 次态方程

$$Q_{n+1} = S + R\bar{Q}_n$$

$$SR = 0 \quad (\text{约束条件})$$

(2) 功能表（上升沿）

时钟端 CK	输入端 R	输入端 S	现态 Q_n	次态 Q_{n+1}
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	1
↑	0	1	1	1
↑	1	0	0	0
↑	1	0	1	0
↑	1	1	0	—
↑	1	1	1	—

(4) 驱动表

Q_n	→	Q_{n+1}	R	S
0	→	0	X	0
0	→	1	0	1
1	→	0	1	0
1	→	1	0	X

驱动表可以从触发器功能推导出来

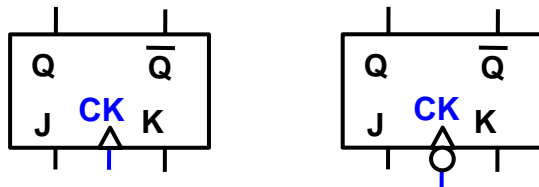
输入存在约束

RS触发器：输入存在约束
D触发器：没有约束，但是只有一个输入端

2. 边沿触发器—— JK触发器

■ JK 触发器

(1) 逻辑符号



(2) 功能表（下降沿）

时钟端 CK	输入端 J	输入端 K	现态 Q_n	次态 Q_{n+1}
↓	0	0	0	0
↓	0	0	1	1
↓	0	1	0	0
↓	0	1	1	0
↓	1	0	0	1
↓	1	0	1	1
↓	1	1	0	1
↓	1	1	1	0

功能最全，输入没有约束

保持

置 0

置 1

翻转

(3) 次态方程

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

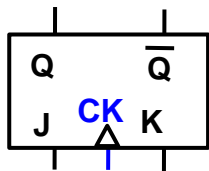
跟异或门很象嘛！

JK	00	01	11	10
0	0	0	1	1
1	1	0	0	1

(4) 驱动表

$Q_n \rightarrow Q_{n+1}$	J	K
0 → 0	0	X
0 → 1	1	X
1 → 0	X	1
1 → 1	X	0

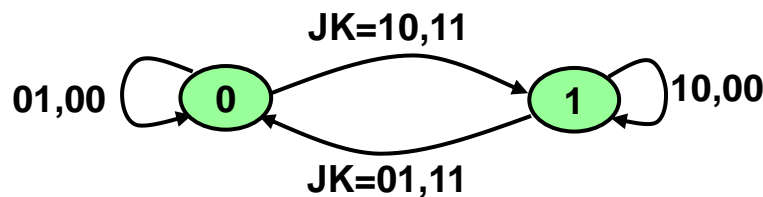
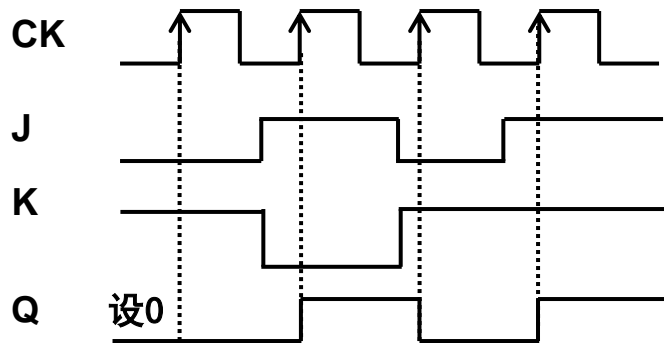
2. 边沿触发器—— JK触发器



时钟边沿触发器

- ◆何时转换？——时钟脉冲有效边沿到来时刻
- ◆如何转换？——输入信号取值确定

输入端		次态
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Q_n

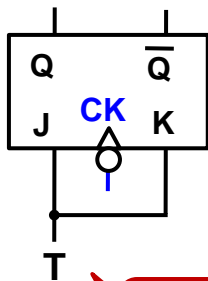
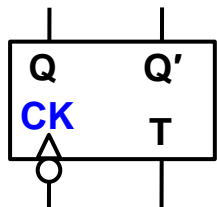


JK触发器状态图

2. 边沿触发器——T触发器

■ T 触发器

(1) 逻辑符号



是JK触发器的特例

(2) 功能表（下降沿）

时钟端 CK	输入端 T	现态 Q_n	次态 Q_{n+1}
↓	0	0	0
↓	0	1	1
↓	1	0	1
↓	1	1	0

保持

翻转

输入端 T	次态 Q_{n+1}
0	Q_n
1	\bar{Q}_n

(3) 次态方程

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

IF $J=K=T$

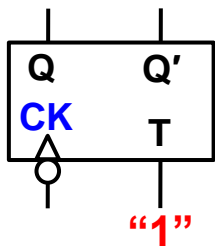


$$\begin{aligned} Q_{n+1} &= T \bar{Q}_n + T Q_n \\ &= T \oplus Q_n \end{aligned}$$

2. 边沿触发器——T'触发器

■ T' 触发器

(1) 逻辑符号



是T触发器的特例

(2) 功能表（下降沿）

时钟端 CK	输入端 T	现态 Q_n	次态 Q_{n+1}
↓	1	0	1
↓	1	1	0

(3) 次态方程

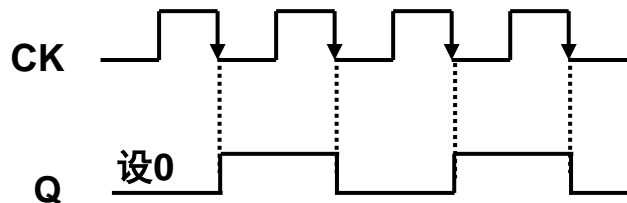
$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$



IF $J=K=T=1$

$$Q_{n+1} = \bar{Q}_n$$

(4) 波形分析



- 计数
- 二分频

2. 边沿触发器——总结

时钟边沿触发器的特点

- ◆ 由时钟脉冲边沿确定状态转换的时刻(即何时转换?), 其余时刻都是保持功能
- ◆ 由输入信号确定触发器状态转换的方向(即如何转换?)



思考: 对于一个下降沿触发的JK触发器, 如果让它实现保持功能, 有几种方法可以做到?

◆ 方法1:

最简单的方法: 不给有效的时钟边沿(此时不用考虑J端和K端的信号)

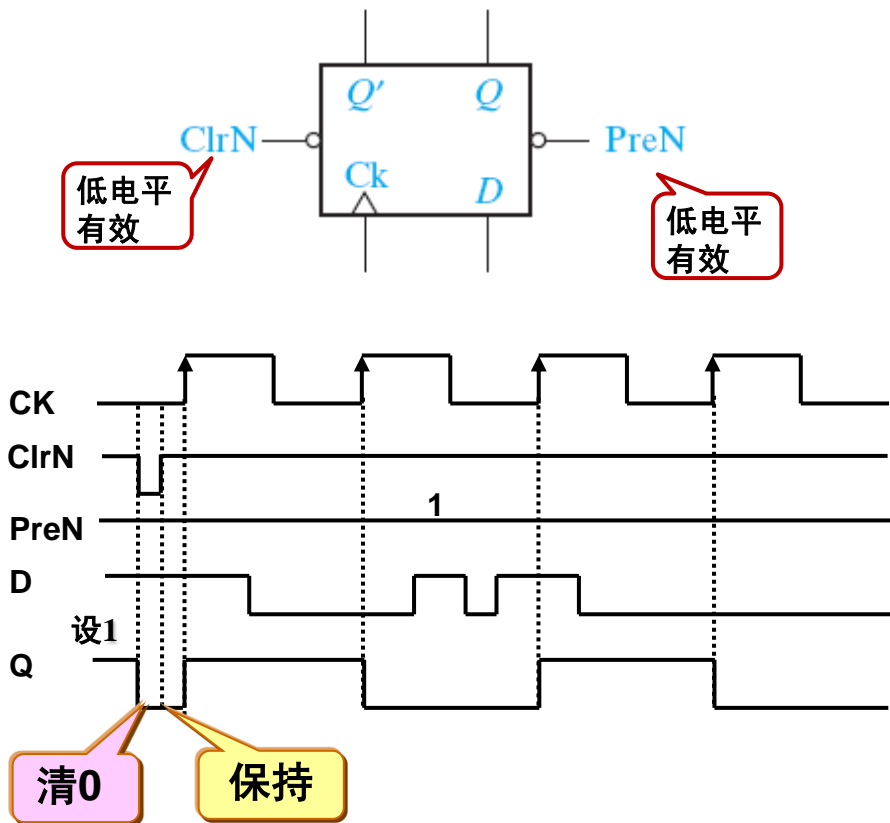
方法

◆ 方法2:

给时钟下降沿, 此时触发器的保持功能就必须依靠J端和K端的信号配合才能完成

8.3 带附加输入端的边沿触发器

■ 带异步清零端和异步置1端



异步：独立于
时钟信号

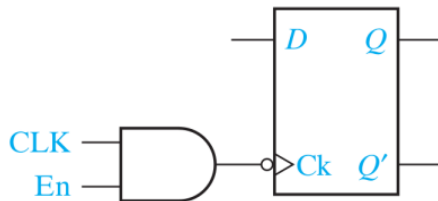
用途：为触发器
设置指定状态

时钟端 CK	输入端 D	异步置1端 PreN	异步清零端 ClrN	次态 Q_{n+1}
X	X	0	0	不允许
X	X	0	1	1
X	X	1	0	0
↑	0	1	1	0
↑	1	1	1	1
0,1, ↓	X	1	1	Q_n

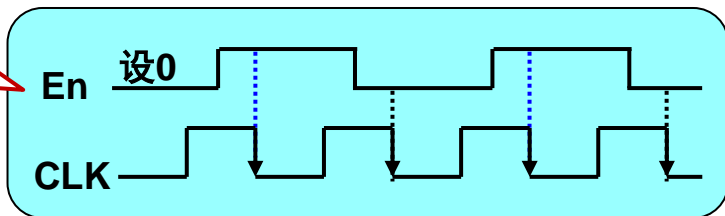
$$Q_{n+1} = D$$

8.3 带附加输入端的边沿触发器

■ 带时钟使能端

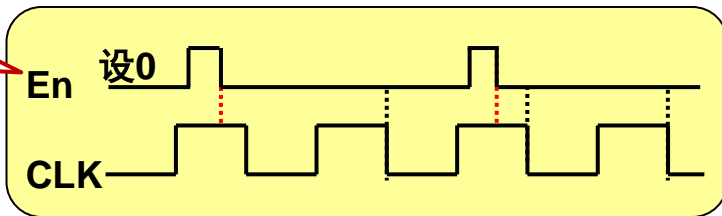


信号给定正确



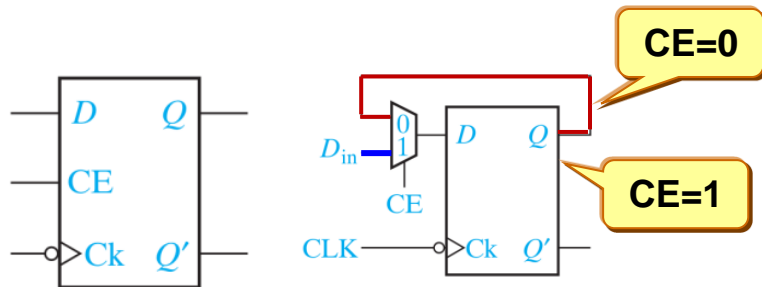
后果：失去同步性！

信号给定错误



Solution:

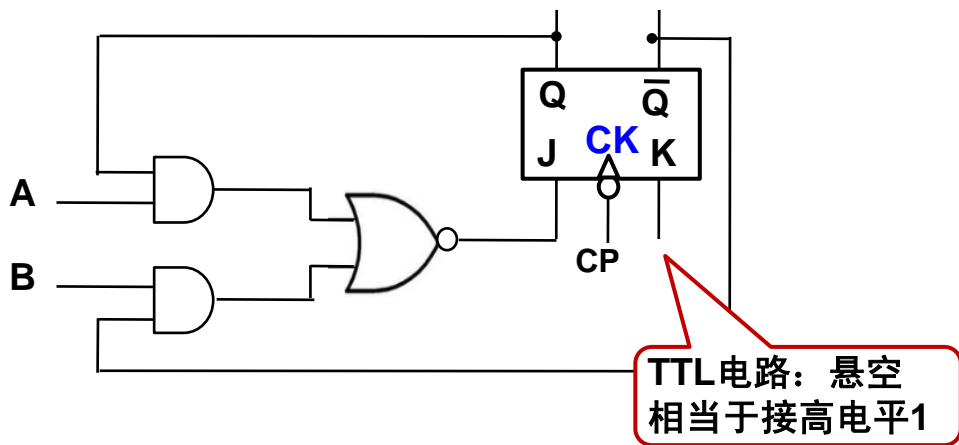
使能端CE不与时钟端CLK捆绑使用



$$Q^+ = Q \cdot CE' + D \cdot CE$$

8.3 带附加输入端的边沿触发器

例1：写出JK触发器的次态方程



$$\begin{aligned}Q_{n+1} &= J \bar{Q}_n + \bar{K} Q_n \\&= J \bar{Q}_n \\&= \overline{A Q_n + B \bar{Q}_n \bar{Q}_n} \\&= \overline{A Q_n} \cdot \overline{B \bar{Q}_n \bar{Q}_n} \\&= (\bar{A} + \bar{Q}_n) (\bar{B} + Q_n) \bar{Q}_n \\&= \bar{A} \bar{B} \bar{Q}_n + \bar{B} \bar{Q}_n \\&= \bar{B} \bar{Q}_n\end{aligned}$$

8.3 带附加输入端的边沿触发器

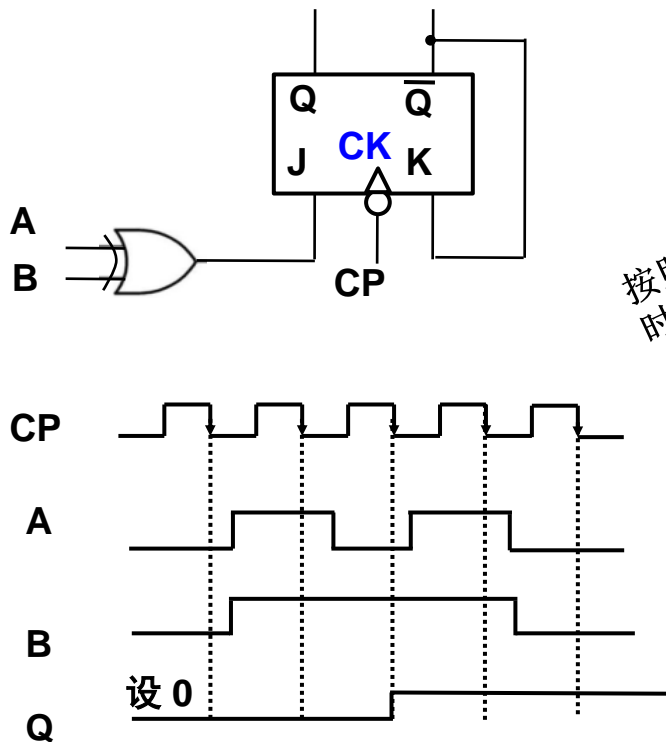
例2：画出Q端波形图

方法1：写出JK触发器的次态方程

$$\begin{aligned}Q_{n+1} &= J \bar{Q}_n + \bar{K} Q_n \\&= (A \oplus B) \bar{Q}_n + Q_n Q_n \\&= A \oplus B + Q_n\end{aligned}$$

按照次态方程，在每一个时钟下降沿画出Q端波形

方法2：在每一个时钟下降沿，计算J和K的取值，从而确定Q端波形



第1个↓：J=0，K=1 置0功能
第2个↓：J=0，K=1 置0功能
第3个↓：J=1，K=1 翻转功能
第4个↓：J=0，K=0 保持功能
第5个↓：J=0，K=0 保持功能

输入端		次态
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

8.4 触发器类型转换

- 触发器类型主要有5种，用到最多的是D触发器
- 触发器类型可以相互转换（例如，设计中手头没有需要的触发器类型）

转换方法

- 代数法
- 卡诺图法

从次态方程入手

□ 代数法

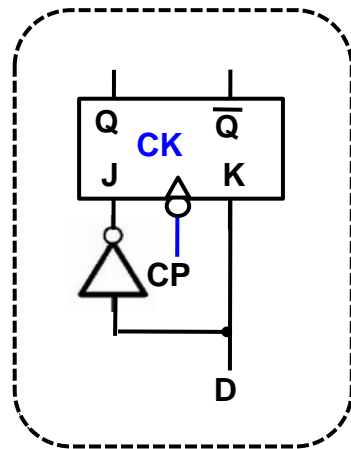
1. JK → D、T (T')、RS

(1) JK → D

$$\left. \begin{array}{l} \text{JK: } Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n \\ \text{D: } Q_{n+1} = D \end{array} \right\}$$

$$D = J \bar{Q}_n + \bar{K} Q_n$$

$$D(Q_n + \bar{Q}_n) = J \bar{Q}_n + K \bar{Q}_n \rightarrow$$

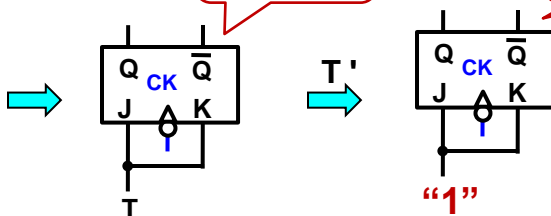


$$\left\{ \begin{array}{l} J=D \\ \bar{K}=D \quad (K=\bar{D}) \end{array} \right.$$

8.4 触发器类型转换

(2) JK \rightarrow T

$$\left. \begin{array}{l} \text{JK: } Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n \\ \text{T: } Q_{n+1} = T \bar{Q}_n + \bar{T} Q_n \end{array} \right\} \begin{array}{l} J=T \\ K=T \end{array}$$



(3) JK \rightarrow RS

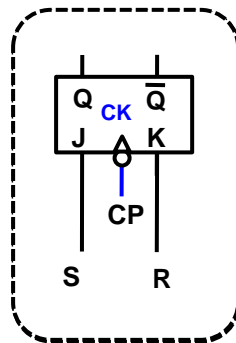
$$\text{JK: } Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

$$\begin{aligned} \text{RS: } Q_{n+1} &= S + \bar{R} Q_n = S(Q_n + \bar{Q}_n) + \bar{R} Q_n \\ &= S Q_n + S \bar{Q}_n + \bar{R} Q_n \\ &= S Q_n (R + \bar{R}) + S \bar{Q}_n + \bar{R} Q_n \\ &= R S Q_n + \bar{R} S Q_n + S \bar{Q}_n + \bar{R} Q_n \\ &= R S Q_n + \bar{R} Q_n + S \bar{Q}_n \end{aligned}$$

RS=0

$$J = f(R, S, Q)$$

$$K = f(R, S, Q)$$



$$J=S$$

$$K=R$$

8.4 触发器类型转换

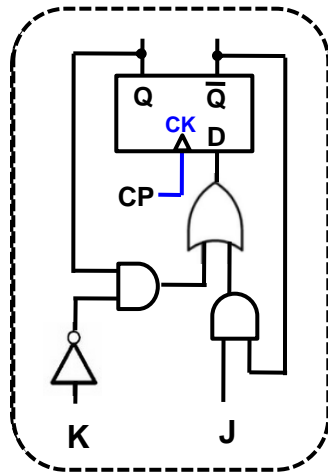
2. $D \rightarrow JK$ 、 T (T')、 RS

(1) $D \rightarrow JK$

$$\left. \begin{array}{l} JK: Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n \\ D: Q_{n+1} = D \end{array} \right\}$$

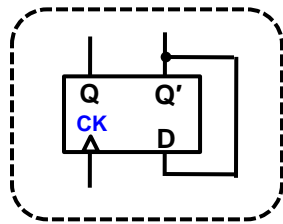
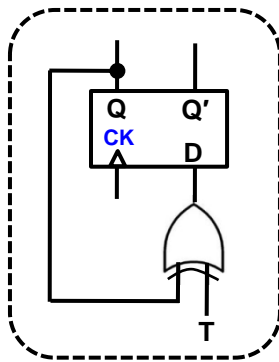
$$D = f(J, K, Q)$$

$$D = J \bar{Q}_n + \bar{K} Q_n$$



(2) $D \rightarrow T$ (T')

$$\left. \begin{array}{l} T: Q_{n+1} = T \oplus Q_n \\ D: Q_{n+1} = D \end{array} \right\} D = T \oplus Q_n$$
$$\left. \begin{array}{l} T': Q_{n+1} = \bar{Q}_n \end{array} \right\} D = \bar{Q}_n$$



(3) $D \rightarrow RS$?



8.4 触发器类型转换

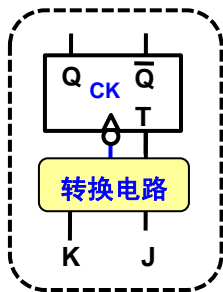
卡诺图法

1. $T \rightarrow JK$ 、 D 、 RS

(1) $T \rightarrow JK$

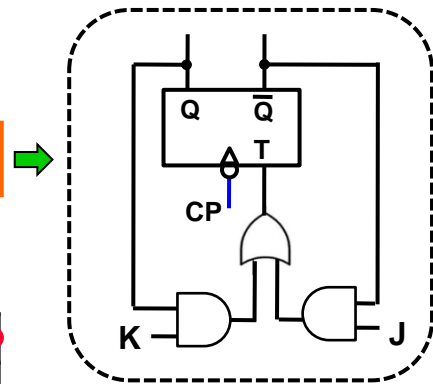
$Q_n \rightarrow Q_{n+1}$	T	J	K
0 \rightarrow 0	0	0	X
0 \rightarrow 1	1	1	X
1 \rightarrow 0	1	X	1
1 \rightarrow 1	0	X	0

$$T = f(J, K, Q)$$



$$T = J\bar{Q}_n + KQ_n$$

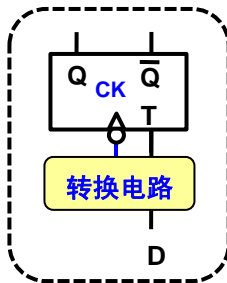
$Q_n \backslash JK$	00	01	11	10
0	0	0	1	1
1	0	1	1	0



(2) $T \rightarrow D$

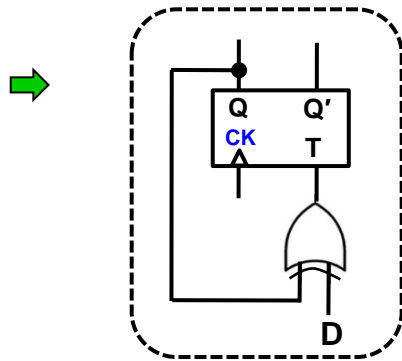
$Q_n \rightarrow Q_{n+1}$	T	D
0 \rightarrow 0	0	0
0 \rightarrow 1	1	1
1 \rightarrow 0	1	0
1 \rightarrow 1	0	0

$$T = f(D, Q)$$



$$T = D \oplus Q_n$$

$Q_n \backslash D$	0	1
0	0	1
1	1	0



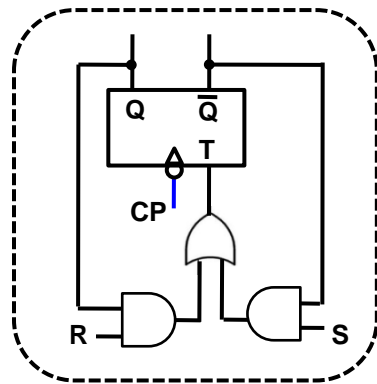
8.4 触发器类型转换

(3) $T \rightarrow RS$

Q_n	\rightarrow	Q_{n+1}	T	R	S
0	\rightarrow	0	0	X	0
0	\rightarrow	1	1	0	1
1	\rightarrow	0	1	1	0
1	\rightarrow	1	0	0	X

$$T = S\bar{Q}_n + RQ_n$$

RS	Q_n			
	00	01	11	10
0	0	1	X	0
1	0	0	X	1



2. $RS \rightarrow JK, D, T(T')$



课后完成

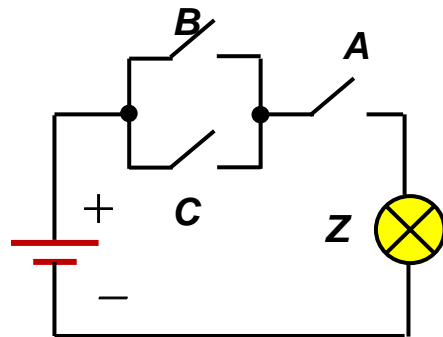
8.5 触发器的应用

1. 存储功能的应用——保存瞬态信号，直到清除为止

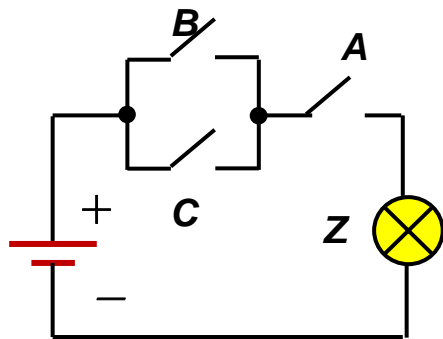
【例】举重裁判逻辑电路V2.0：一个主裁判A和两个副裁判B和C，只有两人以上(必须包含主裁判在内)认定试举动作合格，并按下自己的按钮时，输出信号 $Z=1$ ，该信号一直保持下去，直到工作人员按下清除按钮 P为止。

分析：

- 三个人的按钮动作有先后、长短之别，所以需要3个存储元件分别保存三个按钮信号；
- 存储元件有置1和置0功能即可（锁存器和RS、JK、D触发器均可）



8.5 触发器的应用

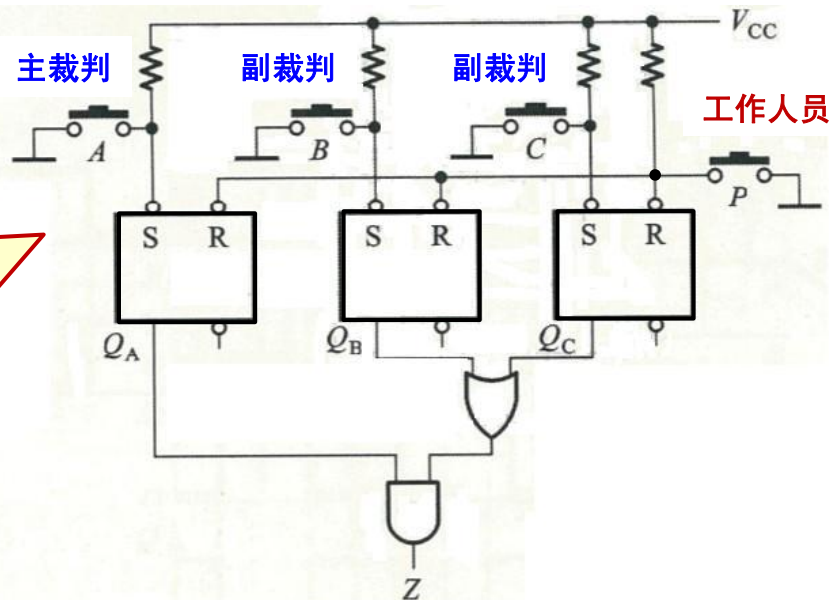


对于每个锁存器：

- ▣ 裁判按钮按下，执行**置1**功能；按钮弹起，执行**保持**功能；
- ▣ 按钮P按下，全体执行**置0**功能

基本RS锁存器

- ▣ 锁存器的置1端S： 连接主裁按钮A、和副裁B、C输出的低电平
- ▣ 锁存器的置0端R： 连接工作人员按钮P给出的低电平
- ▣ 输出信号Z： 三个锁存器输出状态的或与逻辑。



采用JK触发器或D触发器，如何实现？哪种方法更简单？

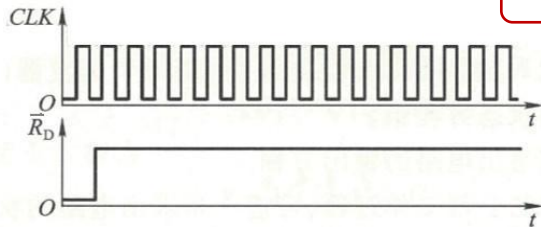
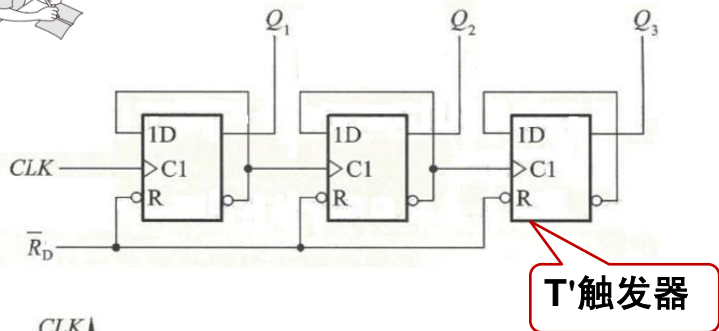
8.5 触发器的应用

2. 分频/计数功能的应用——

利用触发器的置0、置1功能，由多个触发器组成分频电路，对输入的时钟信号进行分频。

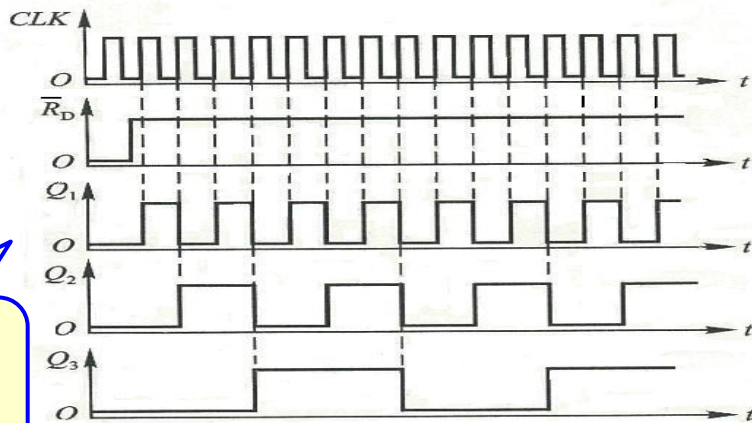


【例】分析输出信号 Q_1 、 Q_2 、 Q_3 与时钟信号CLK之间的频率关系，R为清零端



T'触发器

Q_1 对CLK二分频
 Q_2 对CLK四分频
 Q_3 对CLK八分频

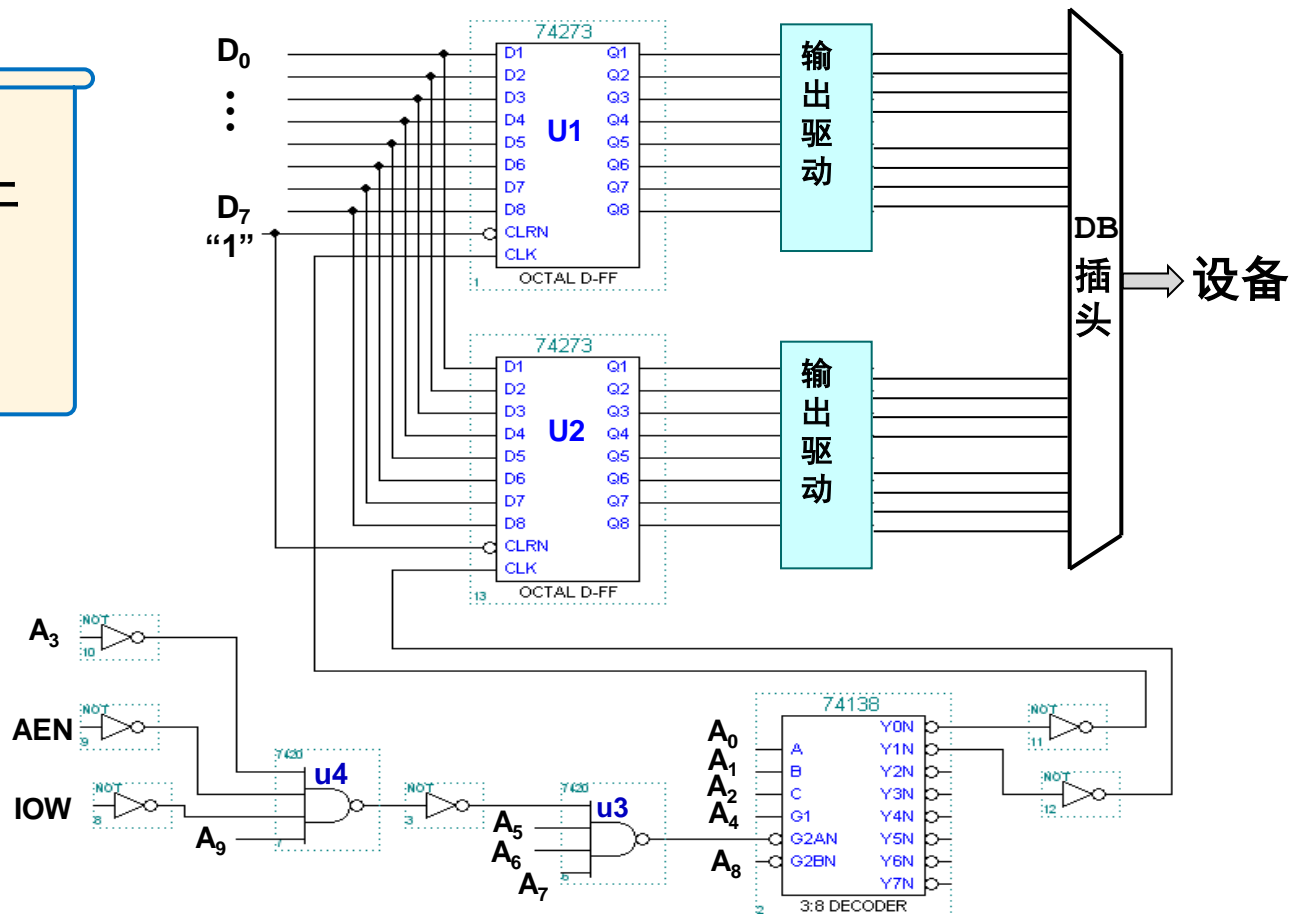


Q_1 、 Q_2 、 Q_3 输出波形

实际应用电路——输入输出电路

电路构成：

- 2片8D触发器74273，上升沿触发。清零端低电平有效。
- 1片3：8译码器74138



实际应用电路——输入输出电路

■ 74138不译码：Y₀ 输出高电平1，反向后，CLK初始为低电平0

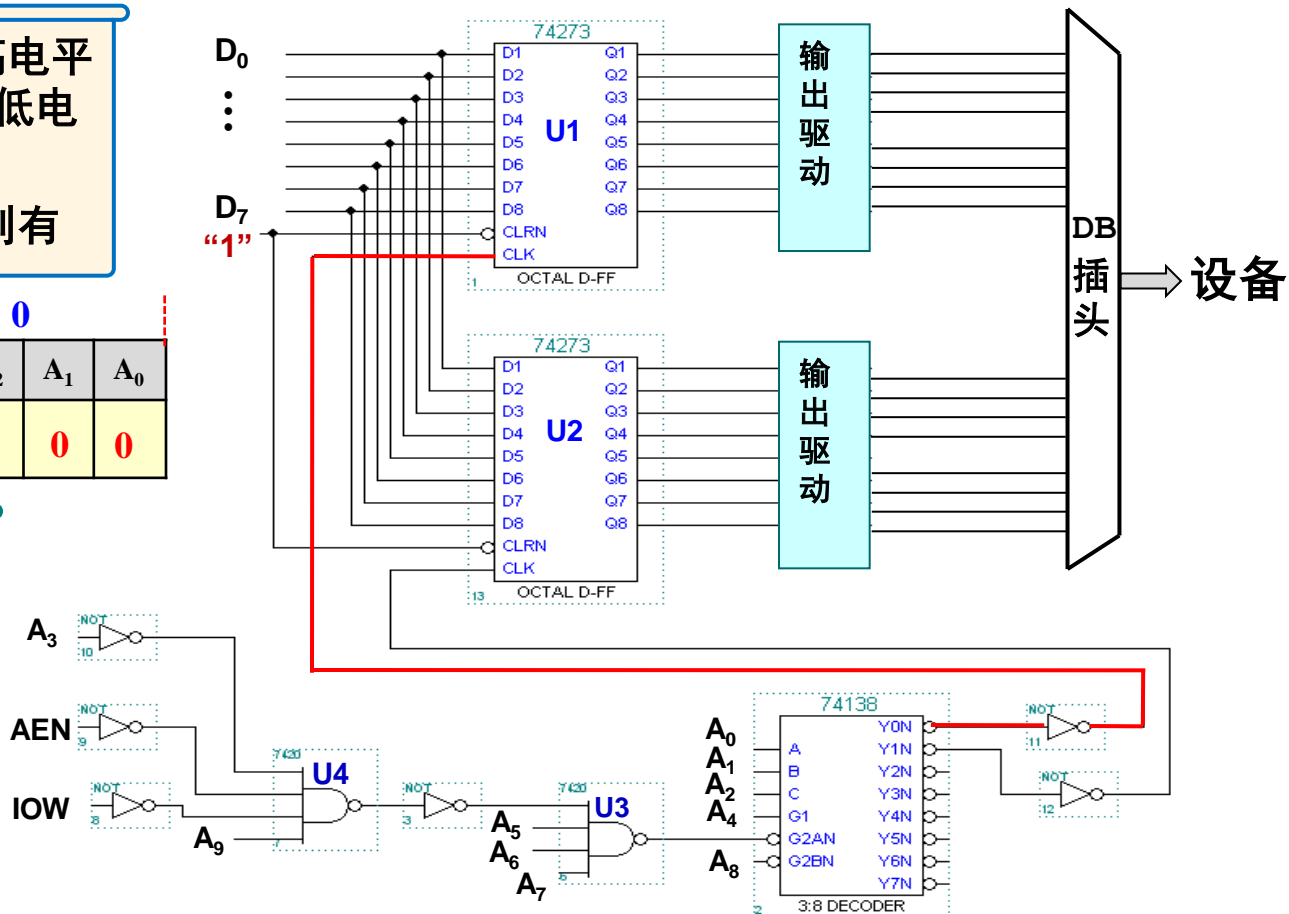
■ 74138译码：译中 Y₀，则有

2		F					0		
A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
1	0	1	1	1	1	0	0	0	0

■ Y₀ 输出低电平0，反向后，使CLK为高电平1，此时CLK产生一个上升沿↑

■ U1: 将8位数据D₇~D₀送出

具体功能：对I/O端口
(2F0H) 写操作



实际应用电路——输入输出电路

■ 74138不译码：Y₁ 输出高电平1，反向后，→CLK初始为低电平0

■ 74138译码：译中 Y₁，则有

2		F				1			
A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
1	0	1	1	1	1	0	0	0	1

■ Y₁ 输出低电平0，反向后，使CLK为高电平1，此时CLK产生一个上升沿↑

■ U2: 将8位数据D₇~D₀送出

具体功能：对I/O端口
(2F1H) 写操作

