

# Unit 11 利用中规模芯片设计 时序逻辑电路

---



- 计数器芯片
- 寄存器芯片

# 利用中规模计数器芯片设计时序逻辑电路\_1

## 计数器芯片

- 同步十进制加法计数器：74LS160（异步清零），74LS162（同步清零）
- 同步4位二进制加法计数器：74LS161（异步清零），74LS163（同步清零）
- 异步二-五-十进制加法计数器：74LS90（异步清零），74LS290（异步清零）
- 同步十进制加/减计数器：74LS192（双时钟），74LS190（单时钟）
- 同步4位二进制加/减计数器：74LS193（双时钟），74LS191（单时钟）

### 置数功能

时钟边沿到来时，且置数使能信号有效，向计数器装入用户指定的初始值

芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

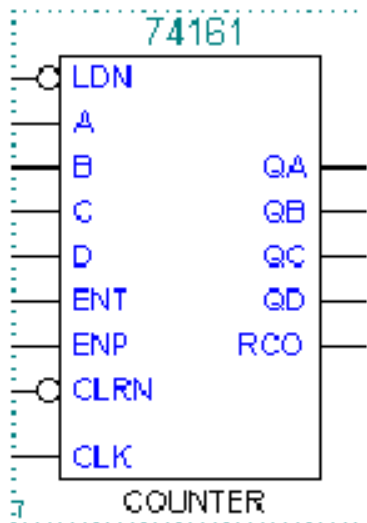
清零只需要1个条件：清零端给有效信号立即回零。

清零需要2个条件同时具备：清零端给有效信号+时钟边沿到来

# 利用中规模计数器芯片设计时序逻辑电路\_1

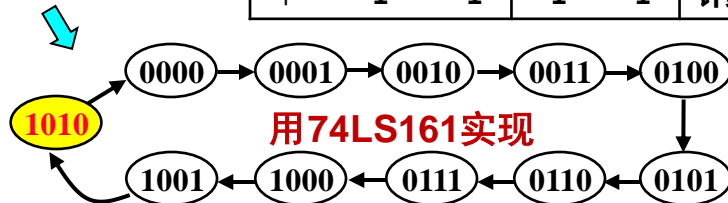
## 例1: 利用74LS161设计模10计数器

### ① 清零法——利用清零端



异步清零只需要1个条件: 清零端给有效信号立即回零

设计M进制计数器: 需要M+1个状态



1010只在极短的瞬态出现, 不包括在稳定的循环中

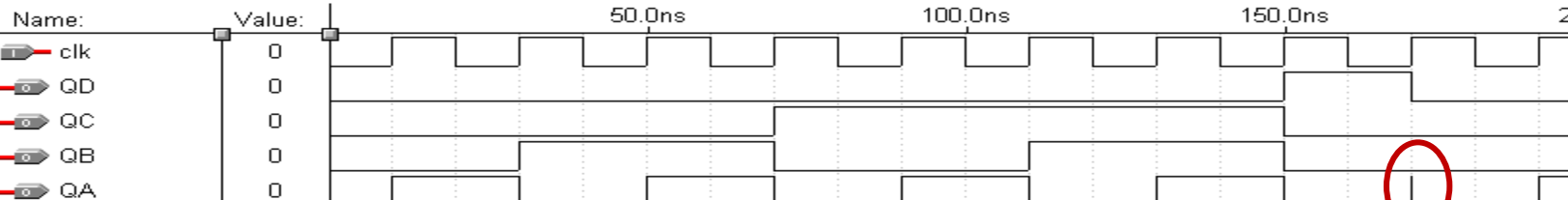
芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

74LS161/160功能表

输入					输出			
CP	CLR <sub>N</sub>	LD <sub>N</sub>	ENT	ENP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
X	0	X	X	X	0	0	0	0
↑	1	0	X	X	D	C	B	A
X	1	1	0	X	保持			
X	1	1	X	0	保持			
↑	1	1	1	1	计数, 计满时RCO=1			



Ref: 0.0ns Time: 0.3ns Interval: 0.3ns

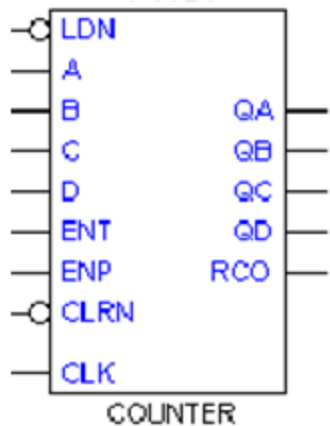


异步清零：用1001回零，则1001状态无法保持一个时钟周期，只是一个瞬间状态！电路产生毛刺。

# 利用中规模计数器芯片设计时序逻辑电路\_1

## 例2: 利用74LS163 设计模10 计数器

### ① 清零法——利用清零端



同步清零需要2个条件  
同时具备: 清零端给有效信号+时钟边沿到来

设计M进制计数器:  
需要M个状态



注意: 同步清零和异步  
清零在设计中的不同

芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

74LS163/162功能表

输入					输出			
CP	CLRn	LDn	ENT	ENP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
↑	0	X	X	X	0	0	0	0
↑	1	0	X	X	D	C	B	A
X	1	1	0	X	保持			
X	1	1	X	0	保持			
↑	1	1	1	1	计数, 计满时RCO=1			



# 利用中规模计数器芯片设计时序逻辑电路\_1

74LS161/160功能表

输入					输出			
CP	CLRN	LDN	ENT	ENP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
X	0	X	X	X	0	0	0	0
↑	1	0	1	0	D	C	B	A
X	1	1	0	X	保持			
X	1	1	X	0	保持			
↑	1	1	1	1	计数, 计满时RCO=1			

74LS163/162功能表

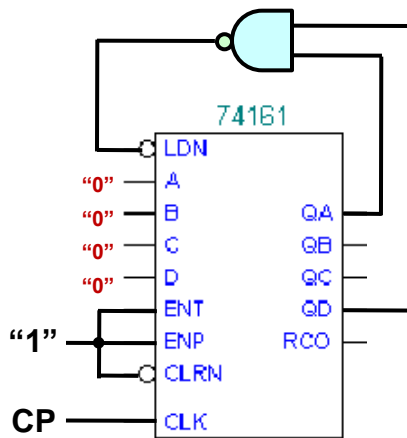
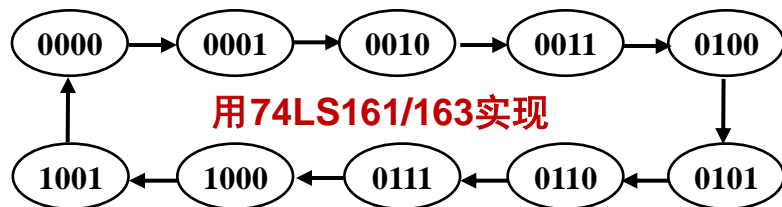
输入					输出			
CP	CLRN	LDN	ENT	ENP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
↑	0	X	X	X	0	0	0	0
↑	1	0	1	0	D	C	B	A
X	1	1	0	X	保持			
X	1	1	X	0	保持			
↑	1	1	1	1	计数, 计满时RCO=1			

芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

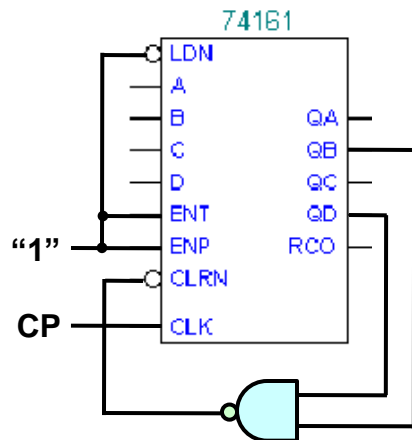
## 例3: 利用74LS161 (或74LS163) 设计模10计数器

### ② 置数法——利用置数端

设计M进制计数器:  
需要M个状态



置数法

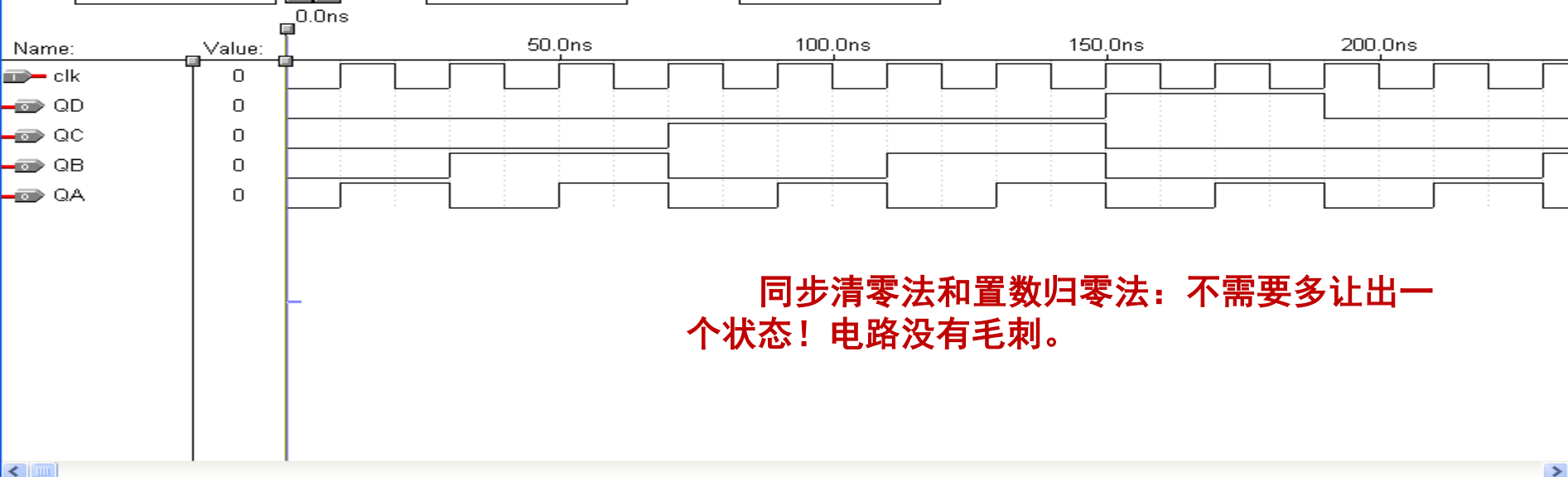


清零法



p1us II - Waveform Editor

Ref: 0.0ns Time: 232.2ns Interval: 232.2ns



# 利用中规模计数器芯片设计时序逻辑电路\_1

## 设计M进制计数器总结

### ① 清零法

异步清零

设计M进制计数器:  
需要M+1个状态

有毛刺

同步清零

设计M进制计数器:  
需要M个状态

没有毛刺

### ② 置数法

设计M进制计数器:  
需要M个状态

没有毛刺

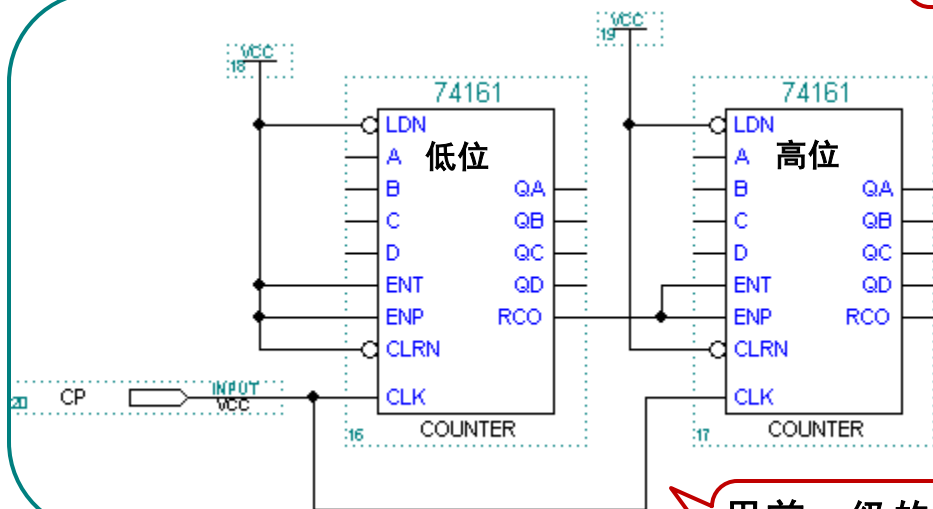


# 利用中规模计数器芯片设计时序逻辑电路

## 计数器的级联——利用进位信号

例1：利用74LS161设计模256加法计数器

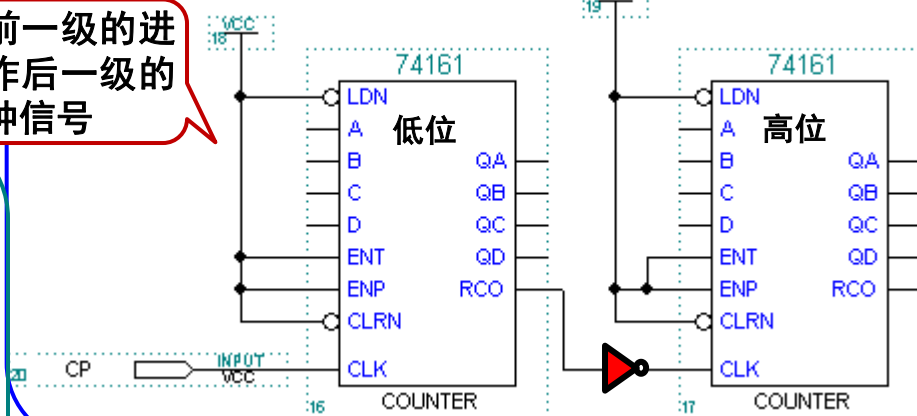
(1) 同步并行进位连接方式



用前一级的进位控制后一级的计数使能

(2) 异步串行进位连接方式

用前一级的进位作后一级的时钟信号



芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

# 利用中规模计数器芯片设计时序逻辑电路

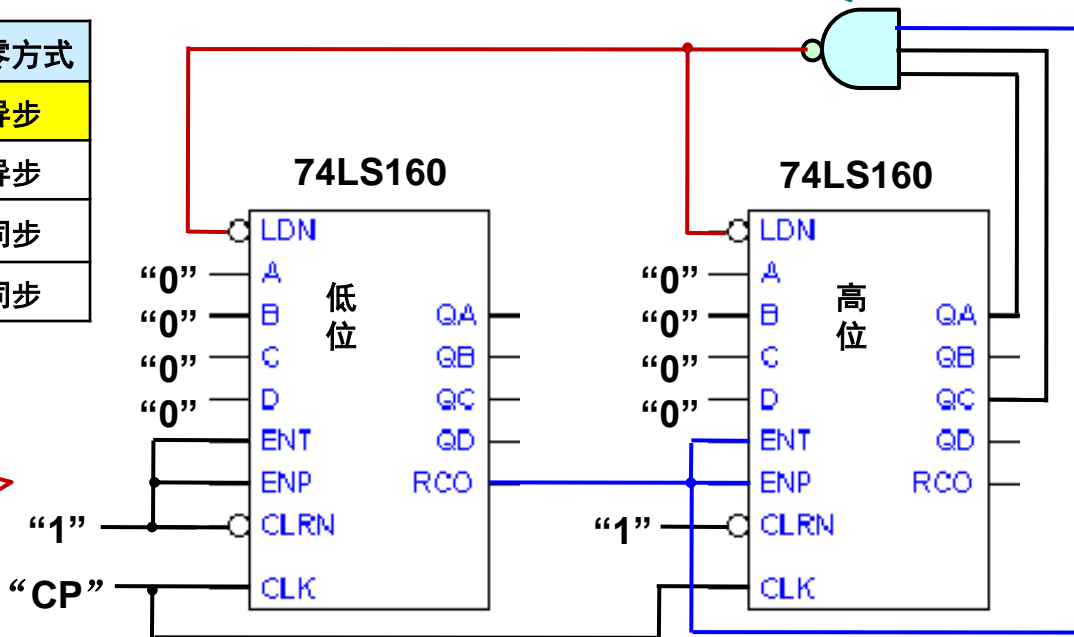
## □ 计数器的级联——利用进位信号

例2：利用74LS160采用置数法设计模60 计数器

芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步

用前一级的进位控制后一级的计数使能

计数到59回零：  
高位计到5，低位计满。

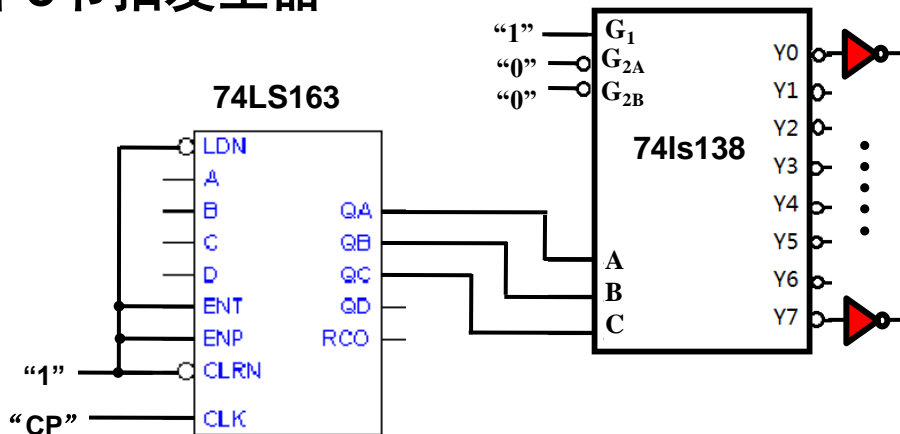
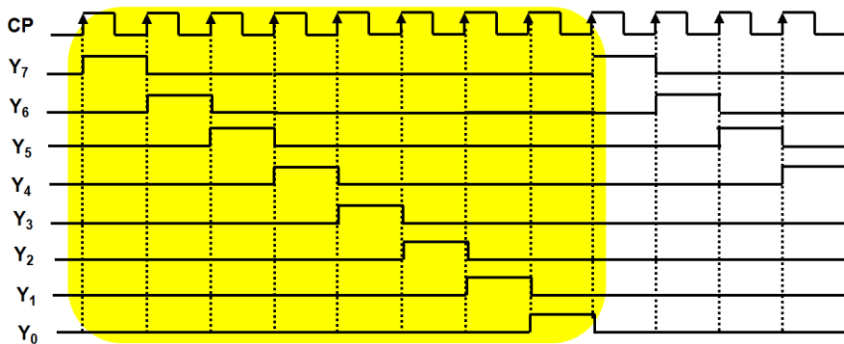


# 利用中规模计数器芯片设计时序逻辑电路

## □ 计数器的应用——节拍发生器

例：利用74LS163设计实现一个8节拍发生器

芯片型号	计数进制	输出特点	置数方式	清零方式
74LS160	十进制	8421BCD码	同步	异步
74LS161	十六进制	4位二进制码	同步	异步
74LS162	十进制	8421BCD码	同步	同步
74LS163	十六进制	4位二进制码	同步	同步



波形分析：

一个循环周期之内的波形与  
**二进制译码器**的输出相同

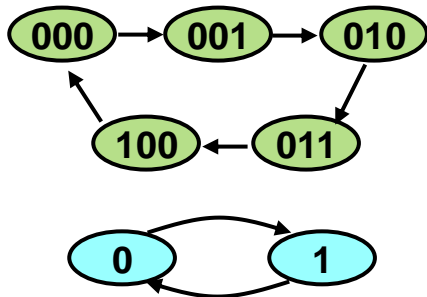
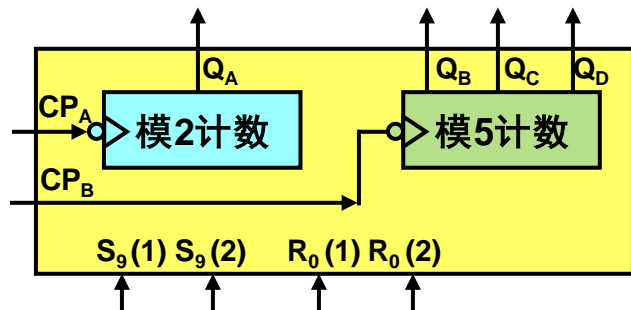
能把波形循环实现：**计数器**

**3:8译码器**  
**模8计数器**

# 利用中规模计数器芯片设计时序逻辑电路\_2

## 计数器芯片

- 同步十进制加法计数器：74LS160（异步清零），74LS162（同步清零）
- 同步4位二进制加法计数器：74LS161（异步清零），74LS163（同步清零）
- 异步二-五-十进制加法计数器：74LS90（异步清零），74LS290（异步清零）
- 同步十进制加/减计数器：74LS192（双时钟），74LS190（单时钟）
- 同步4位二进制加/减计数器：74LS193（双时钟），74LS191（单时钟）



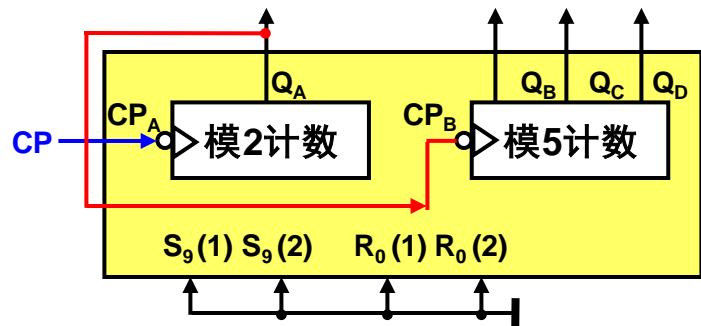
异步清零

74LS90/290功能表

输入					输出			
CP	R <sub>0</sub> (1)	R <sub>0</sub> (2)	S <sub>9</sub> (1)	S <sub>9</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
X	1	1	0	X	0	0	0	0
X	1	1	X	0	0	0	0	0
X	X	X	1	1	1	0	0	1
↓	X	0	X	0	计数			
↓	0	X	0	X				
↓	0	X	X	0				
↓	X	0	0	X				

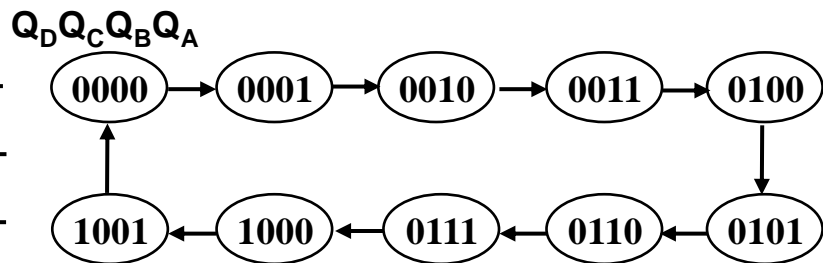
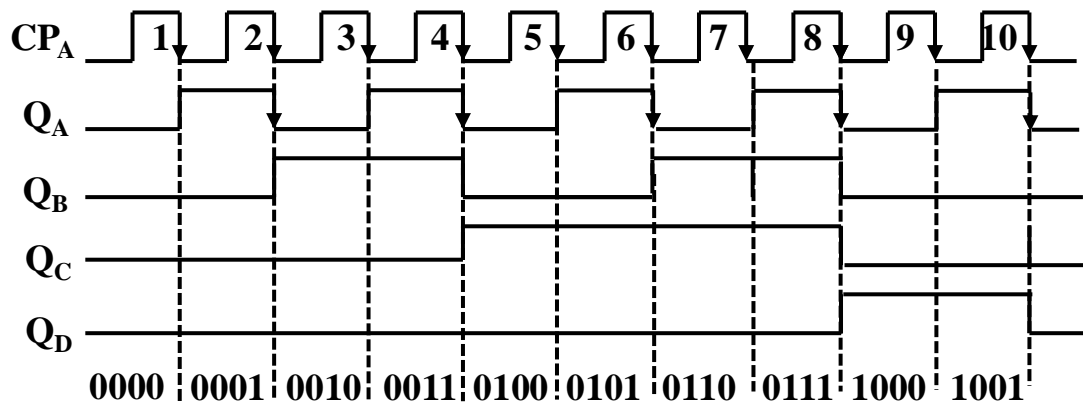
# 利用中规模计数器芯片设计时序逻辑电路\_2

## 应用——① 8421-BCD 码模10计数器

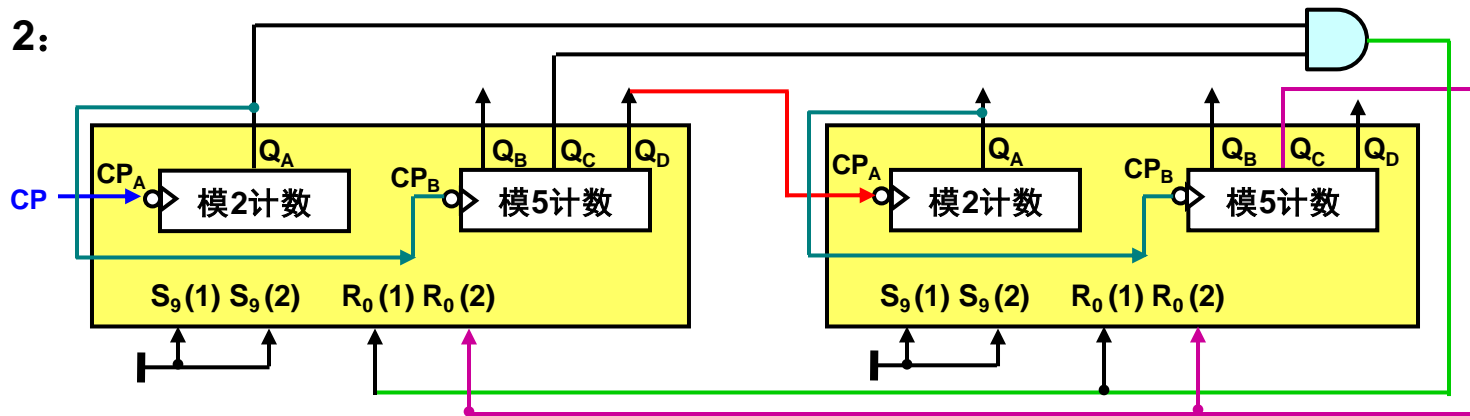


74LS90/290功能表

输入					输出			
CP	R <sub>0</sub> (1)	R <sub>0</sub> (2)	S <sub>9</sub> (1)	S <sub>9</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
X	1	1	0	X	0	0	0	0
X	1	1	X	0	0	0	0	0
X	X	X	1	1	1	0	0	1
↓	X	0	X	0	计数			
↓	0	X	0	X	计数			
↓	0	X	X	0	计数			
↓	X	0	0	X	计数			

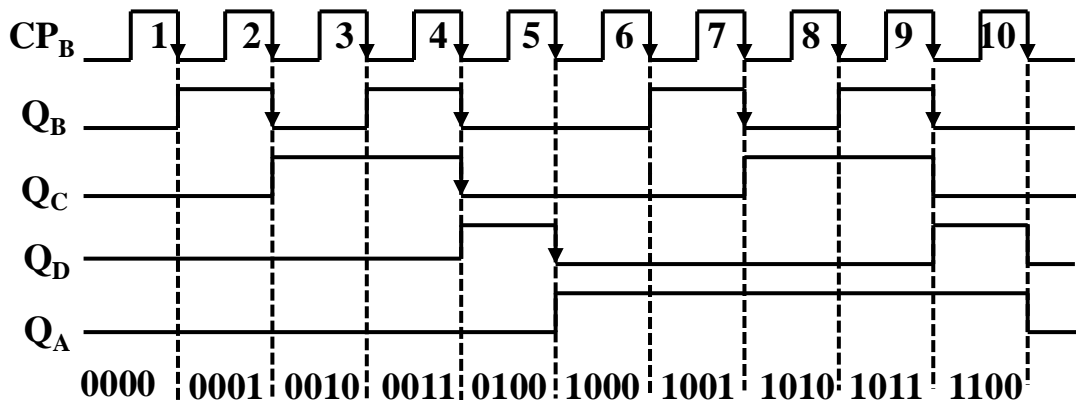
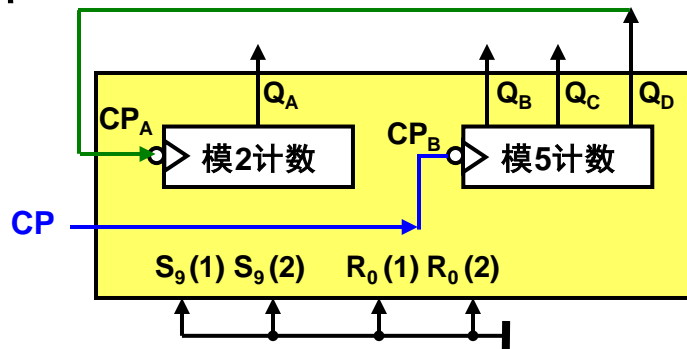
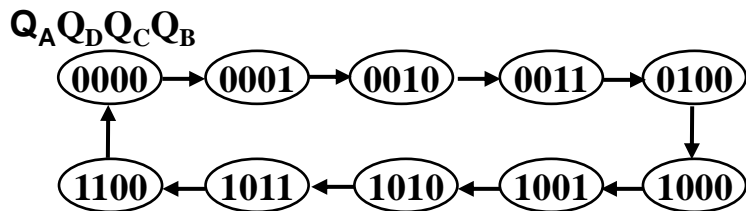


## 异步清零，多让出一个状态



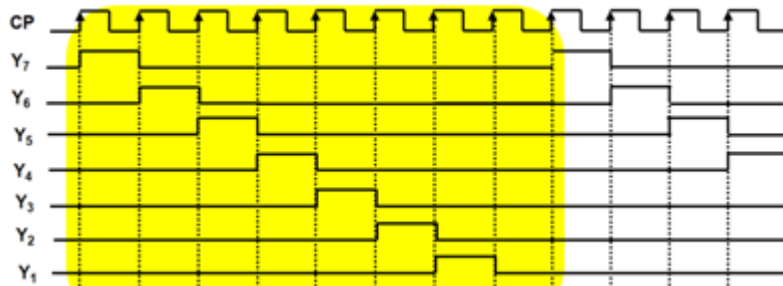
# 利用中规模计数器芯片设计时序逻辑电路\_2

## 应用——③ 5421-BCD 码模10计数器



# 利用中规模计数器芯片设计时序逻辑电路\_2

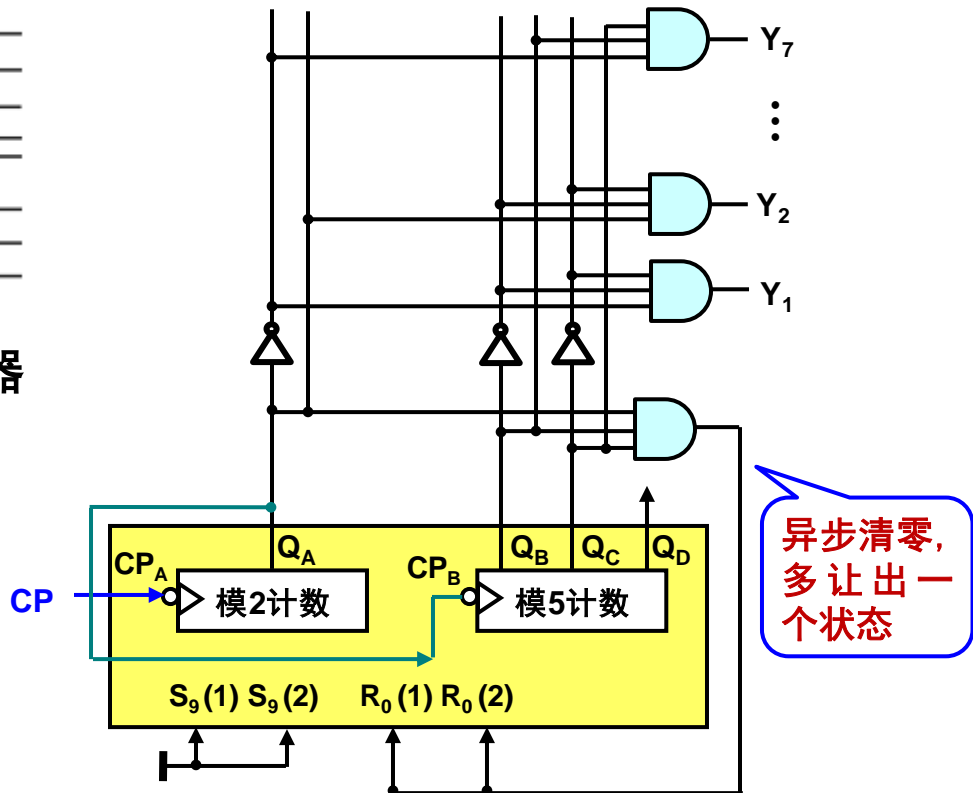
## 应用——④ 设计节拍发生器



### 1) 设计模7计数器

### 2) 以模7计数器为输入，设计译码器

输入			译码输出						
Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>	Y <sub>4</sub>	Y <sub>5</sub>	Y <sub>6</sub>	Y <sub>7</sub>
0	0	0	1	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0
0	1	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0
1	0	1	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	1

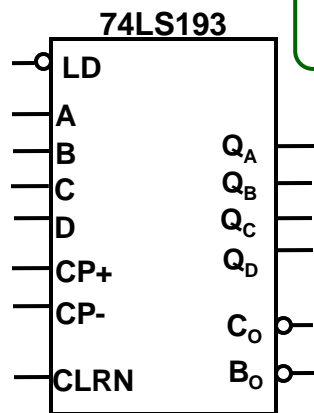




# 利用中规模计数器芯片设计时序逻辑电路\_2

## 计数器芯片

- 同步十进制加法计数器：74LS160（异步清零），74LS162（同步清零）
- 同步4位二进制加法计数器：74LS161（异步清零），74LS163（同步清零）
- 异步二-五-十进制加法计数器：74LS90（异步清零），74LS290（异步清零）
- 同步十进制加/减计数器：74LS192（双时钟），74LS190（单时钟）
- 同步4位二进制加/减计数器：74LS193（双时钟），74LS191（单时钟）



异步清零  
异步置数

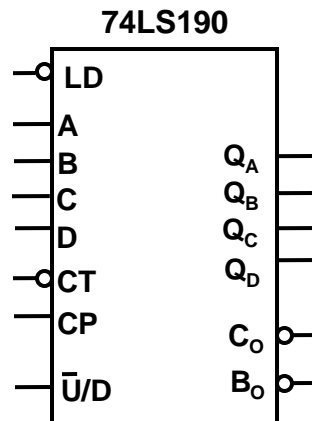
74LS192/193功能表

输入				输出			
CLR <sub>N</sub>	LD	CP <sub>+</sub>	CP <sub>-</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	X	X	X	0	0	0	0
0	0	X	X	D	C	B	A
0	1	↑	1	加计数			
0	1	1	↑	减计数			
0	1	1	1	保持			

没有清零端，可借助  
异步置数功能实现

74LS190/191功能表

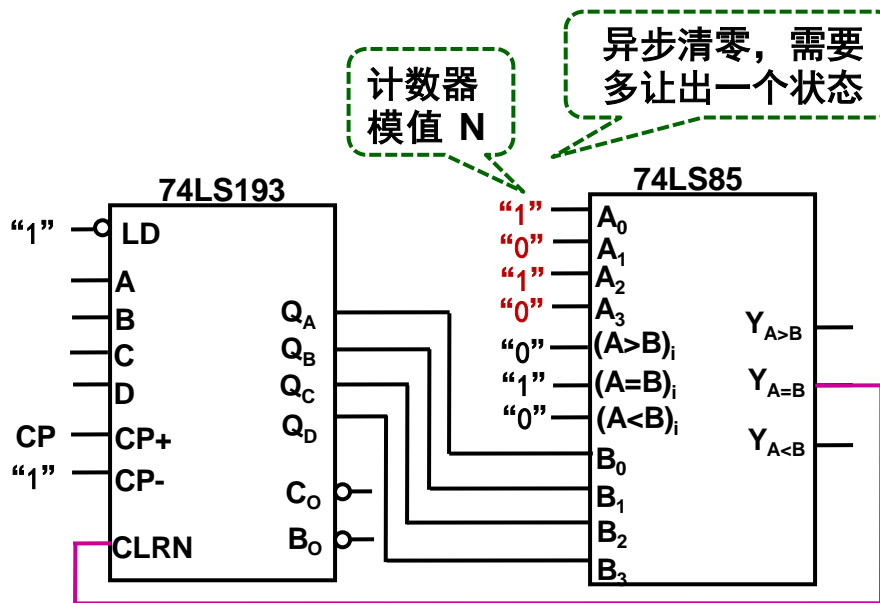
输入				输出			
LD	CT	D/ $\bar{U}$	CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	X	X	X	D	C	B	A
1	0	0	↑	加计数			
1	0	1	↑	减计数			
1	1	X	X	保持			



# 利用中规模计数器芯片设计时序逻辑电路\_2

## □ 计数器的综合应用——设计可变模值计数器

利用一片4位数码比较器74LS85及一片模16计数器芯片74LS193  
设计一个模10计数器。



### 设计思路

#### ■ 比较器：

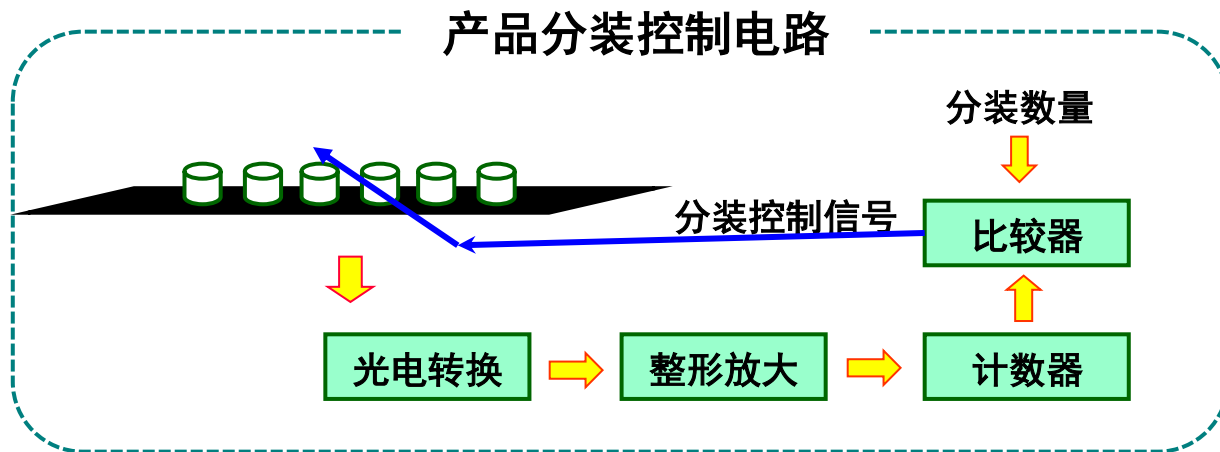
$A_3 \sim A_0$ ：输入计数器模值  $N$

$B_3 \sim B_0$ ：连接计数器当前计数输出值

- 如果计数器当前输出值  $Q_D Q_C Q_B Q_A = \text{模值 } N$   
比较器输出端  $Y_{A=B}=1$ ，该信号使计数器清零

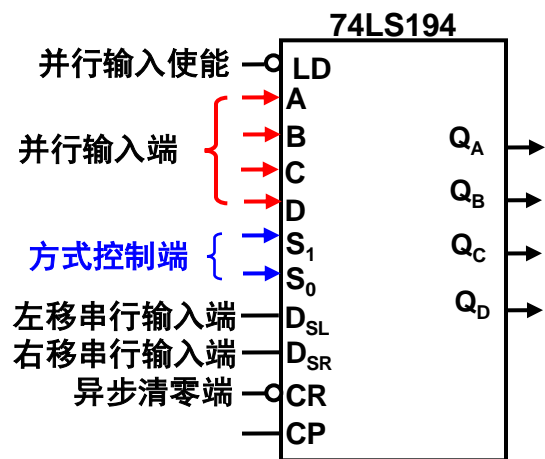
# 利用中规模计数器芯片设计时序逻辑电路\_2

## □ 计数器的应用——



# 利用中规模寄存器芯片设计时序逻辑电路

## 4位双向移位寄存器芯片——74X194 (Serial /Parallel input, Parallel out )



74LS194功能表

输入				输出			
CP	CR	S <sub>1</sub>	S <sub>0</sub>	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
X	0	X	X	0	0	0	0
0	1	X	X	保持			
X	1	0	0	保持			
↑	1	0	1	D <sub>SR</sub>	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>
↑	1	1	0	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>	D <sub>SL</sub>
↑	1	1	1	A	B	C	D

异步  
清零

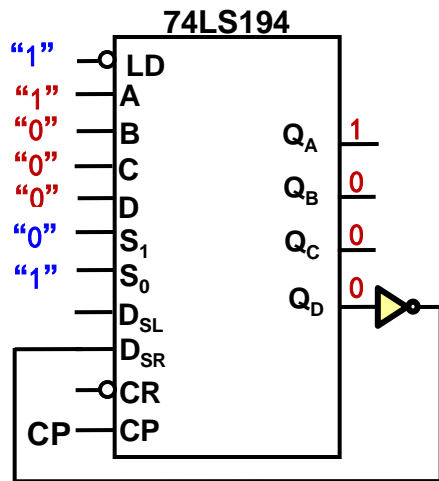
S <sub>1</sub>	S <sub>0</sub>	工作方式
0	0	保持
0	1	右移
1	0	左移
1	1	并入

注：寄存器只在移位方式下才从左/右移串行输入D<sub>SL</sub>和D<sub>SR</sub>取数据

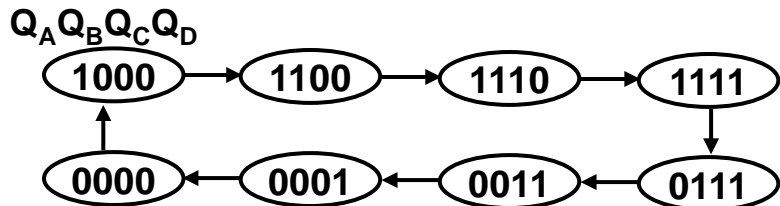
# 利用中规模寄存器芯片设计时序逻辑电路

## 寄存器应用——

### ① 4-bit 扭环形计数器



$S_1 S_0$	工作方式
0 0	保持
0 1	右移
1 0	左移
1 1	并入



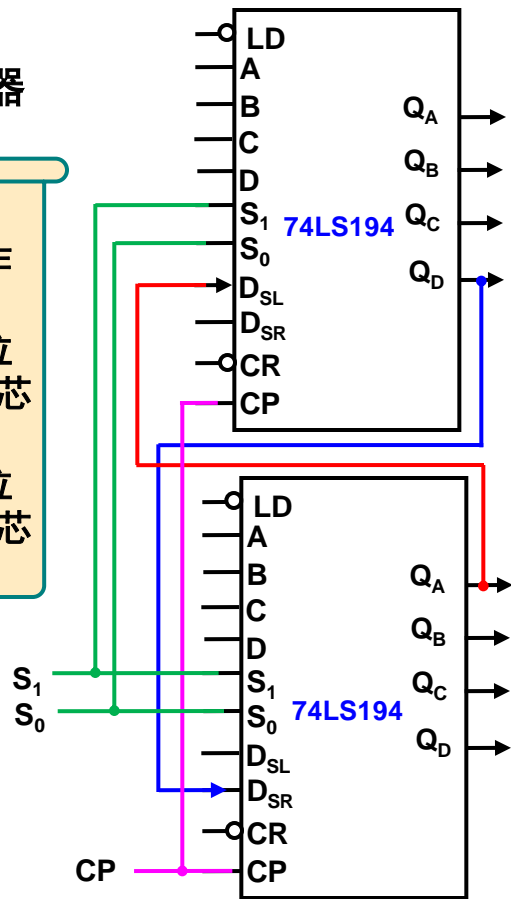
### ② 寄存器级联

构造 8-bit 移位寄存器

#### 设计要点

- 两块芯片同步工作
- 工作方式相同
- 左移方式下，高位芯片的  $Q_A$  连接低位芯片的  $D_{SL}$
- 右移方式下，低位芯片的  $Q_D$  连接高位芯片的  $D_{SR}$

环形计数器  
该怎样设计？

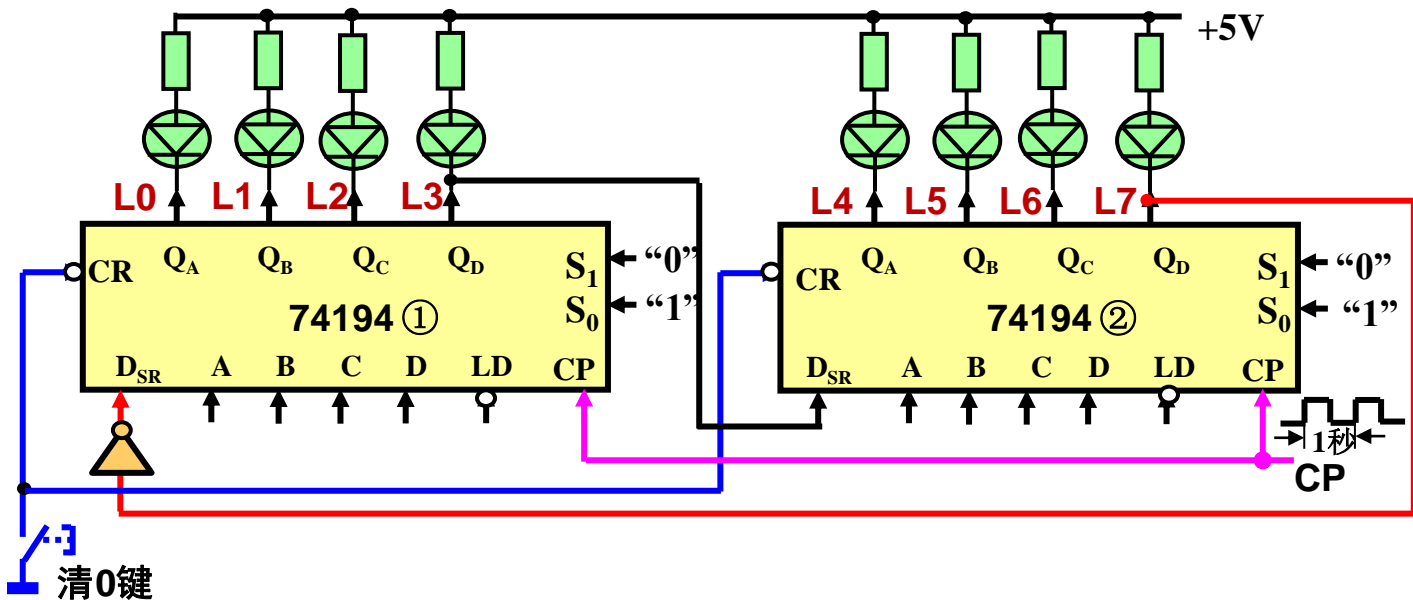


# 利用中规模寄存器芯片设计时序逻辑电路

## 寄存器应用——③ 节日彩灯（8位扭环形计数器）

**工作原理：**按下清0键，8个LED都亮；然后从**L0**开始，每来一个CP，各LED依次熄灭；当**L7**熄灭后，从**L0**开始，每来一个CP，各LED又依次点亮；重复此规律。

$S_1 S_0$	工作方式
0 0	保持
0 1	右移
1 0	左移
1 1	并入



①				②			
L <sub>0</sub>	L <sub>1</sub>	L <sub>2</sub>	L <sub>3</sub>	L <sub>4</sub>	L <sub>5</sub>	L <sub>6</sub>	L <sub>7</sub>
0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0
1	1	1	1	1	0	0	0
1	1	1	1	1	1	0	0
1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1
0	0	0	1	1	1	1	1
0	0	0	0	1	1	1	1
0	0	0	0	0	1	1	1
0	0	0	0	0	0	1	1
0	0	0	0	0	0	0	1

# 利用中规模寄存器芯片设计时序逻辑电路

## 寄存器应用—— ④ 7位串/并行转换器

### 工作分析

1.  $CR=0$ , 寄存器清零,  $F_7F_6F_5F_4F_3F_2F_1F_0 = 00000000$

2.  $\because F_7=0, \therefore S_1S_0=11, LD=0$ , 是并行输入方式

3.  $CP \uparrow$ , 并行输入, 即  $F_7F_6F_5F_4F_3F_2F_1F_0 = 1111110D_6$

$\because S_1S_0=10, LD=1$ , 是左移工作方式  
反向后,  $S_0=0, S_1S_0=10$ , 下一刻左移

$CP \uparrow$ , 左移, 即  $F_7F_6F_5F_4F_3F_2F_1F_0 = 111110D_6D_5$

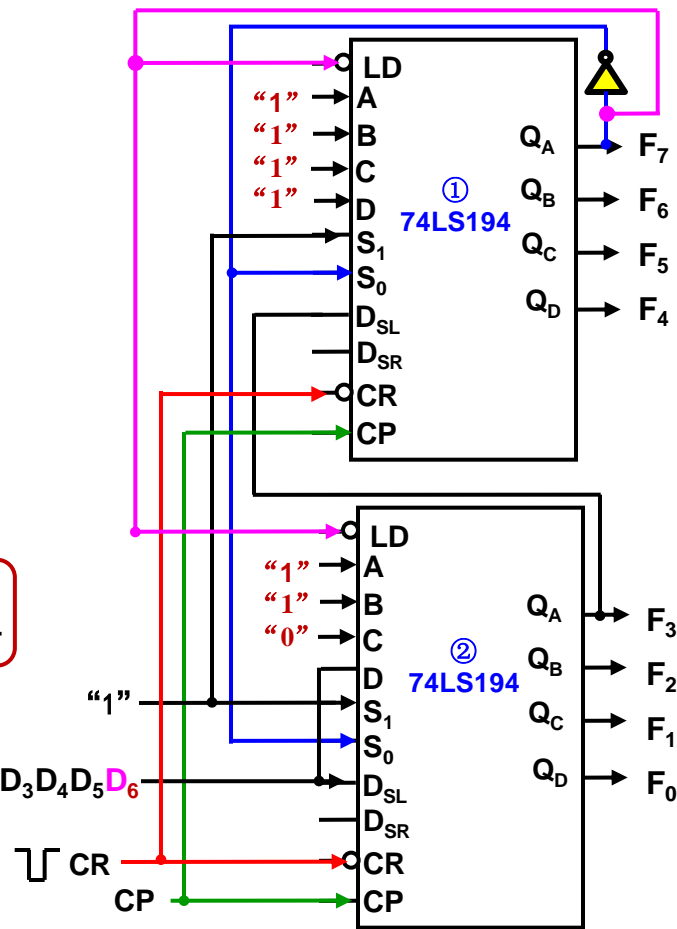
$CP \uparrow$ , 左移, 即  $F_7F_6F_5F_4F_3F_2F_1F_0 = 111110D_6D_5D_4$

.....

$CP \uparrow$ , 左移, 即  $F_7F_6F_5F_4F_3F_2F_1F_0 = 0D_6D_5D_4D_3D_2D_1D_0$   
反向后,  $S_0=1, S_1S_0=11$ , 下一刻并入

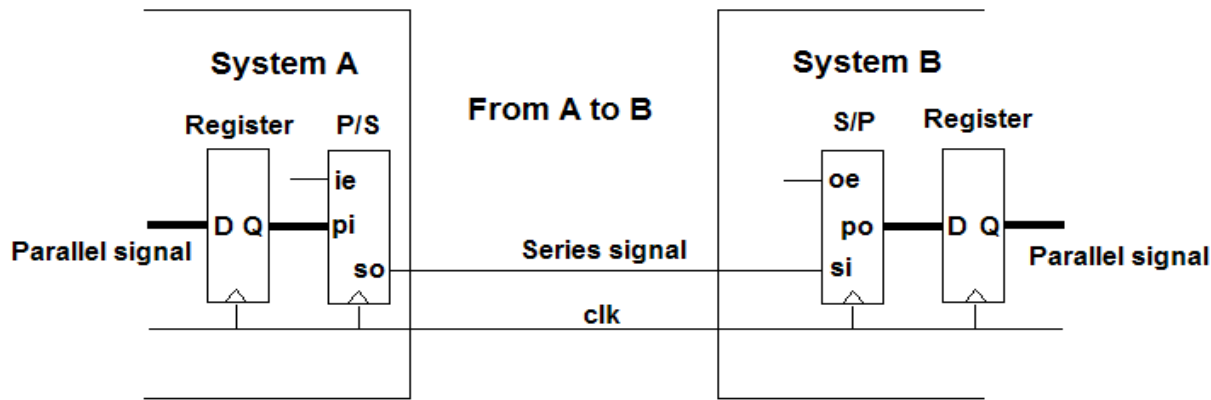
4. 返回步骤2

$S_1S_0$	工作方式
0 0	保持
0 1	右移
1 0	左移
1 1	并入



# 利用中规模寄存器芯片设计时序逻辑电路

## □ 寄存器应用——④ 串/并行转换器



### 工作原理

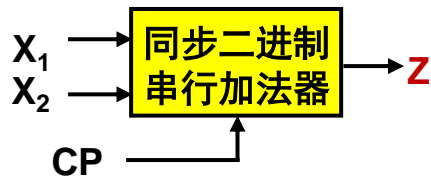
**System A:** 并行数据（例如8位）并行输入到寄存器中，通过并行→串行的转换（例如，可以使寄存器工作在单向右移方式下），传送到**System B**。

**System B:** 收到串行输入的数据，先进串行→并行的转换（上例），然后将并行输出的数据存放到寄存器中（可以使寄存器的并行输入工作式下）

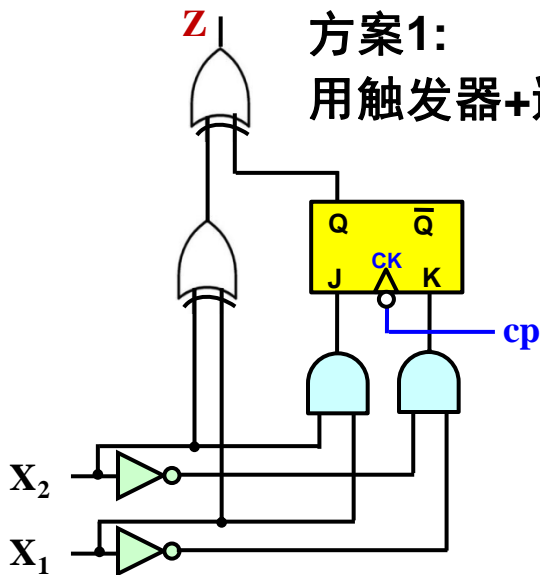


# 利用中规模寄存器芯片设计时序逻辑电路

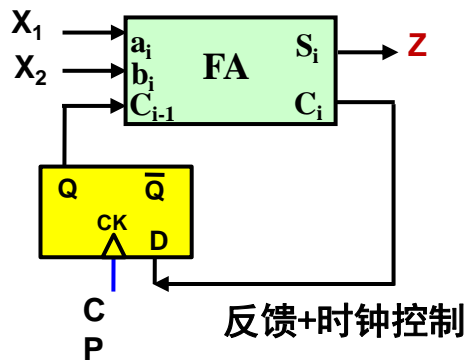
回顾：利用JK触发器设计一个同步二进制串行加法器



方案1:  
用触发器+逻辑门实现



方案2: 用一位全加器+D触发器实现



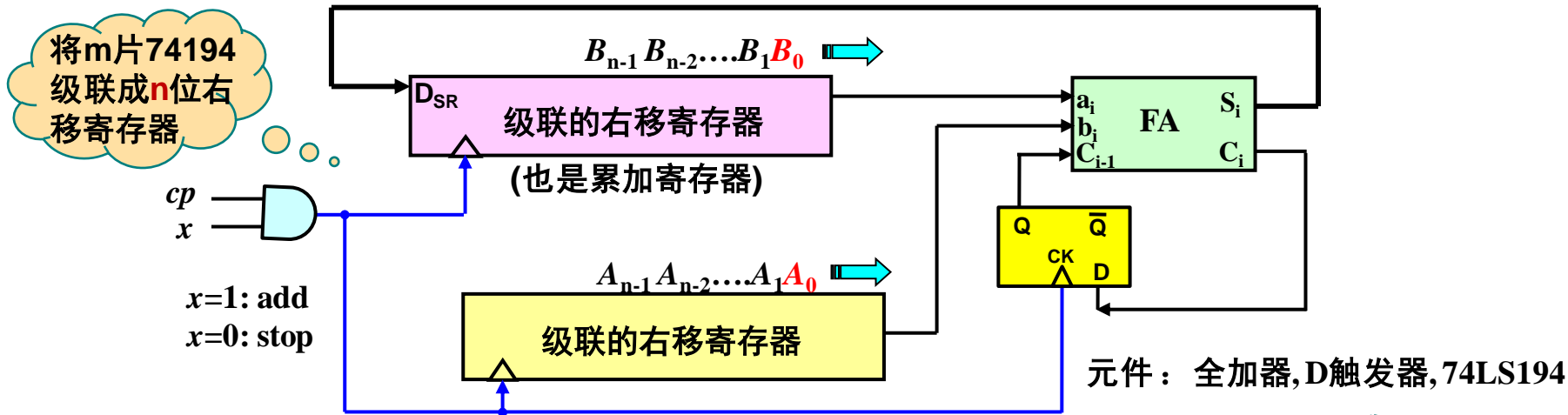
扩展——

能否用中规模芯片74194设计一个  $n$  位同步二进制串行加法器，并能存放计算结果呢？



# 利用中规模寄存器芯片设计时序逻辑电路

**扩展：** 利用74LS194设计一个n位同步二进制串行加法器



1. 初始化清零:  $a_i=B_0, b_i=A_0, c_{i-1}=0; s_0=A_0 \oplus B_0 \oplus 0 = A_0 \oplus B_0; c_0=A_0B_0$

2. 第1个CP到来:

$B_{n-1}=D_{SR}=s_0; Q=c_0$  (carry);  $a_i=B_1, b_i=A_1, c_{i-1}=c_1;$

$s_1=A_1 \oplus B_1 \oplus c_0; c_1= (A_1 \oplus B_1) c_0 + A_1B_1$

3. 第2个CP到来: .....

# 序列信号发生器的设计

**序列信号发生器**：能循环产生一组特定的串行数字序列信号的电路。

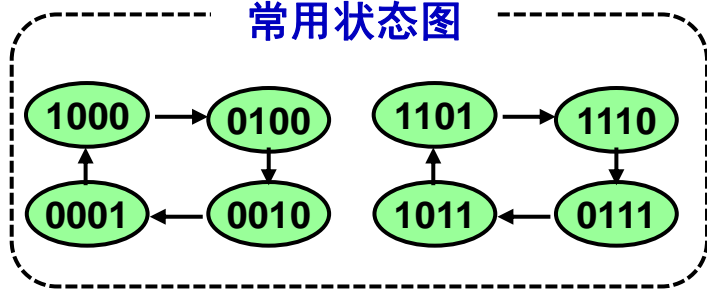
**序列的长度**：序列信号的位数。如：序列为00011，则序列长度为5。

序列状态之间很有规律

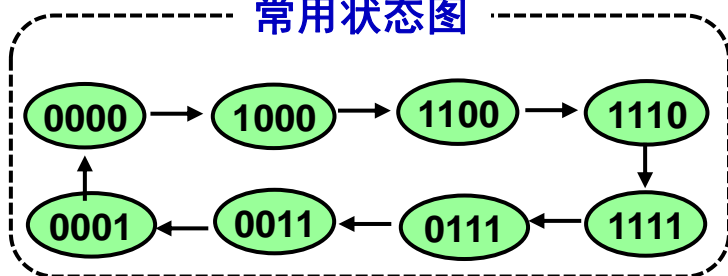
特殊类型

- 使用环形计数器设计
- 使用扭环计数器设计

常用状态图



常用状态图



# 序列信号发生器的设计

## 任意类型

- 使用**D触发器**设计
- 使用**计数器** + **数据选择器**设计；
- 用**移位寄存器** + **反馈电路**设计(逻辑门 or 译码器 or 数据选择器)
- 用**计数器** + **PROM**设计

大体思路：

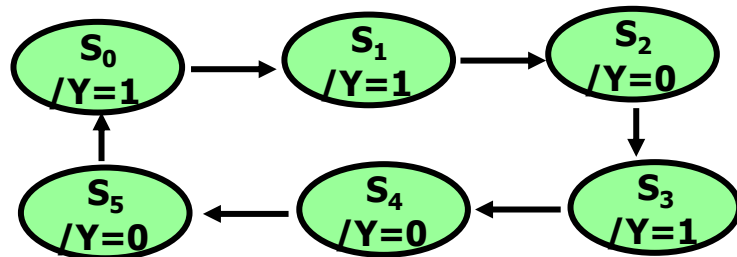
1. 实现序列信号一个周期之内的波形
2. 将此波形循环再现

例：用D触发器设计一个 110100 序列信号发生器

**方法1：**利用D触发器

- 序列信号长度为 L，则取 L 个不同的状态
- 每个状态下时序电路的输出就是序列信号中的一位。

## 1. 画状态转换图



时序电路的不同状态对应输出序列中的各位。

# 序列信号发生器的设计

## 2. 状态编码

$S_0$  — 000,  $S_3$  — 011  
 $S_1$  — 001,  $S_4$  — 100  
 $S_2$  — 010,  $S_5$  — 101

## 3. 状态转换真值

$Q_2Q_1Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
0 0 0	0	0	1	<b>1</b>
0 0 1	0	1	0	<b>1</b>
0 1 0	0	1	1	<b>0</b>
0 1 1	1	0	0	<b>1</b>
1 0 0	1	0	1	<b>0</b>
1 0 1	0	0	0	<b>0</b>

## 4. 卡诺图化简

$Q_1Q_0$	00	01	11	10
$Q_2$ 0	1	0	0	1
$Q_2$ 1	1	0	X	X

$$D_0 = Q_0'$$

$Q_1Q_0$	00	01	11	10
$Q_2$ 0	0	0	1	0
$Q_2$ 1	1	0	X	X

$$D_2 = Q_2Q_0' + Q_1Q_0$$

$Q_1Q_0$	00	01	11	10
$Q_2$ 0	0	1	0	1
$Q_2$ 1	0	0	0	X

$$D_1 = Q_2'Q_1'Q_0 + Q_1Q_0'$$

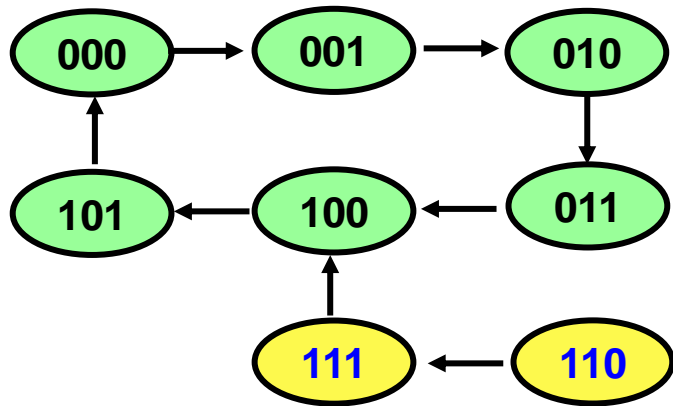
$Q_1Q_0$	00	01	11	10
$Q_2$ 0	1	1	1	0
$Q_2$ 1	0	0	X	X

$$Y = Q_2'Q_1' + Q_1Q_0$$

# 序列信号发生器的设计

## 5. 电路实现(略)

## 6. 检查无关项



时序电路可以  
自启动。

### 方法1：利用D触发器

- 序列信号长度为  $L$ ，则取  $L$  个不同的状态
- 每个状态下时序电路的输出就是序列信号中的一位。

# 序列信号发生器的设计

例：设计一个 110100 序列信号发生器

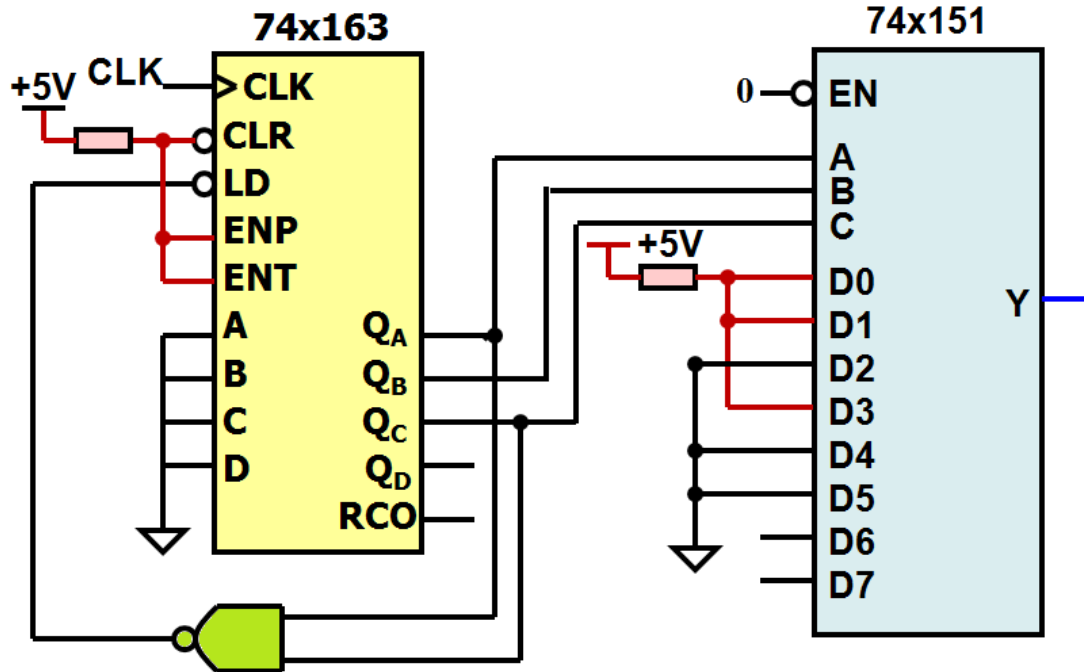
**方法2：** 利用计数器+数据选择器

大体思路：

1. 实现序列信号一个周期之内的波形
2. 循环再现

计数器+数据选择器  
设计序列信号发生器的方法

- ❑ 数据选择器74151的输入  $D_0$ - $D_5$  接成110100。
- ❑ 74163接成模6加法计数器
- ❑ 计数器输出连接到数据选择器的选择控制端CBA，经过循环选择产生所需序列。



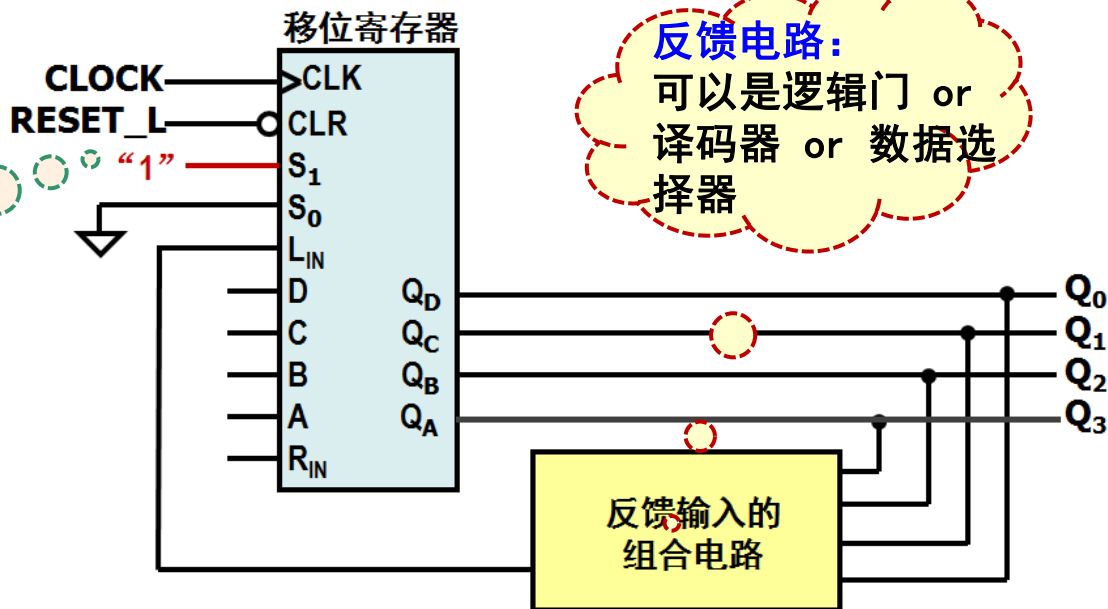
(置数归零法)

# 序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

**方法3：** 移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）

**原理：** 寄存器设置为左移模式，利用反馈电路为左移串行输入端提供输入





# 序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

**方法3：** 移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）

## 具体方法

- 确定移位寄存器的位数。

序列信号长度为L，则移位寄存器的位数 $n$ 应满足：

$$2^n \geq L$$

**试探法：**  $n$  为满足条件的最小值，将序列数据循环左移，画状态图。检查状态图中所有L个状态是否两两不同，是，则 $n$ 值可用；否则取 $n+1$ ，重复上述操作。

- 画状态转换表，确定左移时最低位输入的卡诺图，求出表达式。如果有无关项，检查电路的自启动能力
- 实现最低位反馈输入（逻辑门 or 译码器 or 数据选择器）
- 取移位寄存器的某位输出即为所要求的序列信号。

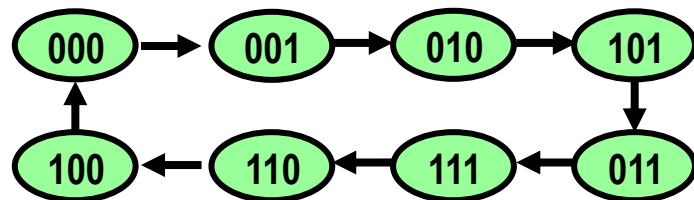
## 1. 确定移位寄存器位数

序列长度 $L=8$ ，则 $n=3$

## 2. 状态转换图

00010111

11000



用**74194**的低3位 $Q_B Q_C Q_D$ 输出

# 序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

**方法3：** 移位寄存器+反馈电路设计

## 3. 状态转换真值表

$Q_B Q_C Q_D$	$L_{IN}$
0 0 0	1
0 0 1	0
0 1 0	1
1 0 1	1
0 1 1	1
1 1 1	0
1 1 0	0
1 0 0	0

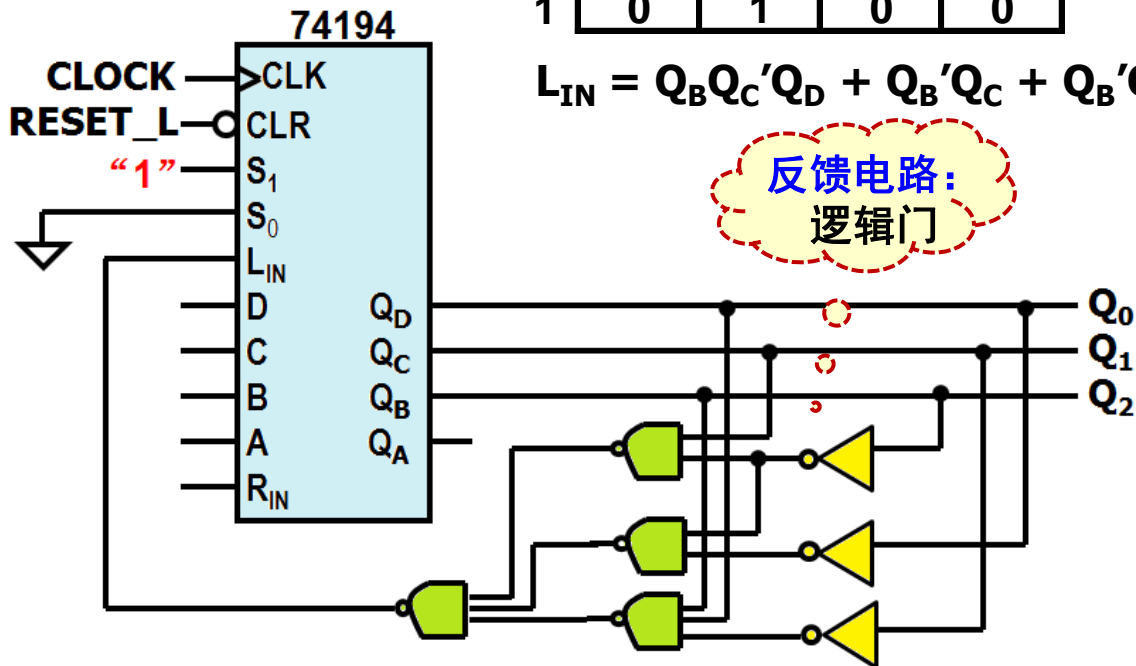
$Q_B$  输出即为  
序列信号

## 4. 卡诺图化简

$Q_1 Q_0$	00	01	11	10
0	1	0	1	1
1	0	1	0	0

$$L_{IN} = Q_B Q_C' Q_D + Q_B' Q_C + Q_B' Q_D'$$

反馈电路：  
逻辑门



# 序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器

**1~4. 同上**

**方法3：** 移位寄存器+反馈电路设计

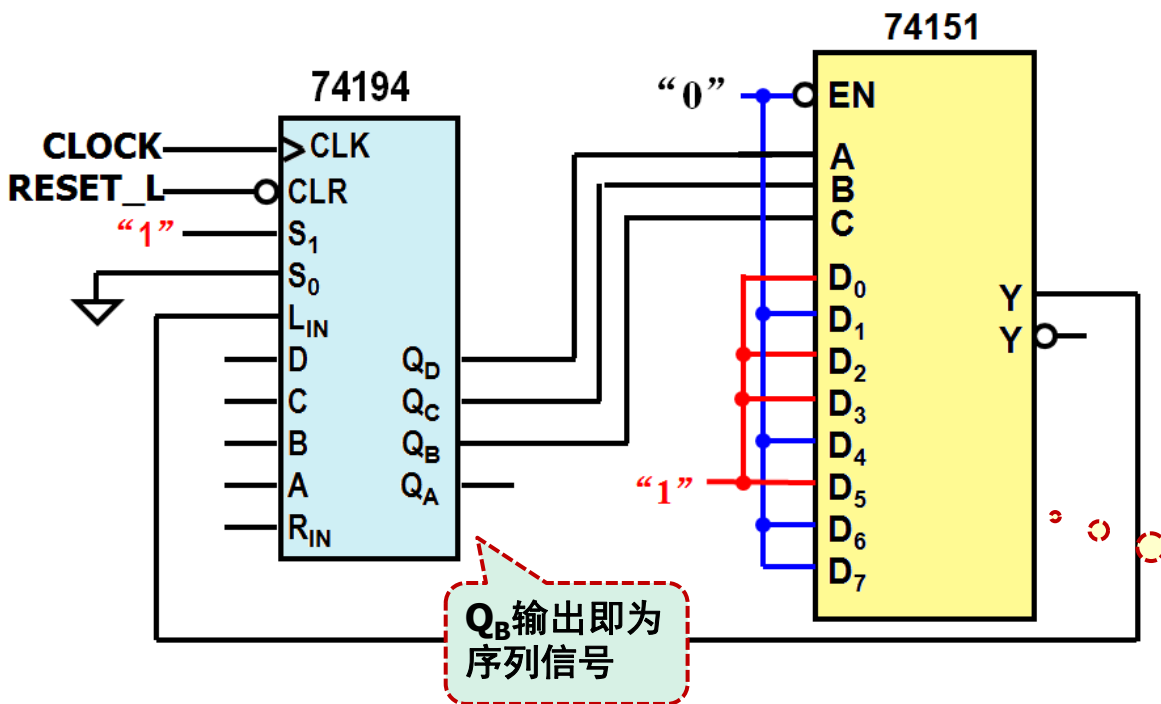
$$L_{IN} = Q_B Q_C' Q_D + Q_B' Q_C + Q_B' Q_D' \\ = \sum m(0, 2, 3, 5)$$

转换为最小项表达式

$Q_B Q_C Q_D$  分别接74151的选择控制端CBA，则：

$$D_0 = D_2 = D_3 = D_5 = 1, \\ D_1 = D_4 = D_6 = D_7 = 0$$

反馈电路：  
数据选择器



# 序列信号发生器的设计

例：设计一个 **00010111** 序列信号发生器 **1~4. 同上**

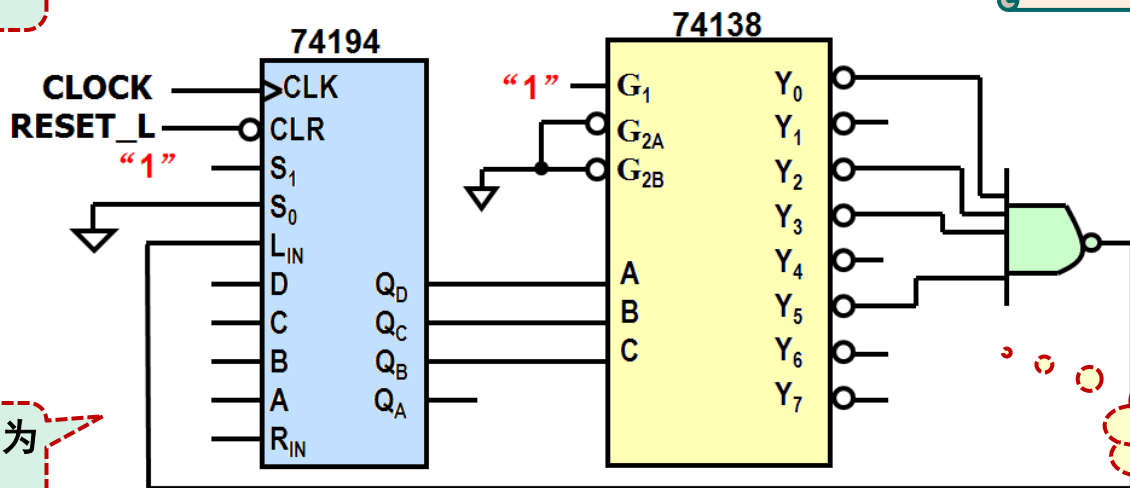
**方法3：移位寄存器+反馈电路设计**

$$L_{IN} = Q_B Q_C' Q_D + Q_B' Q_C + Q_B' Q_D'$$
$$= \sum m(0, 2, 3, 5)$$

转换为**最小项**表达式

$Q_B Q_C Q_D$  分别接74138的地址输入端CBA，则：

$Y_0, Y_2, Y_3, Y_5$  分别被译中时，反馈回1，否则反馈回0



$Q_B$  输出即为序列信号

反馈电路：  
译码器

# 序列信号发生器设计方法总结

## 方法总结

### 特殊类型

- 使用环形计数器设计
- 使用扭环计数器设计

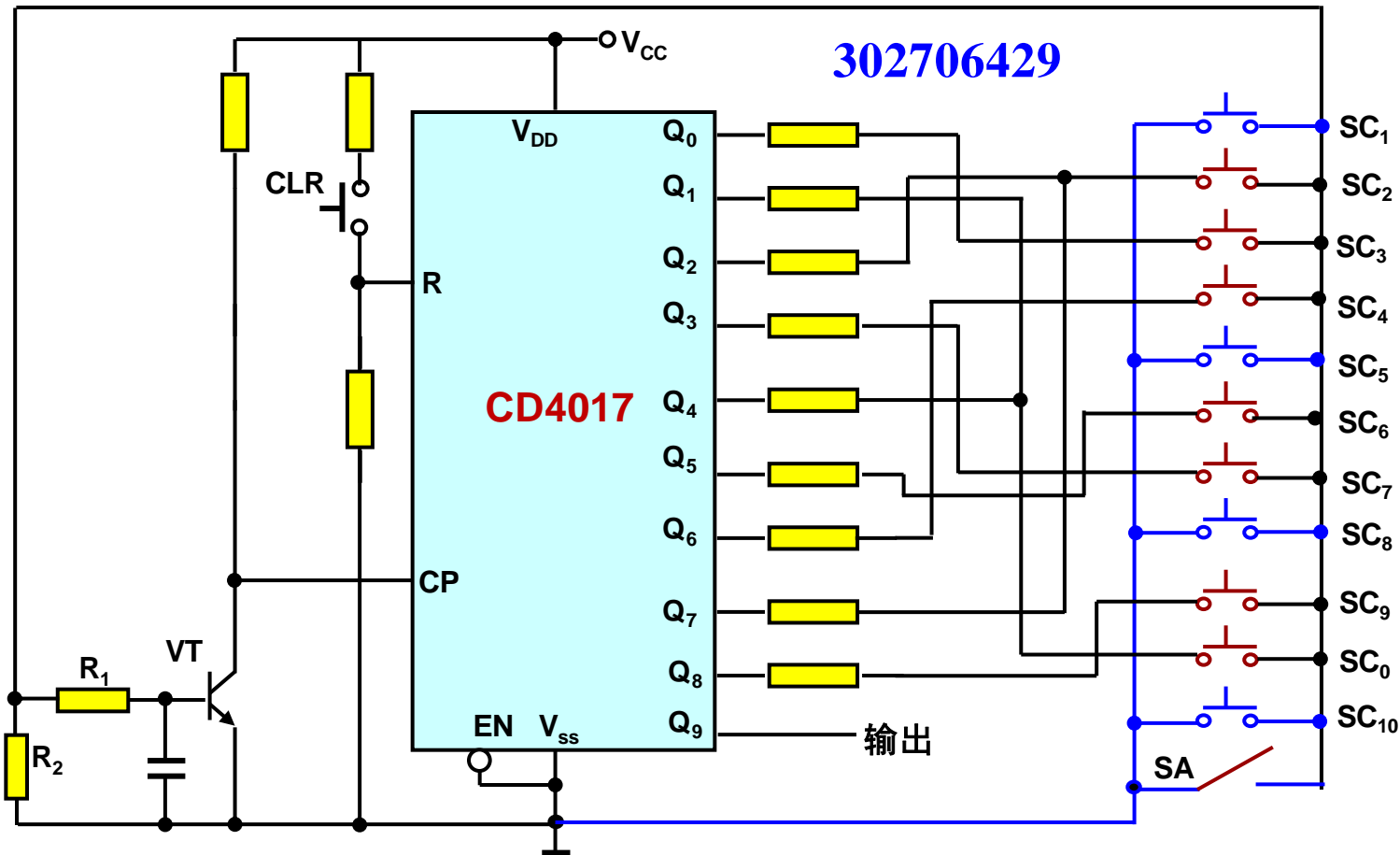
### 任意类型

- 使用D触发器设计
- 使用计数器 + 数据选择器设计；
- 用移位寄存器+反馈电路设计（逻辑门 or 译码器 or 数据选择器）
- 用计数器 + PROM设计

# 实际应用电路——9位数字密码锁

## 功能

- 11位密码输入按键，其中有效按键7位，伪码按键4位，有效按键可重复使用。
- 预设密码为 302706429



# 实际应用电路——9位数字密码锁

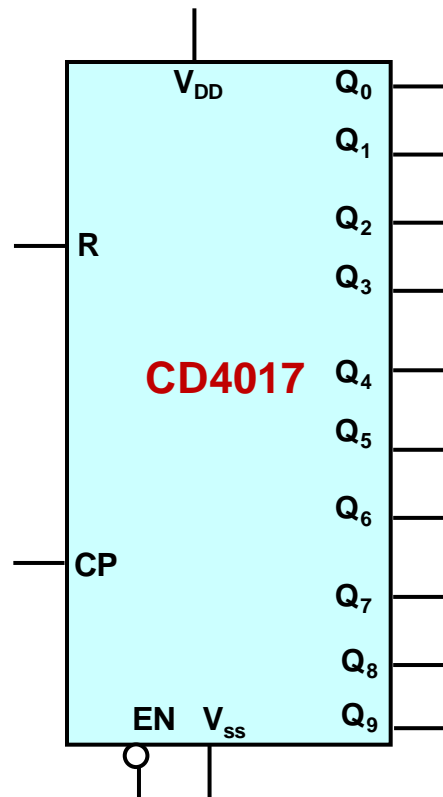
CD4017（模10计数器）：上升沿触发

R	EN	CP	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$	$Q_6$	$Q_7$	$Q_8$	$Q_9$
初始状态（清零后）			1	0	0	0	0	0	0	0	0	0
0	0	↑	0	1	0	0	0	0	0	0	0	0
0	0	↑	.....									
0	0	↑	0	0	0	0	0	0	0	0	0	1

初始状态下：

计数器输出端  $Q_0 \sim Q_9$  为 1000000000

随着计数脉冲到来：高电平 1 从  $Q_0$  逐次移到  $Q_9$



# 实际应用电路——9位数字密码锁

CD4017（模10计数器）：上升沿触发

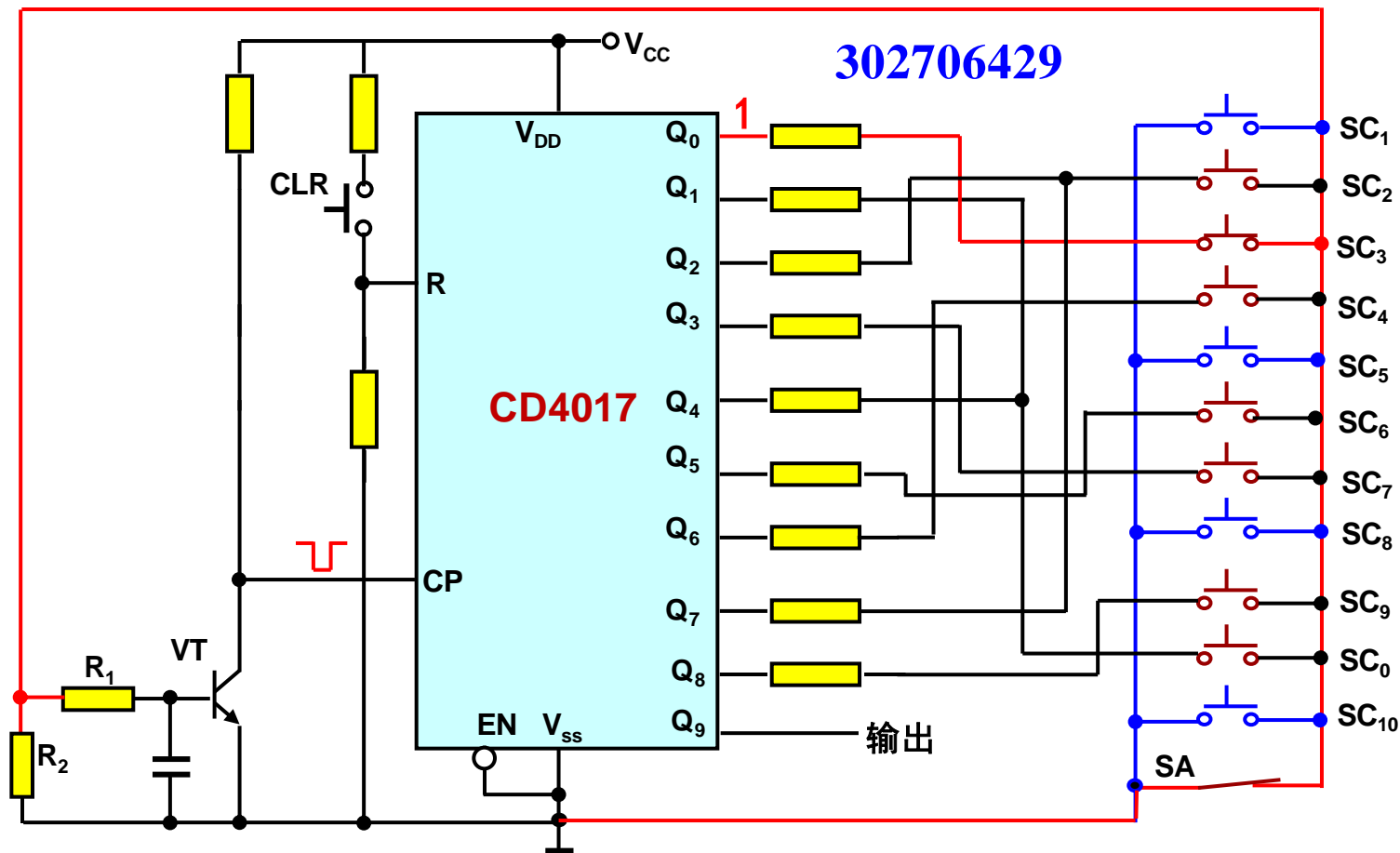
初始状态下：

计数器输出端 $Q_0 \sim Q_9$   
为 1000000000

时钟端CP：高电平1

3号键 $SC_3$ 按下  
再抬起

三极管VT导通时，  
集电极电压被拉低，  
截止时集电极电压  
被拉高，CP端产  
生一个计数脉冲，  
计数器计一个数，  
 $Q_1$ 输出为1





# 实际应用电路——9位数字密码锁

工作原理：

每按对一个数字键，使计数器获得个计数脉冲，并计一个数，计到最后一个数，使 $Q_9$ 输出高电平1（开锁标志）

缺点：

保密性差（只要足够耐心，锁就有被打开的可能）

