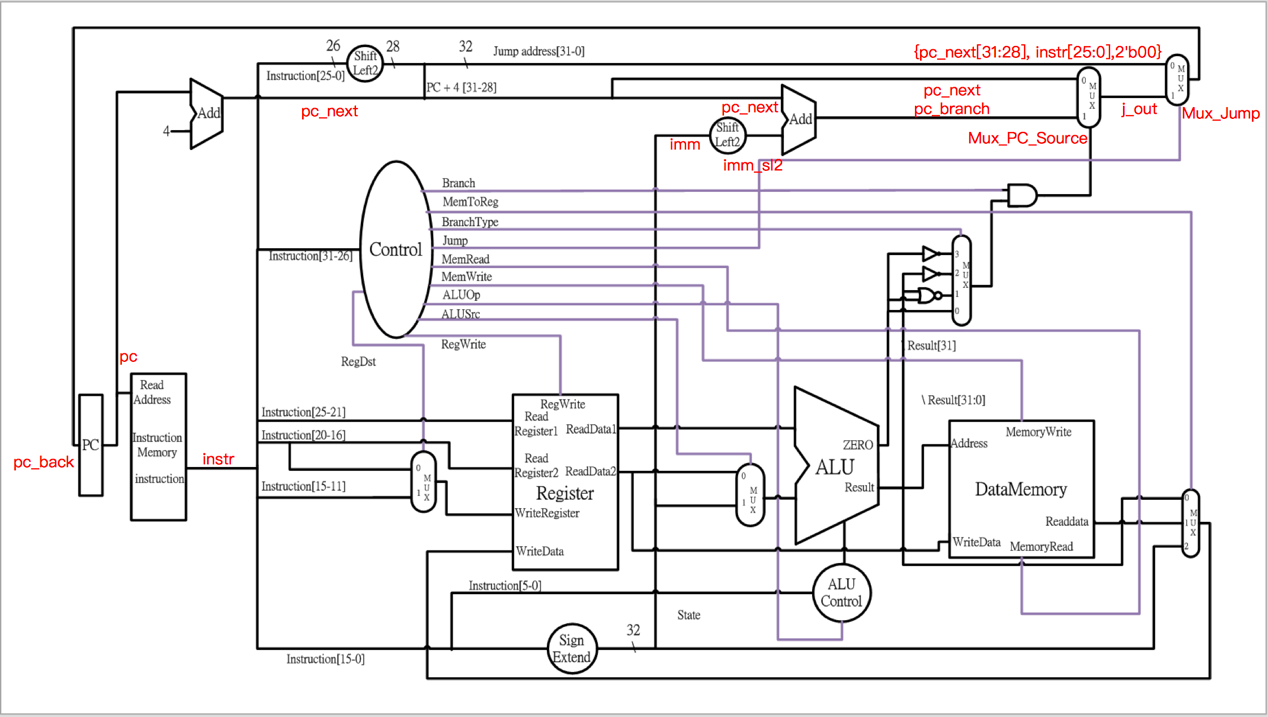
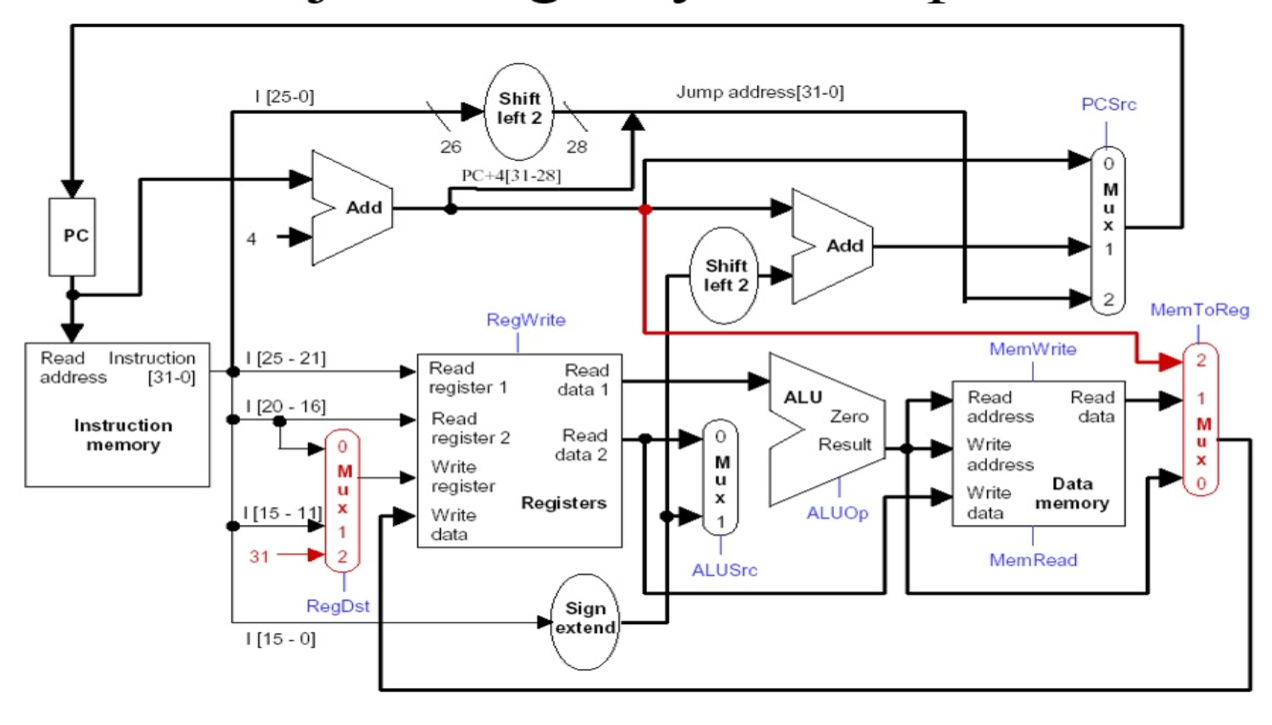
**Computer Organization Lab3**

**0516022 吳禹璇**

Architecture diagrams:



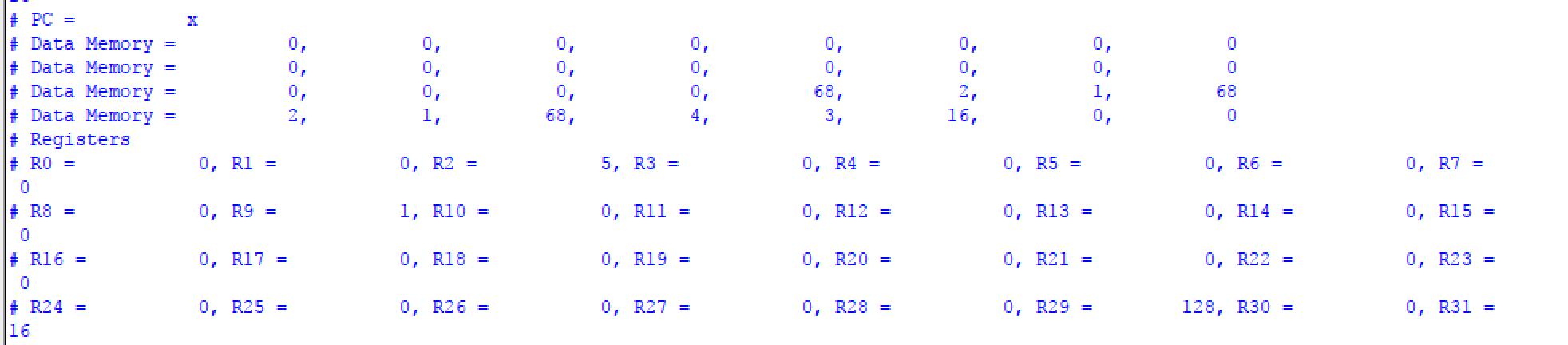
Hardware module analysis:

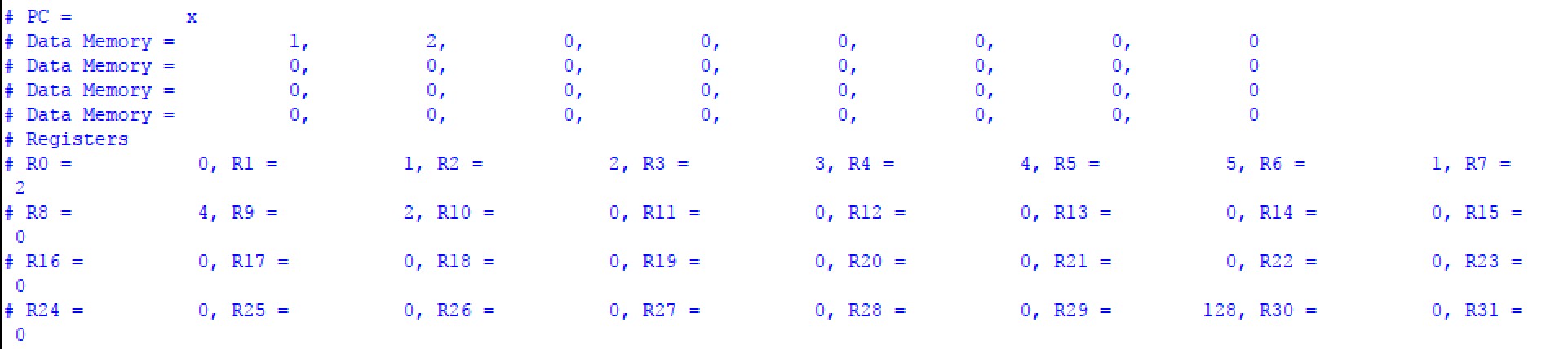
這部分大致上跟上一次lab沒有太大的差別，比較特別的是為了要store word 跟load word，把上次沒有的data memory加進去了，不過這個部分是直接用助教給的檔案，沒有做更改。

更改最多的部分應該就是decoder，因為上次的寫法不夠完善（沒有包含data memory的control signal），所以我直接重新寫了一份，並且增加了jump, jal的decoder，而jr的部分我則是直接寫在simple\_single\_cpu。

另外我還增加了mux\_4to1，因為這次的選擇器會用到更多input，原本有在考慮要不要寫3to1的mux，但是後來想說可以用4to1取代，就沒有再多寫3to1的了。

Finished part:





Problems you met and solutions:

上次lab隱藏測資錯了，發現是正負號的問題，這次有改正。

如果照著pdf給的圖，無法做出正確的答案。一開始雖然測資1有跑對結果，跑測資2時卻大錯特錯，後來上網查了怎麼寫jal, jr，也就是前面有另外附上的那張電路圖，才有寫出來。

還有一個地方是我原本有寫一個4to1的mux\_branch\_type，但是結果一直有錯，漫長的debug時間之後，我想說這次lab都用不到，所以把它刪掉，結果就對了，一開始也不知道為什麼，後來想了很久才發現，因為前面已經把branch跟zero and過了，如果要寫mux\_branch\_type，就要把前面判斷beq的刪掉，直接整合在mux\_branch\_type。

Summary:  
 經過這幾次lab，對verilog的語法、架構還有modelsim真的熟悉許多，不過我覺得超難debug的，每次debug都找好久還找不到，寫到心力交瘁QQ，聽說之後還有好幾次作業，希望這學期可以撐過去，並且把它學好。