**中国科学技术大学计算机学院**

**《计算机组成原理实验》报告**



实验题目：\_运算器及其应用\_

学生姓名：\_\_\_\_\_徐奥\_\_\_\_\_\_\_

学生学号：\_\_\_PB20061343\_\_\_

完成日期：2022年3月19日

计算机实验教学中心制

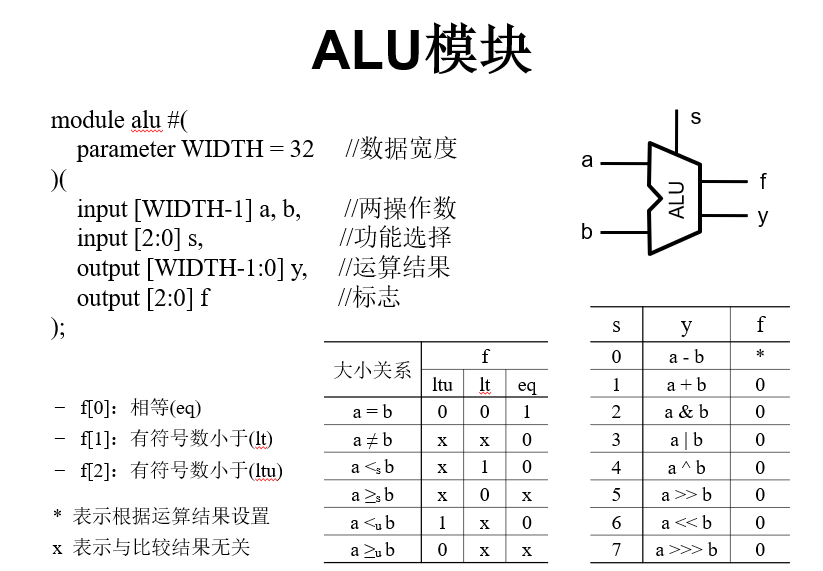
2020年09月

【实验目标】

1. 熟练掌握算术逻辑单元的功能
2. 掌握数据通路和控制器的设计方法
3. 掌握组合电路和时序电路，以及参数化和架构话的Verilog描述方法
4. 了解查看电路性能和资源使用情况

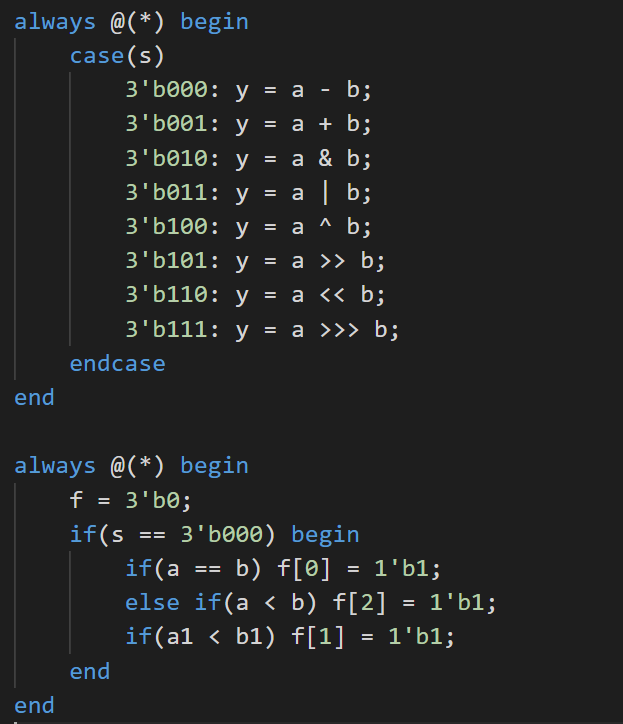
【实验内容】

**题目1**.完成ALU模块的逻辑设计和仿真

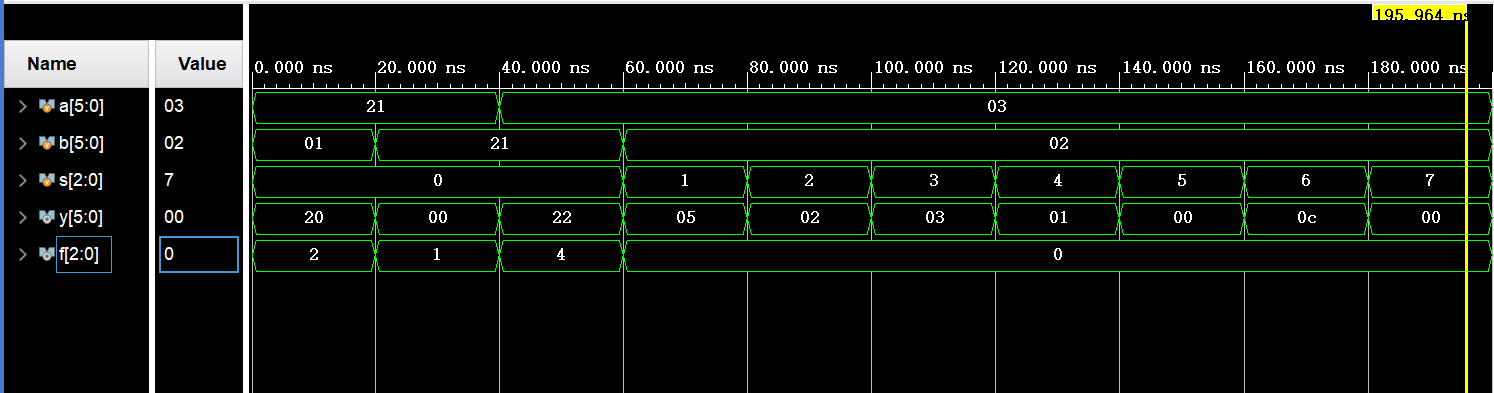
实现ALU，可以对两个操作数进行算数和逻辑运算，并设置标志位，在做减法运算时，输出两运算数的大小关系。具体如下：

**图1**

设计思路为，根据功能选择信号s进行相应的运算。处理标志位时，分别将输入的两个操作数视为有符号数和无符号数进行大小比较，并根据比较结果设置标志位。核心代码如下：



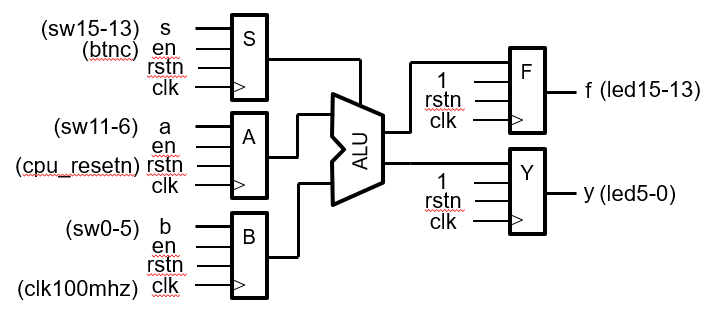
**图2**

 编写仿真文件，进行仿真，分别对不同操作数进行8中操作，结果如下：

**图3**

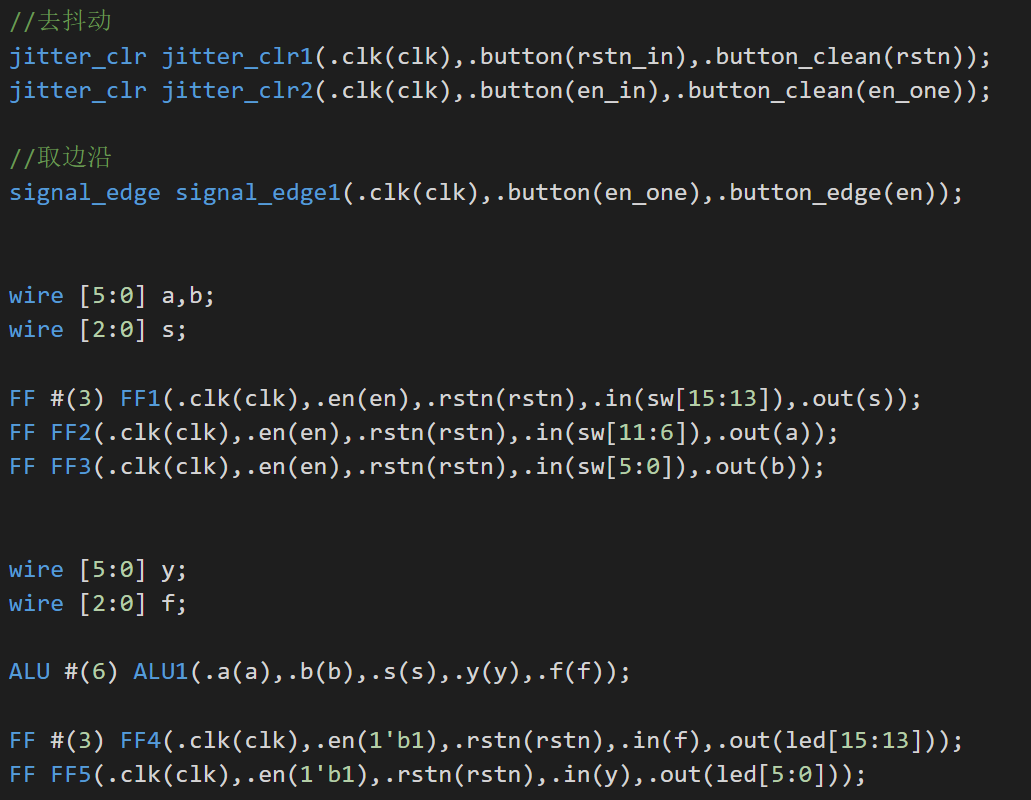
**题目2.**完成6位ALU的下载测试，并查看RTL电路图，以及实现电路资源和时间性能报告。

首先，根据下图编写6位ALU的代码。



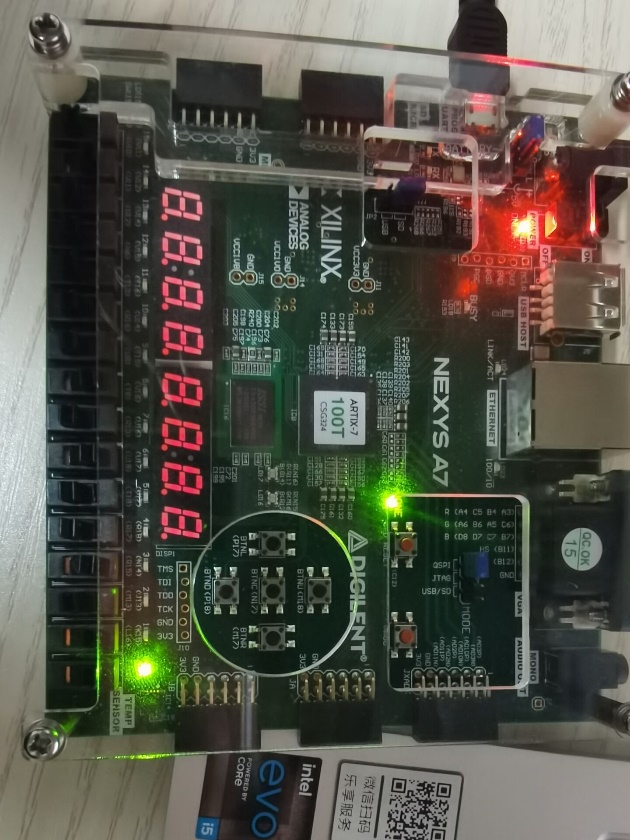
**图4**

相较于题目1，增加了5个触发器。此外，因为需要烧写到FPGA开发板，需要对复位信号rstn和使能信号en进行去抖动处理，且需要取en的上升沿作为使能信号。核心代码如下：

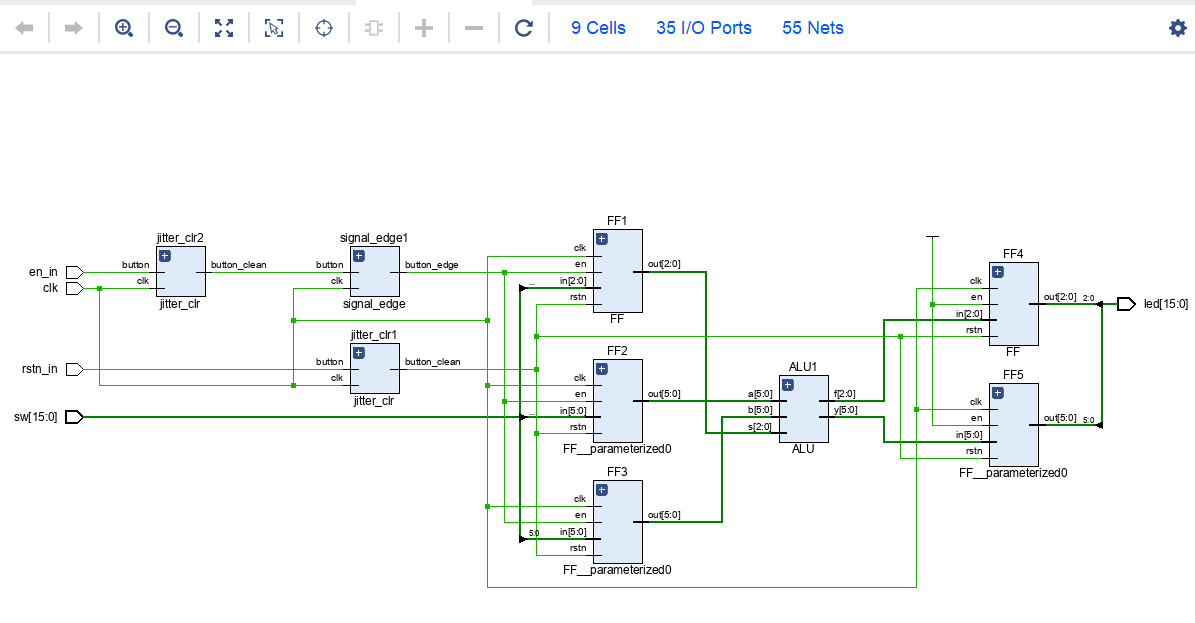


**图5**

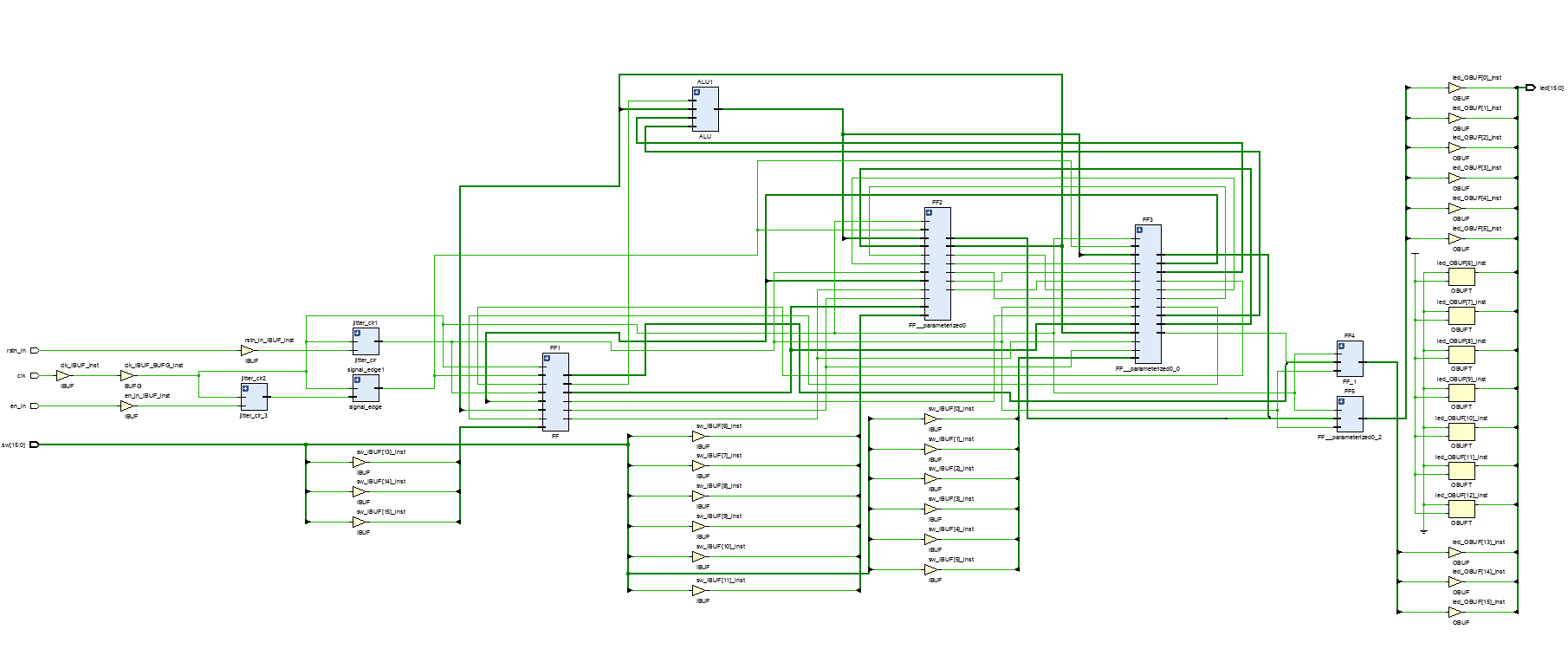
编写引脚约束文件，生成比特流文件，烧写到FPGA开发板。进行测试，以5 & 11为例：



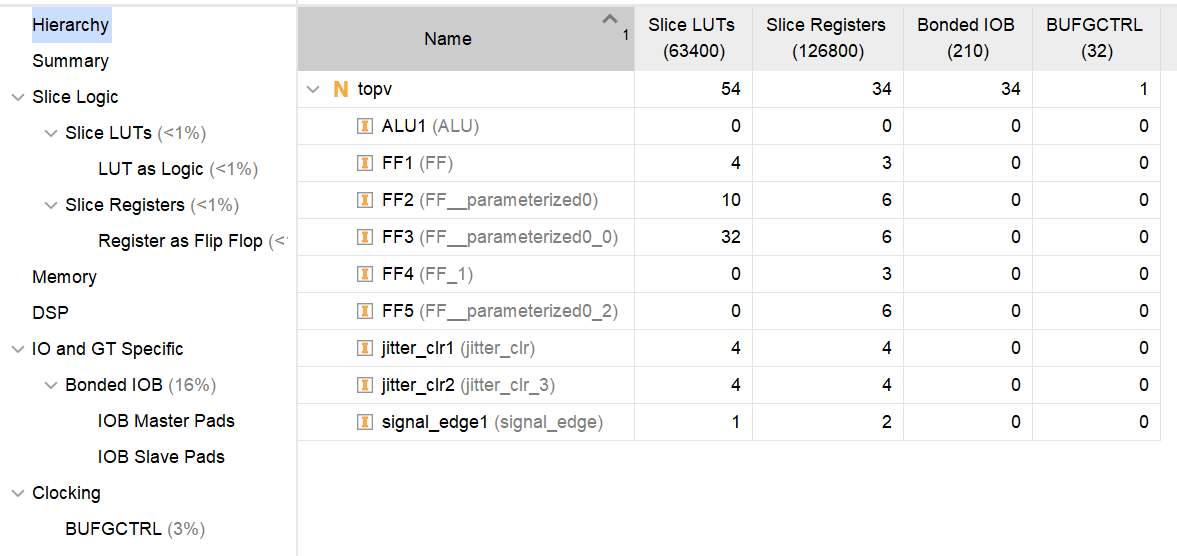
**图6**

查看生成电路：

**图7**

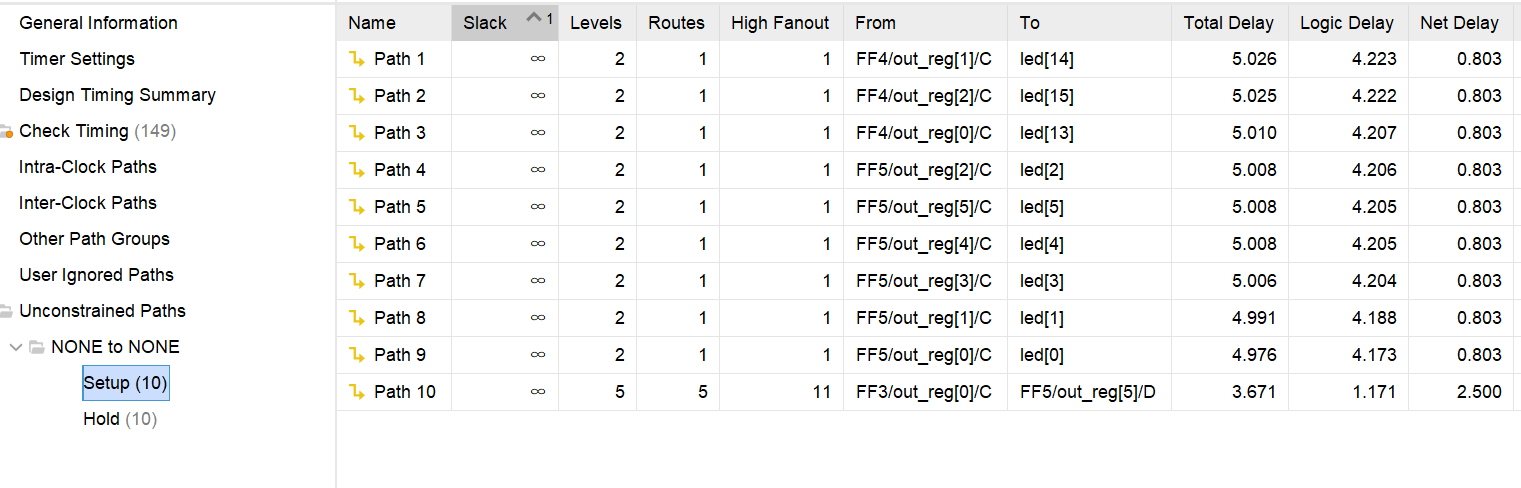


**图8**

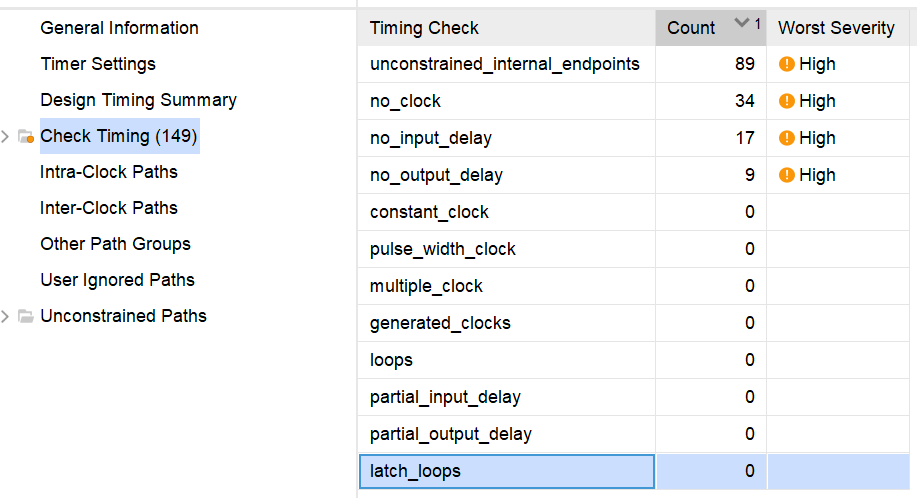
查看电路资源使用情况：

**图9**

查看综合电路性能：



**图10**

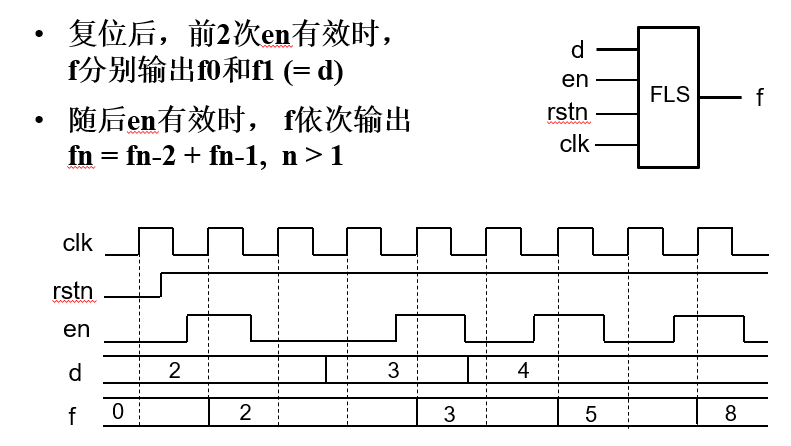
进而查看存在的警告，发现：

**图11**

存在如下警告：存在没有任何输入延迟限制的非时钟输入端口，定义的时钟与时钟引脚数不匹配，没有时序要求的路径端点数（数量与缺少时钟定义直接相关），没有输出延迟约束的端口数。

**题目3**.完成FLS的逻辑设计、仿真和下载测试

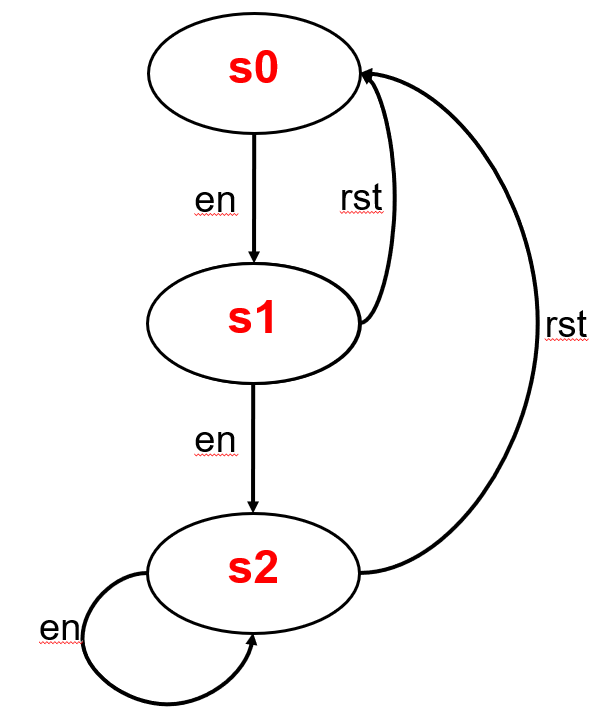
FLS模块要求如下：



**图12**

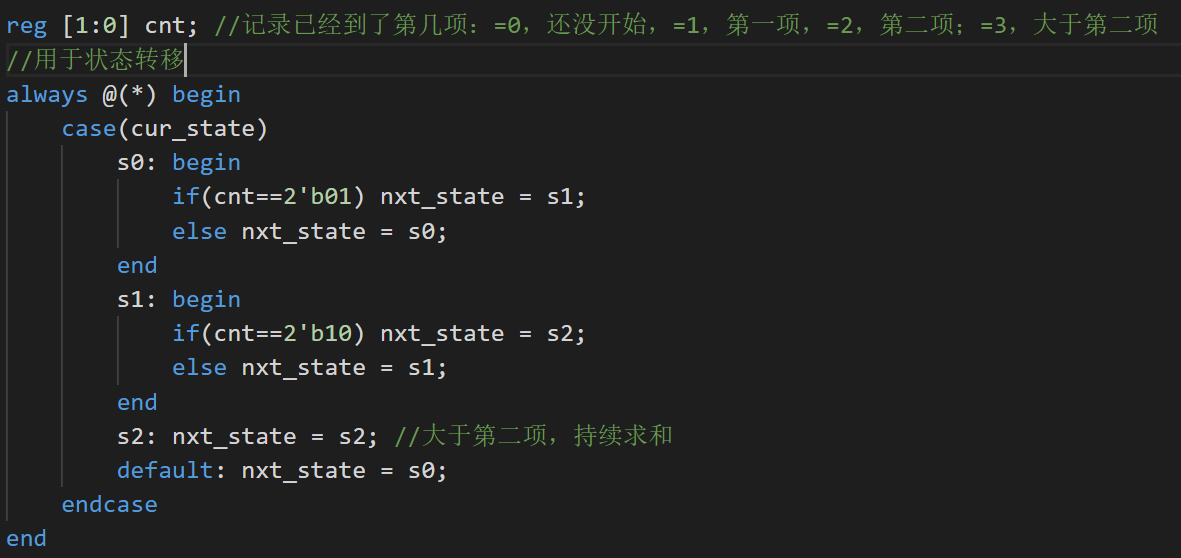
斐波那契数列的前两项数值由开关输入，之后每次按下en键，则将最近的两项进行求和，并将结果以led的形式输出。

设计思路：按照以下状态图。其中，s0状态表示初始状态，没有任何输入。当按下一次en键后，读入第一项的值，进入s1状态。再按下一次en键后，读入第二项的值，进入s2状态。此后，每次按下en键，都会对最近的两项进行求和，并保持在s2状态。在这个过程的任何时间，如果按下了复位键，则回到s0状态。

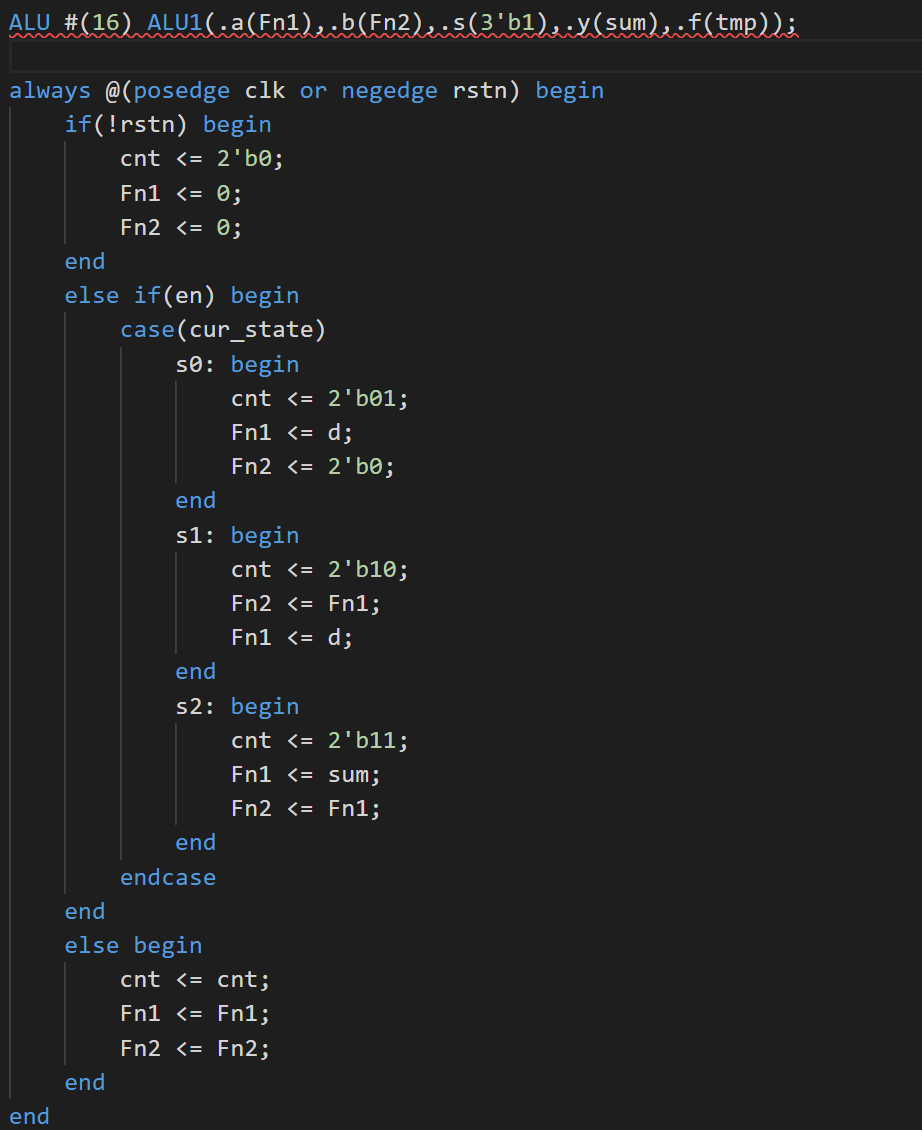


**图13**

核心代码如下：

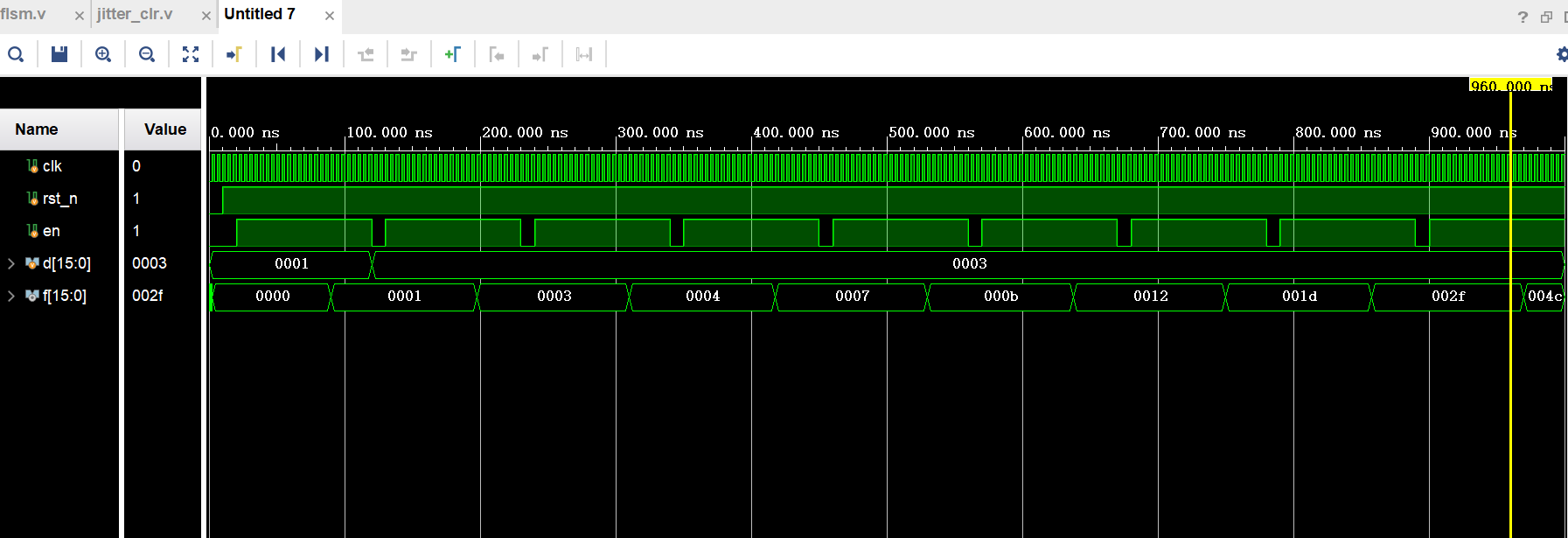


**图14**



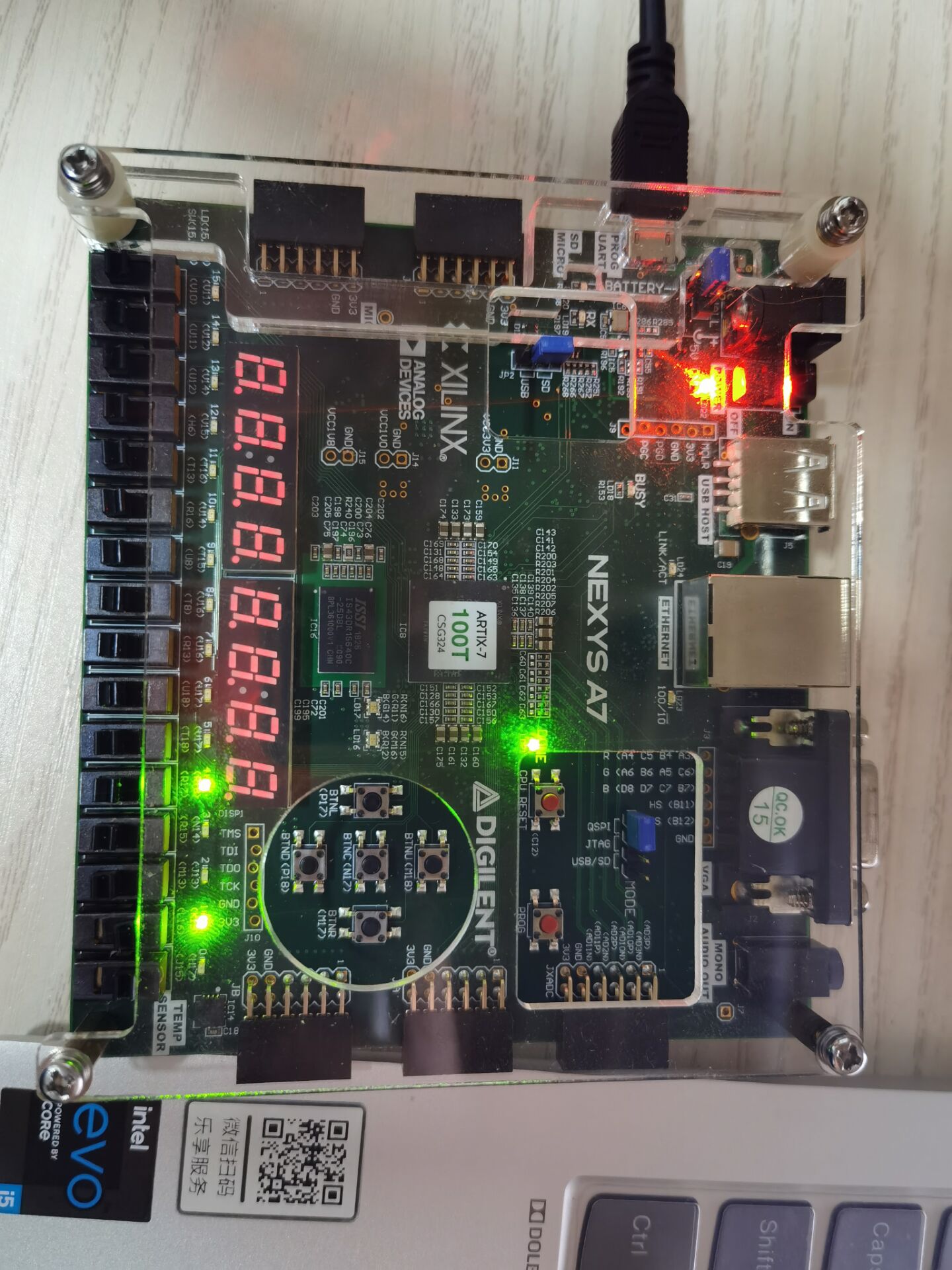
**图15**

编写仿真文件，仿真结果如下：



**图16**

烧写到 FPGA开发板上，测试输入数据为 F0 = 1,F1 = 3. 那么，F5应为18. 实际结果如下：

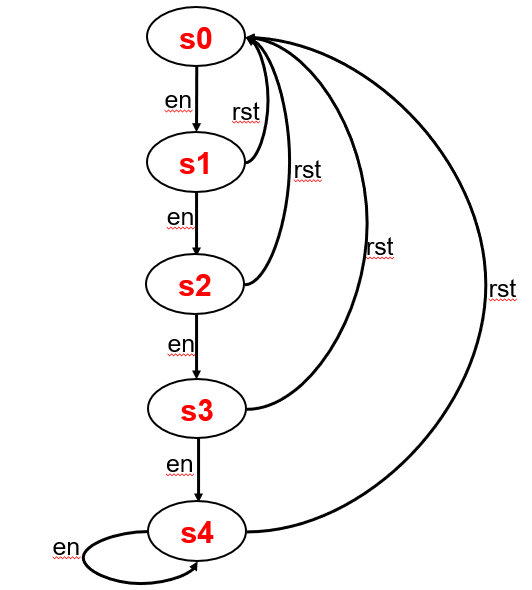


**图17**

与预期相符

**题目4.** 完成32位ALU的下载测试，并查看RTL电路图，以及实现电路资源和时间性能报告。

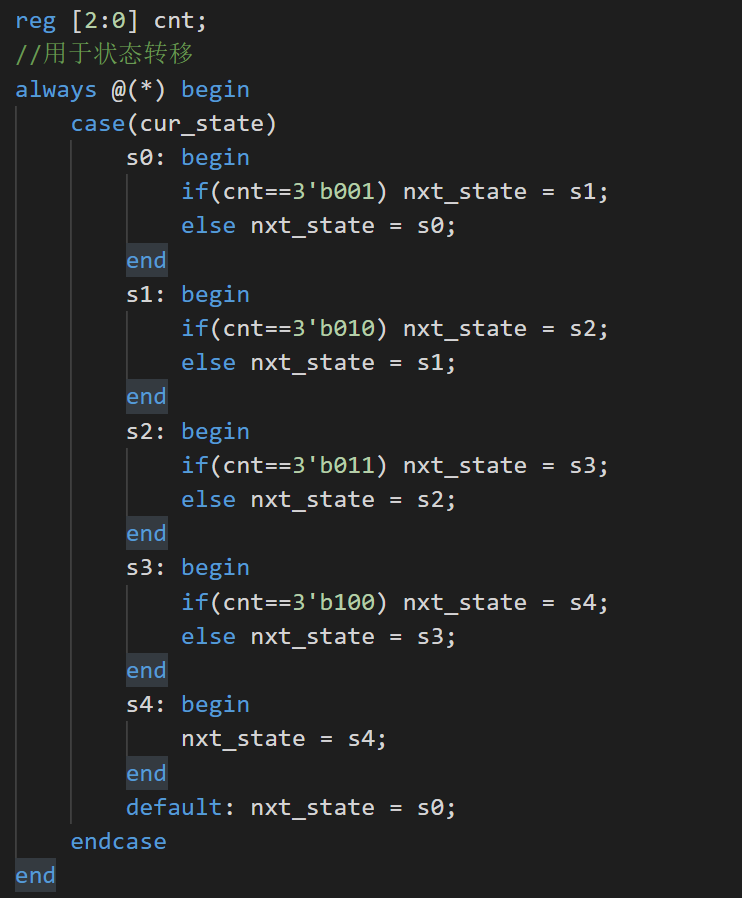
32位ALU，首先要解决的问题是数据输入，分五次用16个开关输入，依次是s、a的低16位、a的高16位、b的低16位、b的高16位，状态图如下:



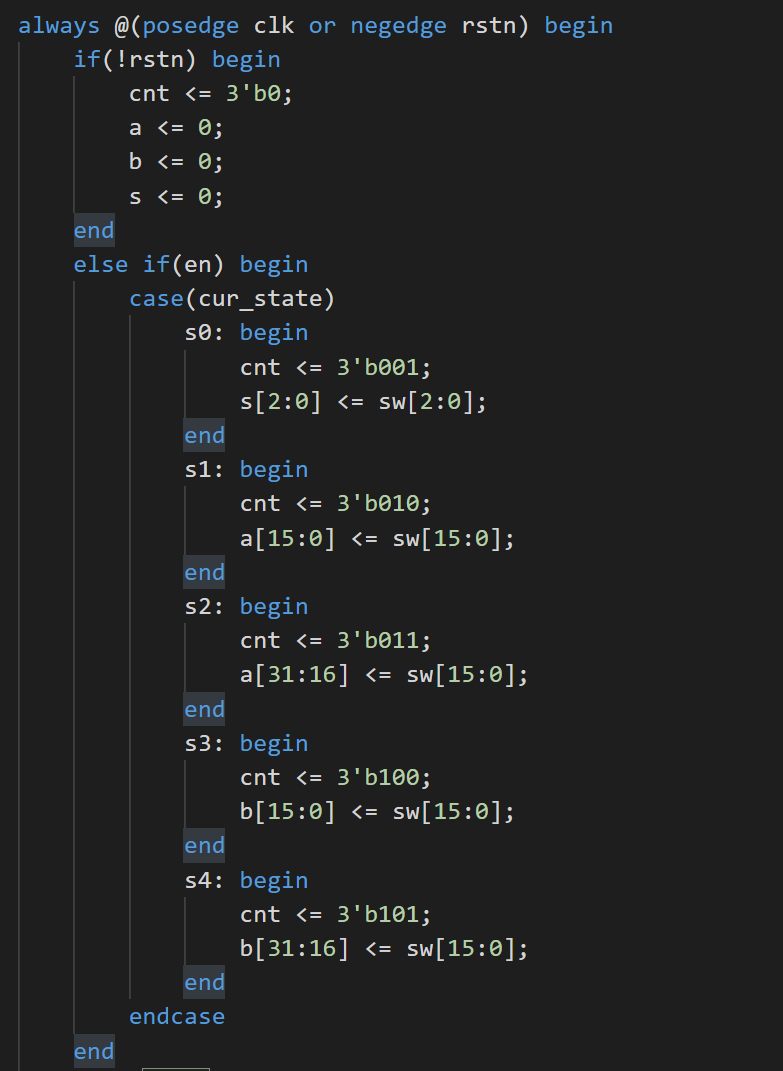
**图18**

再通过调用例化好的ALU，即可完成计算。输出数据输出到8个数码管，共32位。

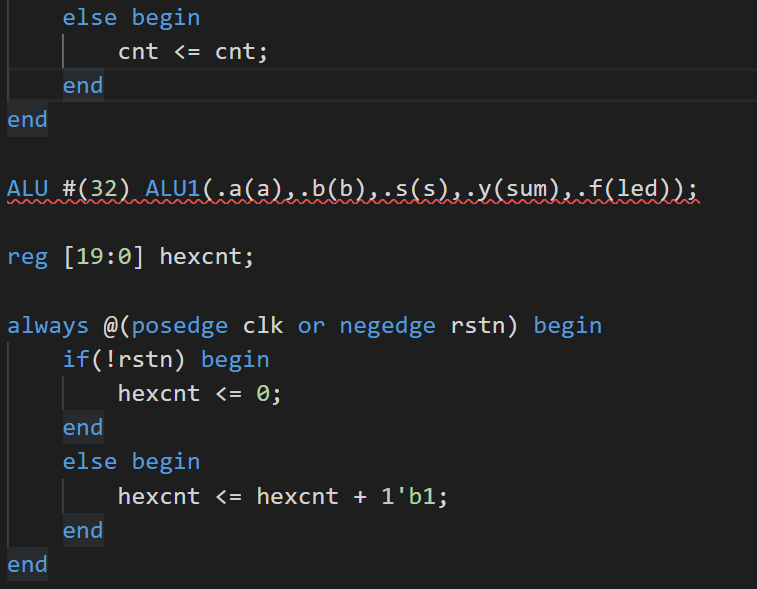
核心代码如下：



**图19**

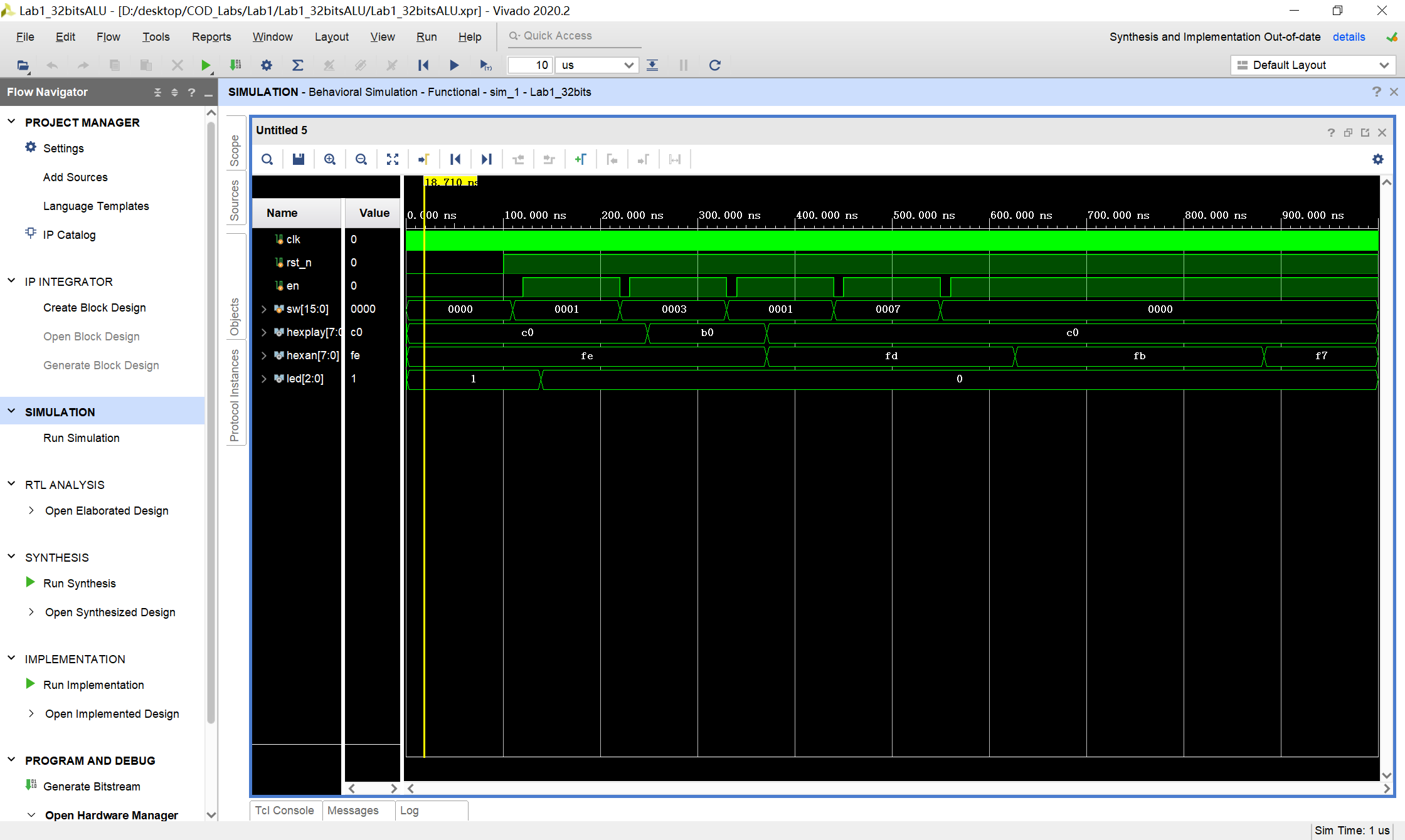
****

**图20**



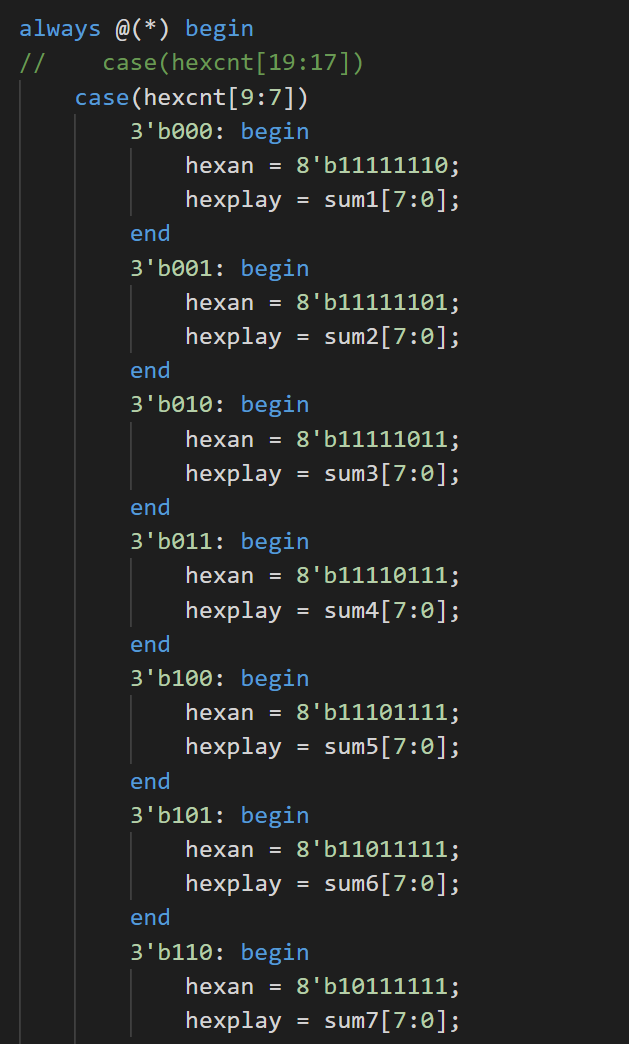
**图21**

仿真文件如图：



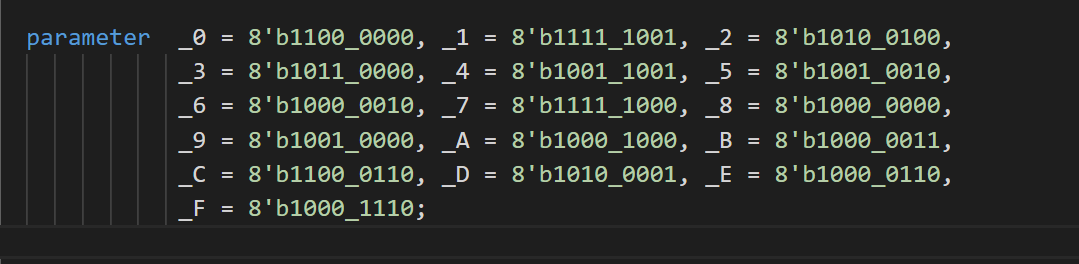
**图22**

因为是hexan是按下图刷新，在仿真的时间范围内，是正确的。



**图23**

而hexplay是分别显示8个8bit的数，分别对应七段数码管的各个段，以显示需要的数字。要显示的数字与数码管的八个段的对应关系如下：

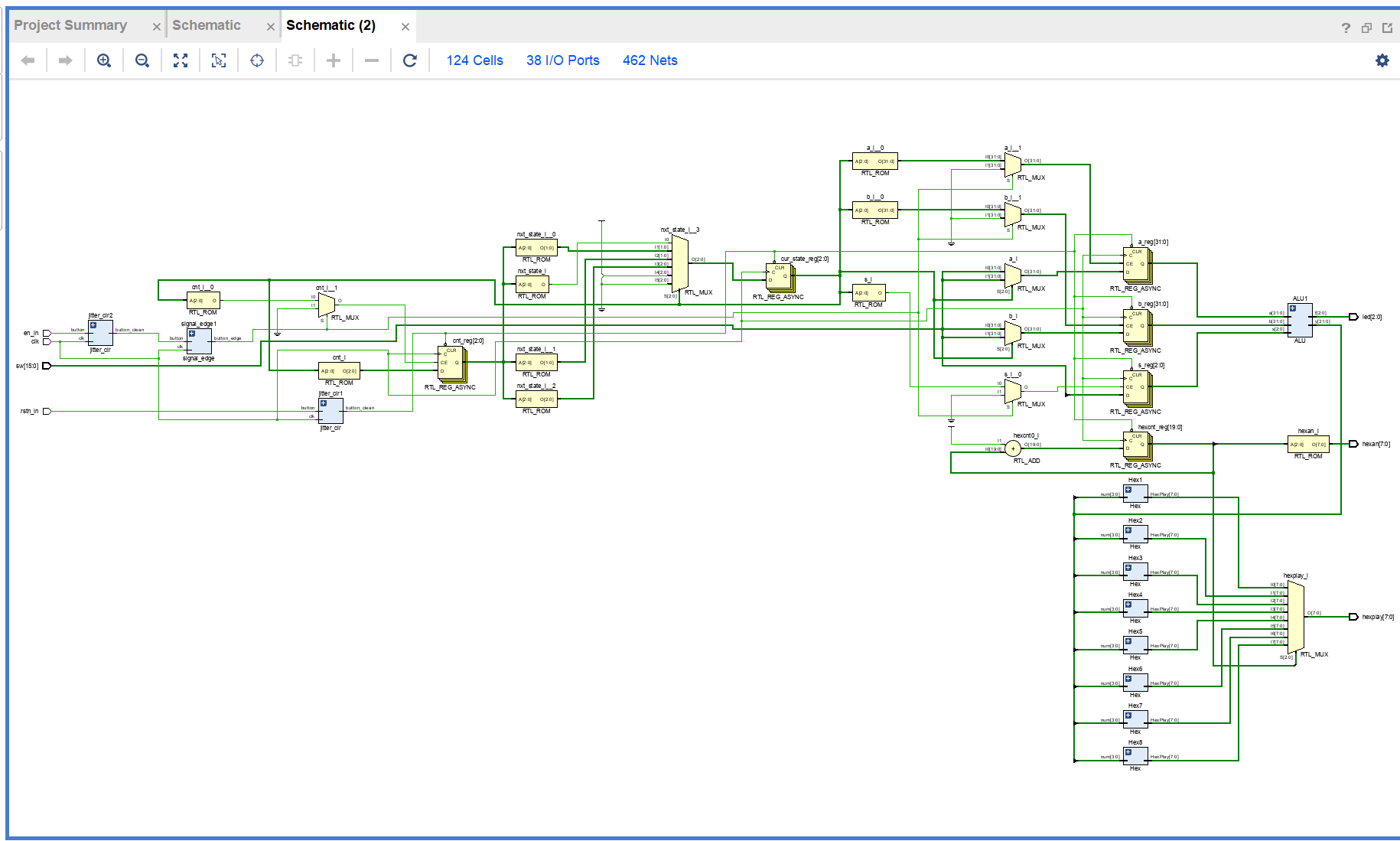


**图24**

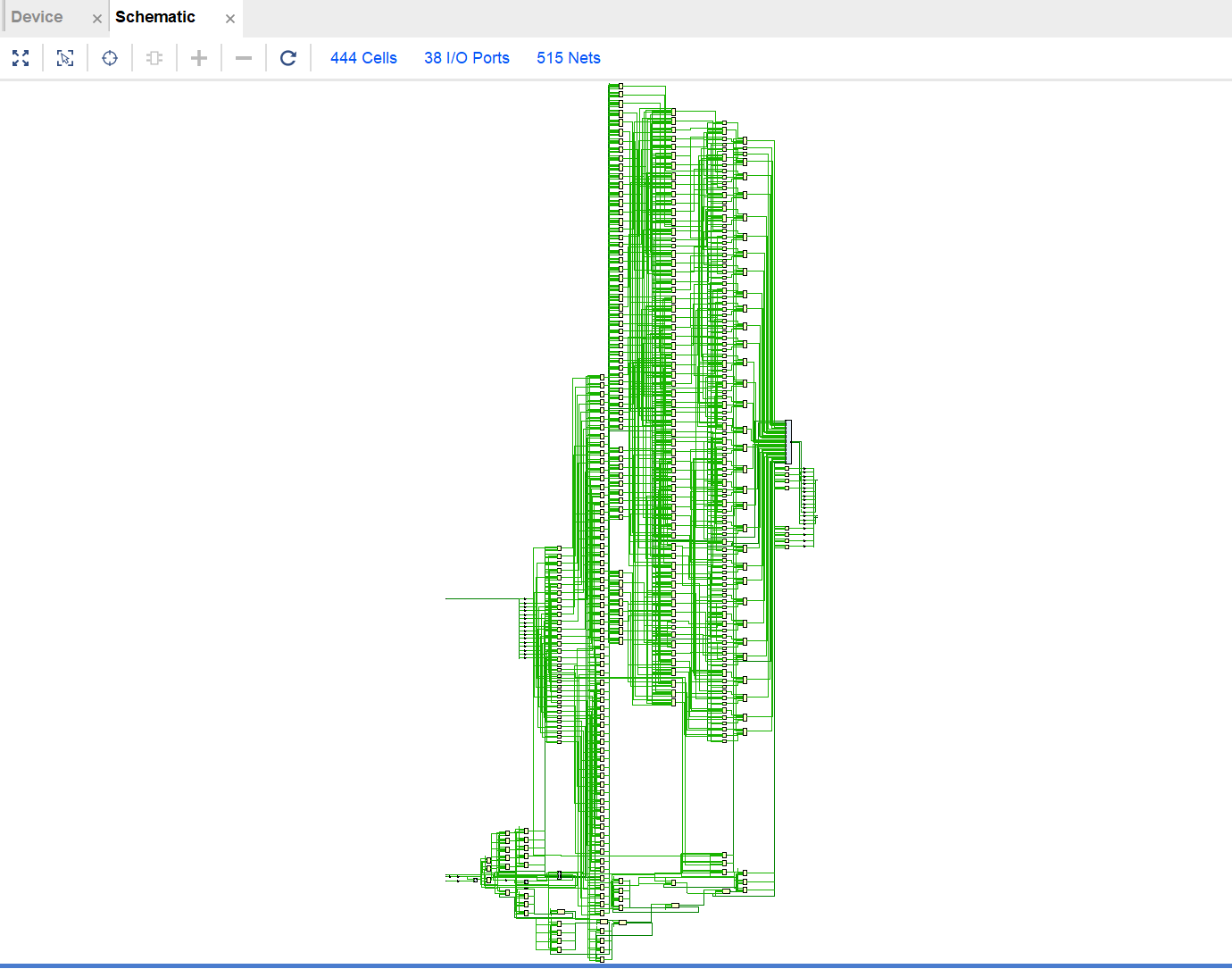
仿真结果符合预期。

烧写到FPGA开发板上，经测试，符合预期。

查看电路生成情况：

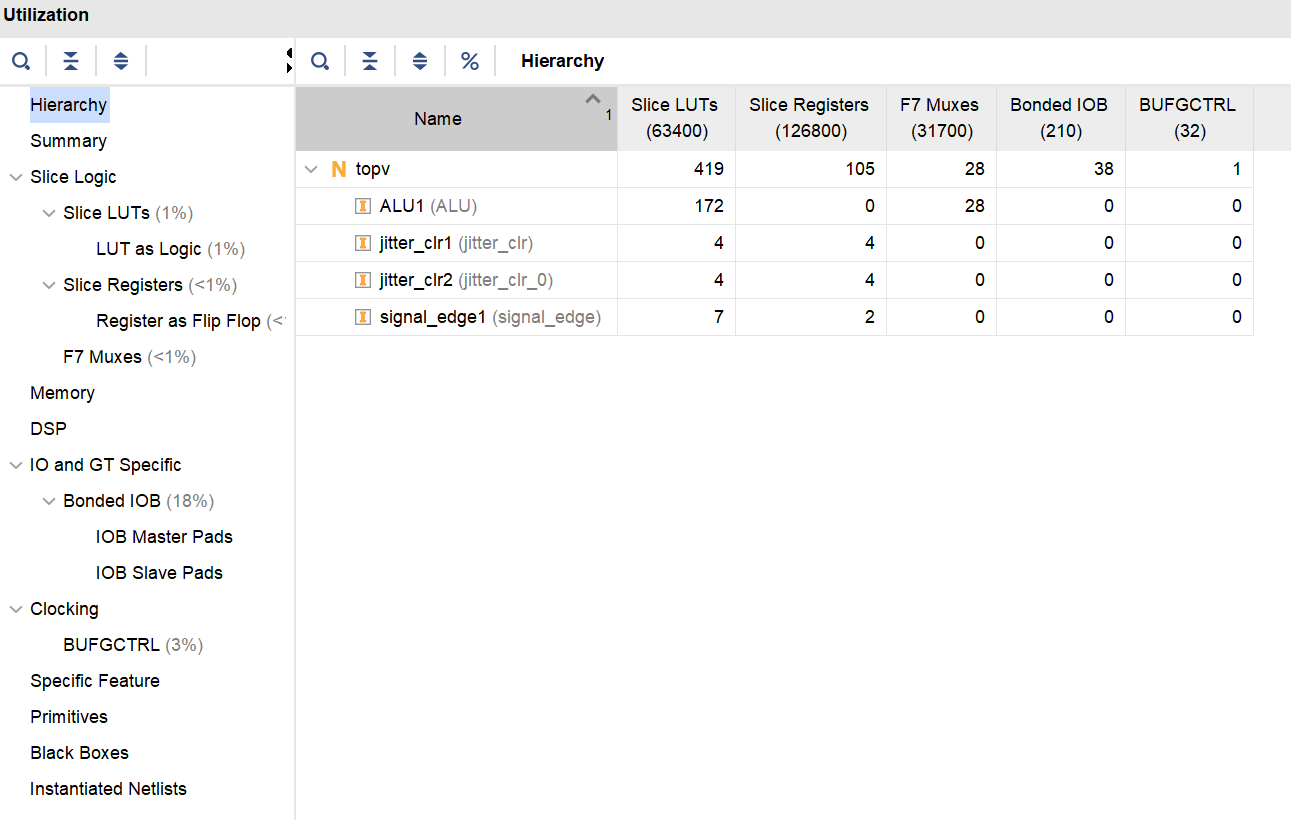


**图25**



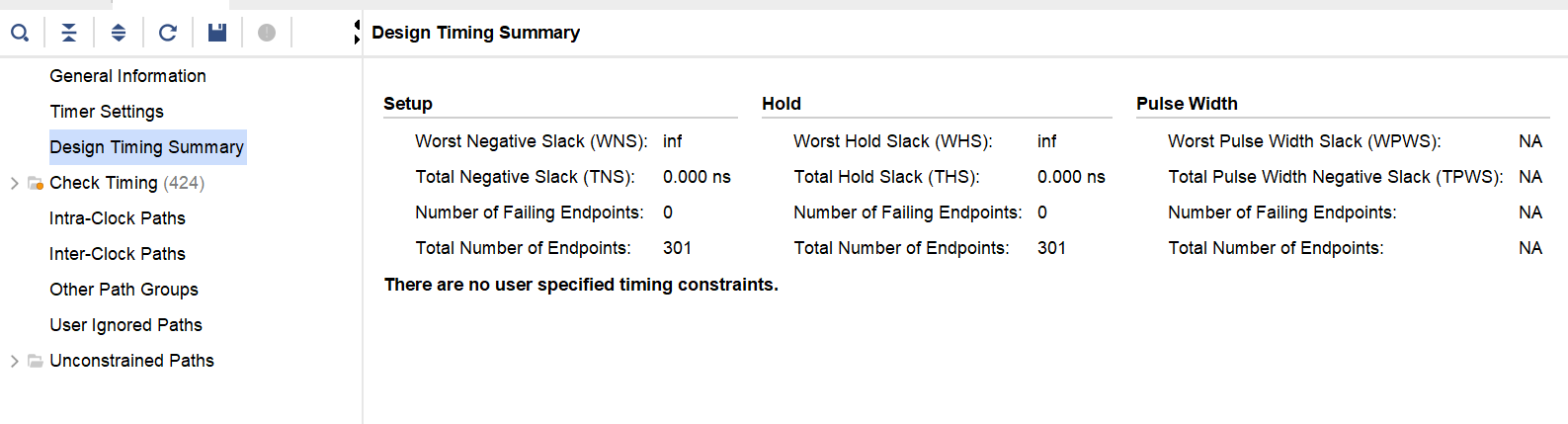
**图26**

查看电路资源使用情况：



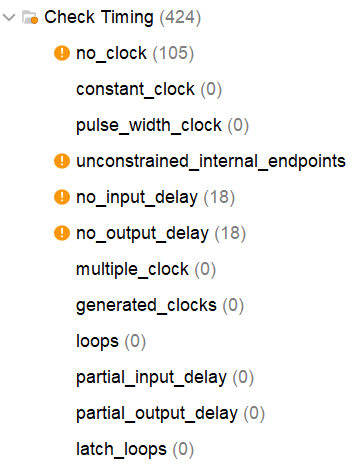
**图27**

查看综合电路性能：



**图28**

查看时间性能中的警告：



**图29**

存在如下警告：存在没有任何输入延迟限制的非时钟输入端口，定义的时钟与时钟引脚数不匹配，没有时序要求的路径端点数（数量与缺少时钟定义直接相关），没有输出延迟约束的端口数等。

【总结与思考】

1. 本次实验我第一次接触到了实体的FPGA开发板，既新奇，又遇到了新的挑战，比如需要做去抖动以及取上升沿处理。在去抖动时，由于一开始设置的计数值过小，导致效果不佳，修改后才有了预期效果。
2. 第一次实验，有些Verilog语法以及Vivado的使用方式已经有些生疏，本次实验帮助我复习了这些知识，让我意识到经常复习和练习、保持熟练度的重要性。
3. 本次实验难度中等，任务量适中，不过实验文档中，对部分实验的具体要求描述不清晰，如FLS输入d的作用，ALU有符号数无符号数的规定。建议增加实验文档的细节。

【附录】

1. 普通ALU设计实现的Verilog代码、仿真代码
2. 6位带触发器的ALU的Verilog代码、仿真代码和引脚约束文件
3. FLS的Verilog代码、仿真文件和引脚约束文件
4. 32位ALU的Verilog代码、仿真代码和引脚约束文件