

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：简单时序逻辑电路

学生姓名：_____徐奥_____

学生学号：_____PB20061343_____

完成日期：2021 年 10 月 28 日

计算机实验教学中心制

2020 年 09 月

【实验题目】

使用 Logisim 设计简单时序电路，并学习用 Verilog 语言描述简单时序逻辑电路。

【实验目的】

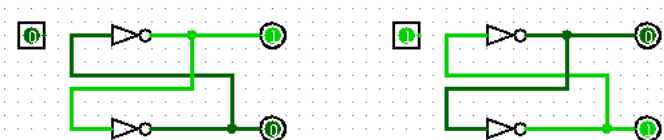
1. 掌握时序逻辑相关器件的原理及底层结构
2. 能够用基本逻辑门搭建各类时序逻辑器件
3. 能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

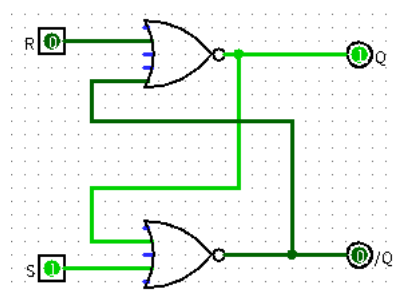
1. 能流畅连接校园网的 PC 一台，vlab.ustc.edu.cn
2. Logisim 仿真工具

【实验过程】

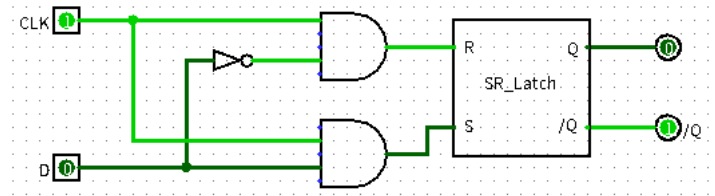
1. 搭建双稳态电路。双稳态电路是一种最简单的时序逻辑电路，没有输入信号，状态一旦确定之后也无法改变，没有实际使用价值，但却是所有时序逻辑电路的基础。如图



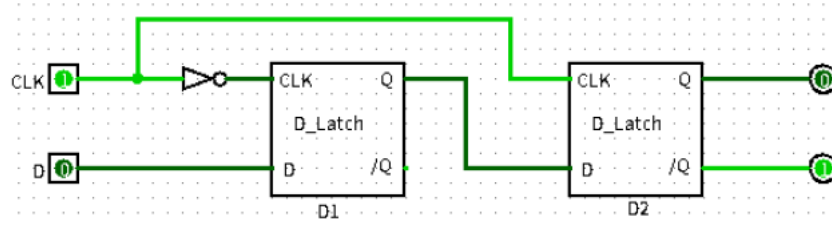
2. 搭建 SR 锁存器。双稳态电路没有输入信号，所以无法进行操作，我们对其进行修改，将两个非门用或非门代替。两个输入信号分别命名为 S 和 R，输出信号命名为 Q 和 \bar{Q} 。S 信号负责对 Q 置位 (Set)，R 信号负责对 Q 信号置位 (Reset)。当 SR 信号都无效 (为 0) 时，电路将保持之前的状态，即处于锁存状态。如下图



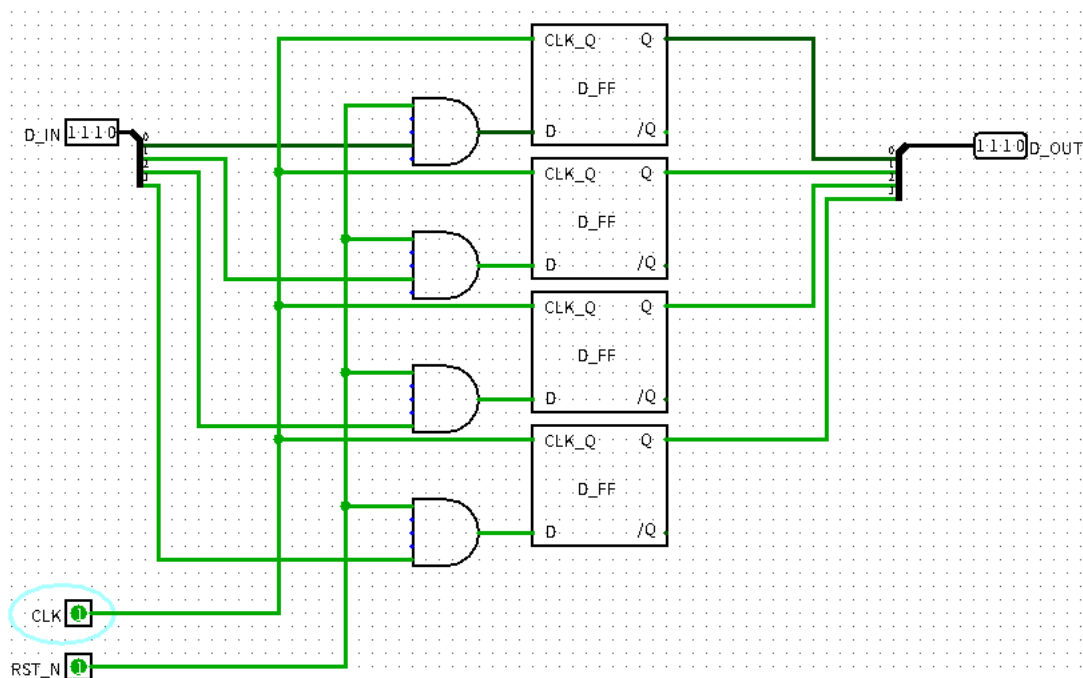
3. 搭建 D 锁存器。在 SR 锁存器前面添加两个与门和一个非门，如下图所示，便构成了 D 锁存器。



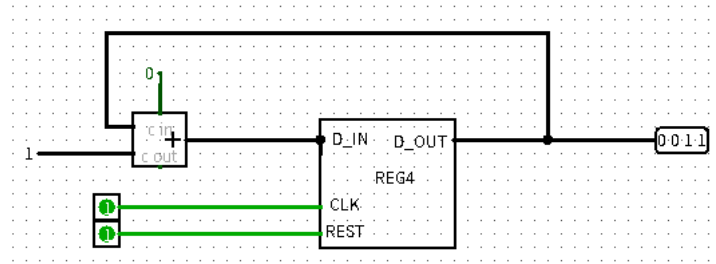
4. 搭建 D 触发器。将两个 D 锁存器串起来，其控制信号有效值始终相反，如下图所示，CLK 信号为低电平时，D 信号通过了 D1，当 CLK 信号由低电平变为高电平时，D1 关闭，D2 打开，信号到达 Q 端。



5. 搭建寄存器。寄存器本质上来讲就是 D 触发器，用 4 个 D 触发器构成一个能够存储 4bit 数据的寄存器，带有低电平有效的同步复位信号。



6. 搭建简单时序逻辑电路。利用 4bit 寄存器，搭建一个 4bit 的计数器，该计数器在 0~15 之间循环计数，复位时输出值为 0，电路图如下所示



【实验练习】

题目 1. 在 Logisim 中用与非门搭建 SR 锁存器，画出电路图，并分析其行为特性，列出电路在不同输入时的状态

如图 1.

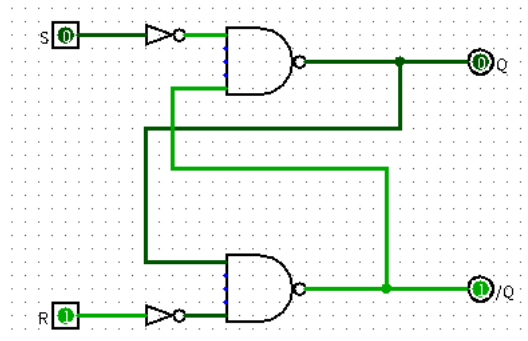


图 1

行为特性：当 $S=1, R=0$ 时，为置 1 操作， $Q=1$ ；当 $S=0, R=1$ 时，为清 0 操作， $Q=0$ ；当 $S=0, R=0$ 时，为保持操作。

列出电路在不同输入时的状态：

S	R	Q^n	$/Q^n$	Q^{n+1}	$/Q^{n+1}$
0	1	x	x	0	1
1	0	x	x	1	0
0	0	0	1	0	1
0	0	1	0	1	0

表 1

题目 2. 在 Logisim 中搭建一个支持同步置位功能的 D 触发器，画出其电路图，并编写对应的 Verilog 代码. 当 SRT==1 时，置 1.

先利用 SR 锁存器搭建 D 锁存器，如图.

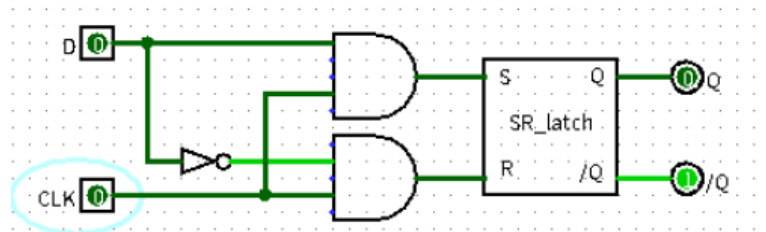


图 2

如图 3.

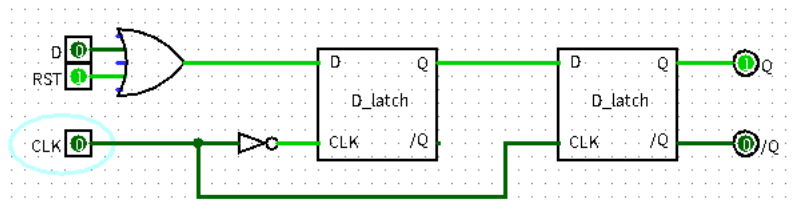


图 3

代码为如图 4.

```
module d_ff_Q2(
    input clk,rst,d,
    output q
);
    reg q;
    always@(posedge clk) begin
        if(rst == 1)
            q<= 1'b1;
        else
            q<=d;
        end
    endmodule
```

图 4

题目 3. 在 Logisim 中搭建一个带有异步复位功能的 D 触发器，画出其完整电路图. 如图 5. 复位信号低电平有效

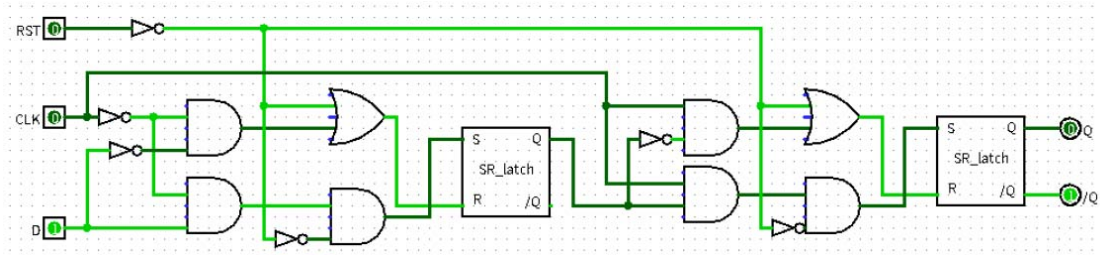


图 5

并进一步调用该触发器设计一个从 0~15 循环计数的 4bit 计数器
首先利用上述 D 触发器搭建 4bit 的寄存器，复位信号低有效，如图。

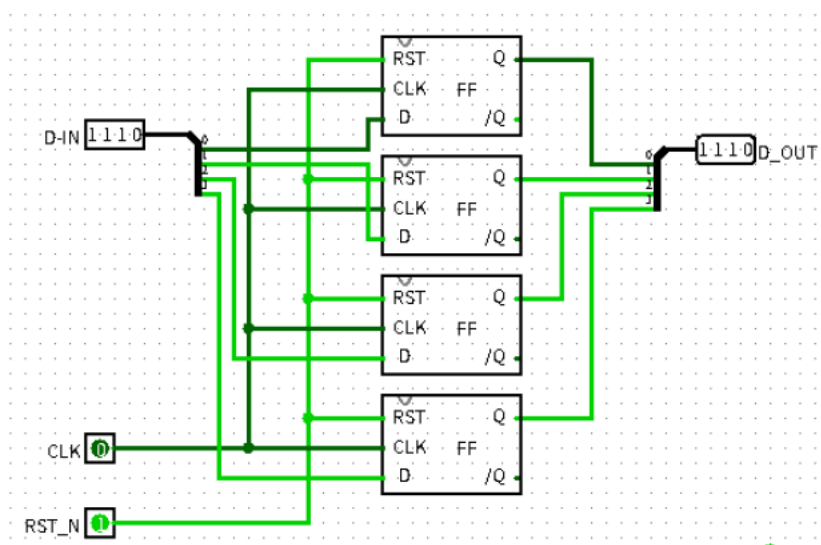


图 6

然后利用该寄存器，搭建从 0~15 循环计数的 4bit 的计数器. 如图

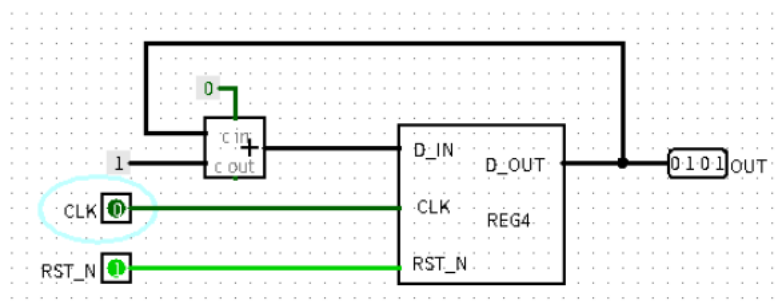


图 7

写出计数器的 Verilog 代码：

再设计一个电路，处理寄存器的输出与减法器的输入之间的关系，当寄存器输出大于 0 时，减法器的输入即为寄存器输出，当寄存器输出为 0 时，减法器输入为 10，列出真值表：

R3	R2	R1	R0	S3	S2	S1	S0
0	0	0	0	1	0	1	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1

表 2

画出电路图：通过输入上述真值表建立，如图

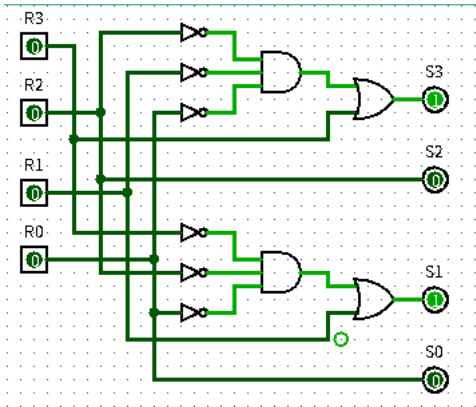


图 11

将其封装，使用到计数器电路的搭建中，如图

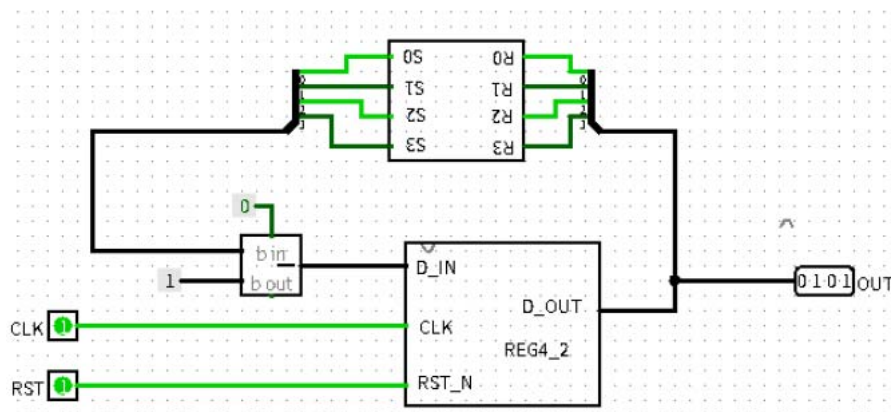


图 12

写出其对应的 Verilog 代码

```
module NineCounter(
    input clk,rst,
    output reg [3:0] cnt
);
    always@(posedge clk or negedge rst) begin
        if(rst == 0)
            cnt <= 4'b1001;
        else
            if(cnt == 4'b0)
                cnt <= 4'b1001;
            else
                cnt <= cnt - 4'b1;
        end
    end
endmodule
```

图 13

题目 5. 使复位信号高电平有效，实现题目 4 的 9~0 循环递减的计数器。试用 Logisim 画出一个示例电路，并编写 Verilog 代码

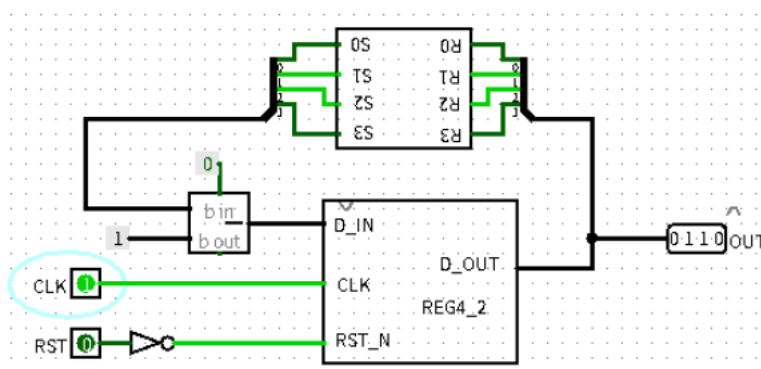


图 14

```

module NineCounter_2(
    input clk,rst,
    output reg [3:0] cnt
);
    always@(posedge clk or posedge rst) begin
        if(rst == 1)
            cnt <= 4'b1001;
        else
            if(cnt == 4'b0)
                cnt <= 4'b1001;
            else
                cnt <= cnt - 4'b1;
        end
    end
endmodule

```

图 15

【总结与思考】

1. 学习了搭建时序逻辑电路，虽然比较难，操作过程也比较多，但更深刻地理解了时序逻辑电路的组成。
2. 更感受到模块封装的巨大意义，会减少许多工作量，减少许多 debug 工作
3. 本次实验较 1、2 次实验难度上升幅度较大，建议在以后的实验设计中，难度的递增建议呈线性。
4. 任务量也较一二次实验更多。
5. 对于时钟输入 CLK, 需要使用引脚输入而不是 Logisim 提供的时钟，建议将这一点加入实验说明中