**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：\_\_简单组合逻辑电路\_

学生姓名：\_\_\_\_\_\_\_徐奥\_\_\_\_\_\_\_\_

学生学号：\_\_\_\_PB20061343\_\_\_\_\_

完成日期：\_2021年10月21日\_

计算机实验教学中心制

2020年09月

**【实验题目】**

进一步使用Logisim设计组合逻辑电路，并使用Verilog语言对设计的电路进行描述。

**【实验目的】**

1. 熟练掌握Logisim的基本用法
2. 进一步熟悉Logisim更多功能
3. 用Logisim设计组合逻辑电路并进行仿真
4. 初步学习Verilog语法

**【实验环境】**

1. PC一台,能流畅的连接校园网
2. Logisim 仿真工具
3. vlab.ustc.edu.cn (jre、Logisim 工具以及 Verilog 语法介绍都 可在此网站获取)

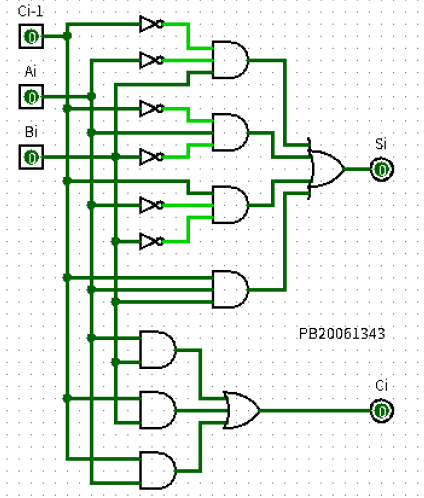
**【实验过程】**

1. 用真值表自动生成电路。步骤为：根据真值表画出各输出项的卡诺图，通过卡诺图写出各输出项的逻辑表达式，根据逻辑表达式画出电路图，完成电路设计。在菜单栏的“Project”选项卡中找到“Analyze Circuit”选项，并选中。在弹出的窗口中选择“Table”选项，按照前面的真值表修改输出值，最后点击“Build Circuit”便可生成电路。
2. 用表达式生成电路图。在“Project” --> “Analyze Circuit”的弹出窗口中选择“Expression”选项，填入每个输出信号的表达式。最后点击“Build Circuit”生成电路。有时候手动输入的表达式并不是最简形式，最终生成的电路也会占用较多的逻辑门，此时可以借助“Minimized”选项卡对表达式进行简化，进而减少电路使用的逻辑门数量。
3. Verilog HDL 语法入门。每个模块都是以关键字 module开头，以 endmodule结束。module后面是模块名，括号内是输入输出信号的声明。 如果模块功能较复杂的话，可能会用到一些中间信号，那就要在模块内部声明。逻辑描述部分是每个模块的主体，用于描述该电路的行为特性。模块调用在 Verilog 中也非常重要，在电路较复杂时，我们需要将其分解成若干个子电路，最后再将子电路整合，或者复用第三方以及自己之前设计的功能模块时，都需要用到模块调用。

**【实验练习】**

**题目1：**用Logisim编辑真值表功能，完成电路设计。

首先，在“Analyze Circuit”功能中输入题目给出的真值表，点击“Build Circuit”即可生成电路。生成的电路如图1.



**图1**

**题目2：**用Logisim编辑表达式功能，完成电路设计。

分析真值表可知各输出项的表达式

**Y7 = ~(G1 & ~G2 & ~G3 & A2 & A1 & A0)**

**Y6 = ~(G1 & ~G2 & ~G3 & A2 & A1 & ~A0)**

**Y5 = ~(G1 & ~G2 & ~G3 & A2 & ~A1 & A0)**

**Y4 = ~(G1 & ~G2 & ~G3 & A2 & ~A1 & ~A0)**

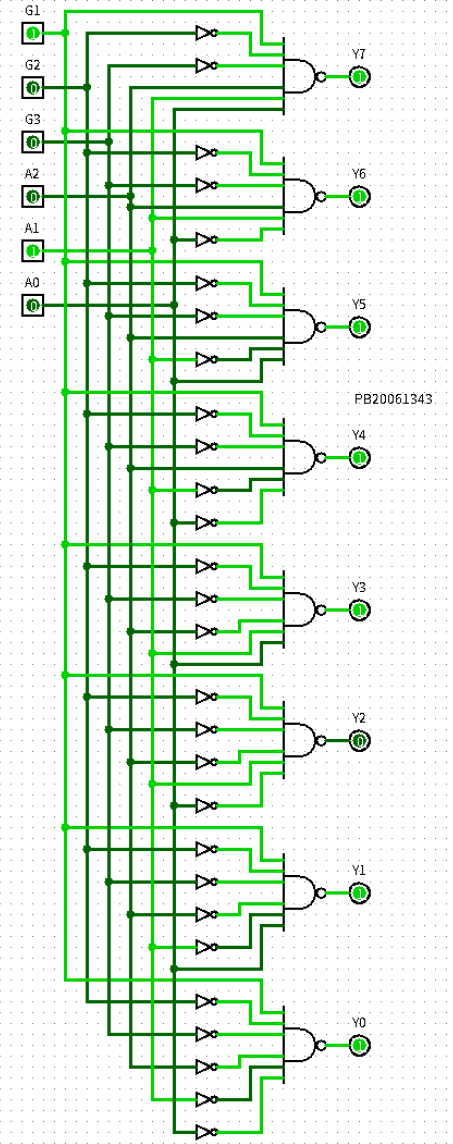
**Y3 = ~(G1 & ~G2 & ~G3 & ~A2 & A1 & A0)**

**Y2 = ~(G1 & ~G2 & ~G3 & ~A2 & A1 & ~A0)**

**Y1 = ~(G1 & ~G2 & ~G3 & ~A2 & ~A1 & A0)**

**Y0 = ~(G1 & ~G2 & ~G3 & ~A2 & ~A1 & ~A0)**

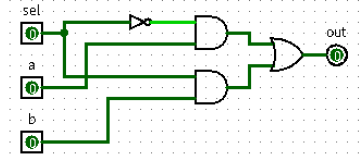
在“Analyze Circuit”功能中输入表达式，点击“Build Circuit”即可生成电路。生成的电路如图2.



**图2**

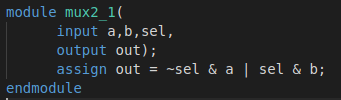
**题目3：**使用Logisim绘制1bit位宽的二选一选择器电路图，并根据生成的电路图编写Verilog代码。

首先，绘制1bit位宽的二选一选择器电路图，如图3.



**图3**

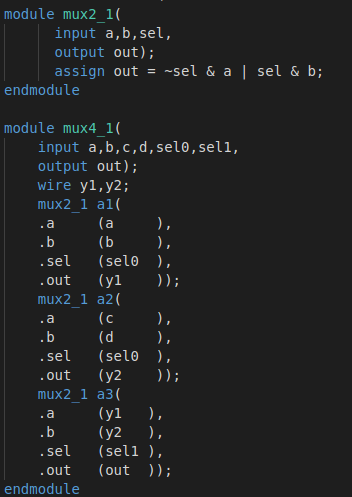
之后，编写Verilog代码，如图4.



**图4**

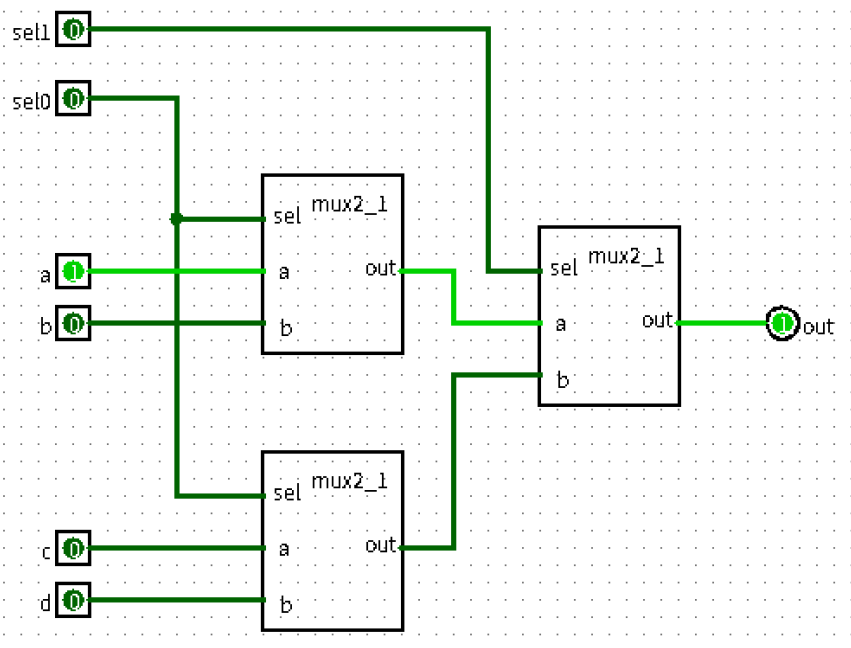
**题目4：**通过例化题目3中的二选一选择器，用Verilog实现一个四 选一选择器，并画出对应的电路图。

首先，编写Verilog代码，如图5.



**图5**

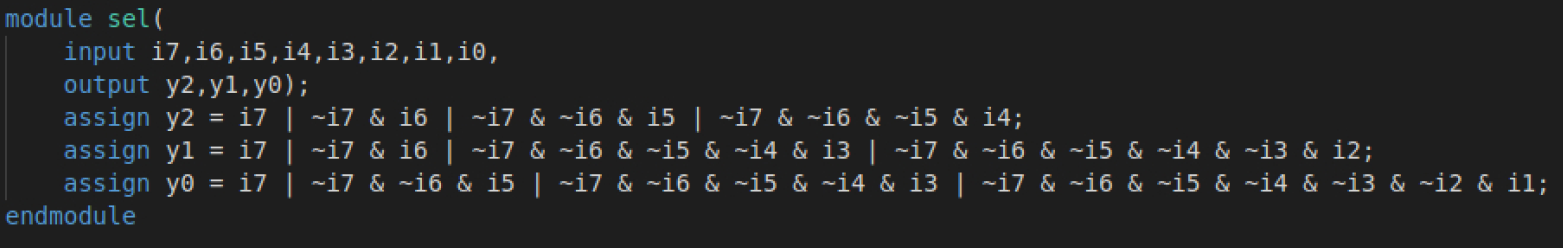
封装二选一数据选择器，实现四选一数据选择器。如图6.



**图6**

**题目5：**根据已知的八位优先编码器真值表，编写verilog代码。

代码如图7.

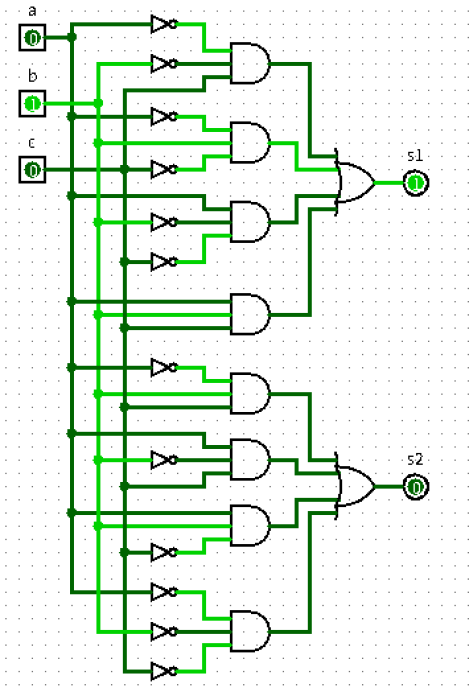


**图7**

**题目6：**阅读Verilog代码，描述其功能，并画出其对应的电路图。

根据代码可知，当输入的a,b,c中有奇数个为1时，s1为1，s2为0；当a,b,c有偶数个为1时，s1为0，s2为1.所以这个电路实现了判断三个输入中1的奇偶性。

电路图如图8.



**图8**

**【总结与思考】**

1. 通过本次实验的练习，学会了在Logisim使用真值表和表达式设计电路，相比较于之前创建电路时大量的拖拽、布局、连线，本次实验的两种方法十分便捷高效。
2. 这次实验后，我对Logisim的基本用法更加熟悉，逐渐意识到这个软件的强大功能，它不仅可以让我们清晰地看到电路图，还提供了方便的生成电路的方法。
3. 初步学习了Verilog语法。这个语言和C语言有很多相似之处，但是它的代码执行不是串行的，而是并行执行。这实际上是由于这个电路是直接描述电路的，当电路建立好后，各个逻辑函数都同时会执行。
4. 学会了Verilog的模块调用功能，这个功能可以大量节省代码量，而且只要保证已经写好的模块内部没有BUG，后续在调用它时，不需要担心它会出现问题，这也大大节省了Debug的时间。这种模块调用功能于C语言中的函数功能相似。
5. 本次实验内容充实，难度适中，相比较于第一次实验，干货更多，重复性的工作减少了，建议保持。